

**UNIVERSITATEA DIN BACĂU
FACULTATEA DE INGINERIE**

DAN ROTAR

MARIUS ANGHELUȚ

ELECTRONICĂ DIGITALĂ

*Note de curs
Indrumar de laborator*

**EDITURA ALMA MATER BACĂU
2007**

CUPRINS

	pagina
CAPITOLUL 1	
Realizarea fizică a circuitelor logice	6
1.1 Introducere	6
1.2 Principalele caracteristici ale porților logice	7
1.2.1. Imunitatea la perturbații	7
1.2.2. Factorii de încărcare la intrare la intrare și ieșire (sortanța)	9
1.2.3. Timpul de propagare	10
1.2.4. Consumul de putere	10
1.3. Circuite logice în tehnologie bipolară	12
1.3.1. Familia TTL standard	12
1.3.2. Familia LPTTL (de mică putere)	15
1.3.3. Familia HTTL (rapidă)	16
1.3.4. Familia TTL Schottky	18
1.3.5. Familia HLL (logica cu nivele mari)	21
1.3.6. Familia ECL	24
1.3.7. Circuite integrate logice I ² L	27
1.4. Circuite integrate logice în tehnologie MOS (unipolară)	31
1.4.1. Familia PMOS	35
1.4.2. Familia NMOS	35
1.4.3. Familia CMOS	36
1.5. Realizarea funcțiilor logice cablate	41
1.5.1. Poarta logică cu trei stări	42
1.5.2. Porți logice destinate funcțiilor logice cablate	45
1.6. Conectarea circuitelor logice din familii diferite	46
1.7. Perturbațiile în sistemele digitale	49
1.7.1. Tipuri de cuplaje ce apar în circuitele electrice	50
1.7.1.1. Cuplajul capacitiv	50
1.7.1.2. Cuplajul inductiv	51
1.7.1.3. Cuplajul galvanic	52
1.7.1.4. Cuplajul prin masă	53

1.7.2.	Efecte parazite datorate caracteristicilor electrice ale circuitelor și semnalelor logice	53
1.7.2.1.	Efecte introduse de circuitele de alimentare	53
1.7.2.2.	Diafonia	55
1.7.2.3.	Propagarea și reflexiile pe liniile de transmisie	55
CAPITOLUL 2		
Circuite logice combinaționale		56
2.1.	Introducere	56
2.2.	Porți logice	57
2.3.	Circuitul poartă	61
2.4.	Circuitul de selecție	62
2.5.	Circuite de decodificare	63
2.5.1.	Circuitul de decodificare 1 din m	63
2.5.2.	Circuitul de decodificare BCD – 7 segmente	65
2.6.	Circuite de multiplexare	66
2.7.	Circuite de demultiplexare	70
2.8.	Circuite de codificare	74
2.9.	Circuite aritmetice	75
2.9.1.	Comparatoare	75
2.9.2.	Generatorul și vericatorul de paritate	76
2.9.3.	Sumatoare	77
CAPITOLUL 3		
Circuite logice secvențiale		
3.1.	Introducere	78
3.2.	Circuite basculante bistabile (CBB)	81
3.2.1.	Circuite basculante bistabile (CBB) asincrone	81
3.2.1.1.	Circuite basculante bistabile asincrone de tip RS	81
3.2.1.2.	Circuite basculante bistabile asincrone de tip JK	83
3.2.1.3.	Circuite basculante bistabile asincrone de tip T	83
3.2.2.	Circuite basculante bistabile (CBB) sincrone	84
3.2.2.1.	Circuite basculante bistabile sincrone de tip D	85
3.2.2.2.	Circuite basculante bistabile sincrone de tip JK	86
3.2.2.3.	Circuite basculante bistabile sincrone cu intrări asincrone	86

3.3.	Numărătoare	87
3.3.1.	Introducere	87
3.3.2.	Numaratoare asincrone	87
3.3.3.	Numărătoare sincrone	90
3.3.4.	Numărătoare divizoare prin m	93
3.4.	Registre paralele	94
3.5.	Registre seriale	95
	LABORATOR	99
	Laboratorul nr. 1 Prezentarea pupitrului de experimente, utilizarea osciloscopului și a multimetrului	102
	Laboratorul nr. 2 Determinarea caracteristicilor circuitelor logice bipolare	103
	Laboratorul nr. 3 Determinarea caracteristicilor circuitelor logice MOS	105
	Laboratorul nr. 4 Studiarea circuitului poartă	107
	Laboratorul nr. 5 Studiarea circuitului de selecție	108
	Laboratorul nr. 6 Studiarea funcționării circuitului de decodificare	109
	Laboratorul nr. 7 Utilizarea programului Digital Works în studiul circuitelor digitale.	110
	Laboratorul nr. 8 Simularea funcționării circuitelor poartă și de selecție cu ajutorul programului Digital Works	111
	Laboratorul nr. 9 Simularea funcționării circuitelor multiplexor și demultiplexor cu ajutorul programului Digital Works	112
	Laboratorul nr. 10 Studiul funcționării circuitului multiplexor	113
	Laboratorul nr. 11 Studiul circuitelor basculante bistabile	114
	Laboratorul nr. 12 Studiul circuitelor logice secvențiale de tip numărător	115
	Laboratorul nr. 13 Realizarea unui numărător programabil	116
	Laboratorul nr. 14 Studiul registrului de deplasare	117
	Laboratorul nr. 15 Tabelul de adevăr ale circuitelor logice bipolare AND, NAND, OR, NOR, XOR, XNOR	118
	Laboratorul nr. 16 Simularea funcționării circuitelor celulă sumator 1 bit cu ajutorul programului Digital Works	119
	Laboratorul nr. 17 Studiul funcționării circuitului demultiplexor	120
	Întrebări propuse studenților în cadrul orelor de laborator	121
	ANEXE	123
	BIBLIOGRAFIE	163

CAPITOLUL 1

Realizarea fizică a circuitelor logice

1.1. Introducere

Așa cum se poate demonstra cu ajutorul algebrei logice, folosind operațiile logice universale se pot scrie funcții logice oricât de complexe. Acest lucru a permis dezvoltarea unor familii de circuite logice integrate bazate pe porți logice elementare ce realizează fizic una din operațiile logice universale. Obținerea funcțiilor logice complexe se face, în acest caz prin conectarea convenabilă a porților logice elementare. În funcție de componentele electronice folosite în realizarea porții logice, din considerente tehnologice, s-a impus utilizarea uneia sau alteia din operațiile logice universale. În acest fel s-au dezvoltat mai multe familii tehnologice de circuite integrate logice care au anumite proprietăți și corespund anumitor scopuri practice. În tabelul 1.1 sunt prezentate sintetic principalele familii tehnologice utilizate în prezent pe scară largă.

TABELUL 1.1.

Grupa	Familia
Circuite bipolare	TTL (standard)
	LPTTL (de mică putere)
	HTTL (rapidă)
	STTL (Schottky standard)
	LPSTTL (Schottky de mică putere)
	TSL (logica cu trei stări)
	HLL (logica cu nivele mari)
	ECL (logica cuplată prin emitor)
	I ² L (logica integrată de injecție)
Circuite MOS	PMOS (MOS cu canal P)
	NMOS (MOS cu canal N)
	CMOS/Si (MOS complementar)
	CMOS/SOS (MOS pe safir)

Pentru realizarea fizică a funcțiilor logice, celor două valori logice “0” și “1” le sunt asociate, prin convenție, două tensiuni, astfel:

1. Logica pozitivă:

- a) pentru valoarea logică “0” se asociază un nivel scăzut de tensiune;
- b) pentru valoarea logică “1” se asociază un nivel ridicat de tensiune;

2. Logica negativă:

- a) pentru valoarea logică "0" se asociază un nivel ridicat de tensiune;
- b) pentru valoarea logică "1" se asociază un nivel scăzut de tensiune;

1.2. Principalele caracteristici ale porților logice

Caracteristicile circuitelor logice precizează regulile de interconectare ale acestora și caracterizează performanțele porților logice în cadrul sistemelor logice. Toate familiile de circuite logice integrate se caracterizează cu ajutorul aceluiași parametri, ceea ce permite o comparație simplă a performanțelor lor.

Principalii parametri ai porților logice sunt:

- imunitatea la perturbații;
- factorii de bransament la intrare și ieșire;
- timpul de propagare;
- consumul de putere; tensiunile de alimentare; curenții consumați și puterea disipată.

1.2.1. Imunitatea la perturbații

Imunitatea la perturbații a unui circuit logic este egală cu valoarea maximă pe care o poate lua tensiunea perturbatoare de la intrare, în cazul cel mai defavorabil, astfel ca la ieșirea porții logice să se mențină încă nivelul de tensiune corect.

Pentru a determina imunitatea la perturbații a unei porți logice, se pleacă de la caracteristica statică de transfer a acesteia, caracteristică ce reprezintă variația tensiunii de ieșire în funcție de tensiunea de intrare în curent continuu. Datorită dispersiei elementelor de circuit, a condițiilor de funcționare a porților logice, etc., nu se poate defini o caracteristică de transfer unică; în realitate toate caracteristicile de transfer sunt cuprinse între două curbe limită, c_1 și c_2

(figura 1.1), care descriu condițiile de funcționare corectă a circuitului logic.

Pentru a determina limitele între care pot varia nivelurile de tensiune corecte la intrarea și ieșirea circuitului logic, se construiesc, pe cale grafică, curbele simetrice față de prima bisectoare ale curbelor limită c_1 și c_2 , ținând cont că tensiunea de intrare a unei porți logice se obține de la ieșirea unei alte porți logice, iar tensiunea de ieșire se va aplica intrării altor porți, și așa mai departe. Pe baza acestei observații se constată că I_1I_2 reprezintă plaja posibilă a nivelului inferior al tensiunii de intrare, iar S_1S_2 plaja posibilă a nivelului superior al tensiunii de intrare; zona T_1T_2 corespunde tensiunilor de intrare determină tranziția circuitului logic dintr-o stare în alta.

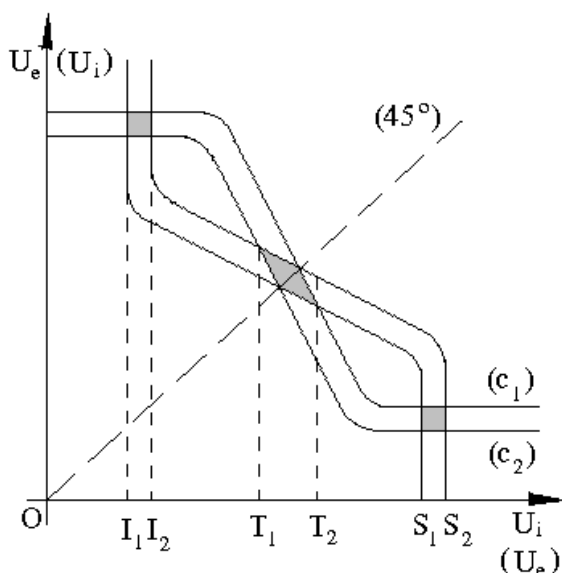


Figura 1.1. Caracteristica statică de transfer a unei porți logice

Imunitatea la perturbații a unui circuit logic este egală cu valoarea maximă pe care o

poate lua tensiunea de perturbare de la intrare, în cazul cel mai defavorabil, astfel ca ieșirea circuitului logic să se mențină încă la nivelul de tensiune corect.

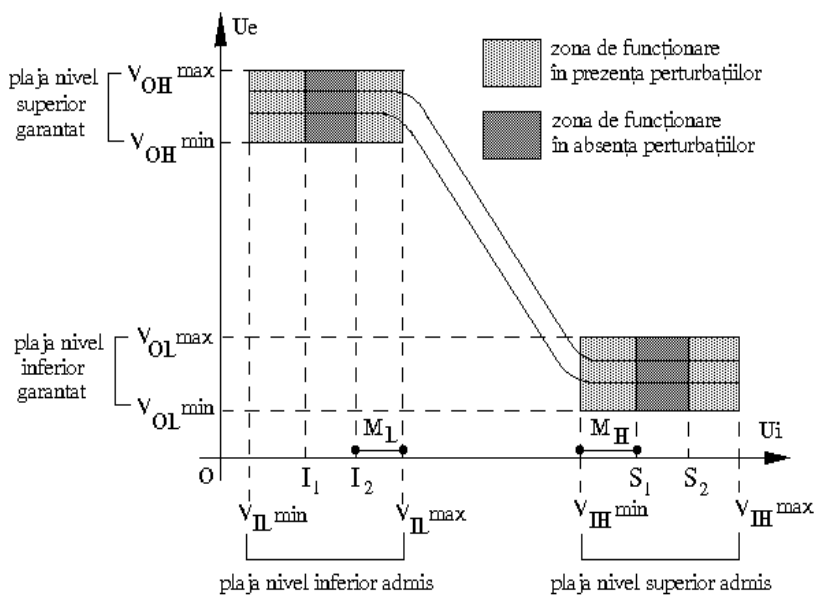
Aplicând această definiție porții logice descrisă prin caracteristica statică de transfer din figura 1.1, se constată că se pot defini două valori pentru imunitatea la perturbații. Dacă la intrare se aplică nivelul inferior de tensiune, cazul cel mai defavorabil corespunde valorii $U_i = OI_2$. Dacă tensiunea perturbatoare aplicată în serie cu U_i are semn negativ, nu produce efecte supărătoare; dacă însă are semn pozitiv, ea poate produce comutarea incorectă a porții logice, în cazul în care tensiunea rezultantă depășește valoarea OI_1 . Similar, dacă la intrare se aplică nivelul superior de tensiune, tensiunea de perturbare negativă nu poate depăși valoarea S_1T_2 .

În concluzie, se pot defini două mărimi: imunitatea la perturbații pozitive și imunitatea la perturbații negative:

$$\begin{aligned} IP^+ &= I_2T_1 \text{ (V)} \\ IP^- &= S_1T_2 \text{ (V)} \end{aligned} \tag{1.1}$$

Mărimile I_2T_1 și S_1T_2 definesc amplitudinile maxime ale tensiunilor de perturbare admisibile și permit verificarea condițiilor de funcționare corectă a circuitelor logice din cadrul unui sistem logic. Aceste mărimi depind însă de nivelurile de tensiune atribuite variabilelor logice și nu permit o comparare a diverselor familii de circuite logice din punct de vedere al imunității la perturbații, pentru că nivelurile de tensiune atribuite variabilelor logice diferă de la familie la familie. În acest scop se definesc factorii (adimensionali) de imunitate la perturbații, cu relațiile:

$$\begin{aligned} FIP^+ &= \frac{I_2T_1}{I_2S_1} 100 \text{ (%) } \\ FIP^- &= \frac{S_1T_2}{I_2S_1} 100 \text{ (%) } \end{aligned} \tag{1.2}$$



Un alt mod de definire al imunității la perturbații este prezentat în figura 1.2 în care este reprezentată caracteristica statică de transfer tipică a unui circuit logic inversor. Pe această figură au fost notate și plajele nivelurilor de tensiune I_1I_2 și S_1S_2 .

În figura 1.2 sunt notate următoarele valori semnificative ale nivelurilor de tensiune:

Figura 1.2. Caracteristica statică de transfer a unei porți logice inversoare

- V_{ILmin} – tensiunea minimă admisă la intrare corespunzătoare nivelului logic “0”;
- V_{ILmax} – tensiunea maximă admisă la intrare corespunzătoare nivelului logic “0”;
- V_{IHmin} – tensiunea minimă admisă la intrare corespunzătoare nivelului logic “1”;
- V_{IHmax} – tensiunea maximă admisă la intrare corespunzătoare nivelului logic “1”;
- V_{OLmin} – tensiunea minimă garantată la ieșire corespunzătoare nivelului logic “0”;
- V_{OLmax} – tensiunea maximă garantată la ieșire corespunzătoare nivelului logic “0”;
- V_{OHmin} – tensiunea minimă garantată la ieșire corespunzătoare nivelului logic “1”;
- V_{OHmax} – tensiunea maximă garantată la ieșire corespunzătoare nivelului logic “1”.

Pe baza acestor tensiuni se definesc următoarele intervale de tensiune:

- plaja nivelului inferior admis al tensiunii de intrare (U_i): $V_{ILmax} - V_{ILmin}$;
- plaja nivelului superior admis al tensiunii de intrare (U_i): $V_{IHmax} - V_{IHmin}$;
- plaja nivelului inferior garantat al tensiunii de ieșire (U_e): $V_{OLmax} - V_{OLmin}$;
- plaja nivelului superior garantat al tensiunii de ieșire (U_e): $V_{IHmax} - V_{IHmin}$.

Porțile logice sunt astfel construite încât atât timp cât nivelurile de tensiune aplicate la intrare se încadrează în plaja admisă, nivelurile de tensiune obținute la ieșire se încadrează în plaja garantată. Imunitatea la perturbații este dată de diferențele dintre plajele admise și plajele garantate:

$$\begin{aligned} M_L &= V_{ILmax} - V_{OLmax} \quad (V) \\ M_H &= V_{IHmin} - V_{OHmin} \quad (V) \end{aligned} \quad (1.3)$$

1.2.2. Factorii de încărcare la intrare la intrare și ieșire (sortanța)

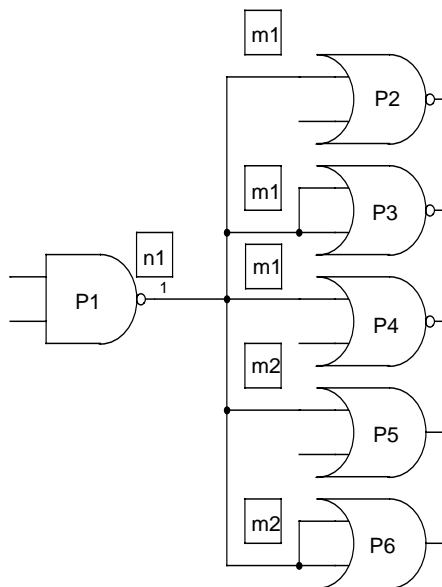


Fig. 1.3. Ilustrarea încărcării circuitelor logice

Factorii de încărcare la intrare și ieșire determină regulile de interconectare ale porților logice dintr-o familie, reguli ce trebuie respectate la proiectarea logică a unui sistem numeric. Pentru factorul de încărcare la intrare este consacrat termenul din limba engleză “fan-in” iar pentru cel de ieșire “fan-out”. În limba română termenul utilizat pentru factorul de încărcare este cel de sortanță.

Pentru ca un circuit logic să genereze la ieșire nivelurile garantate de tensiune, este necesar să fie comandat cu un curent corespunzător la fiecare din intrările sale. În general curenții de intrare și de ieșire ale diverselor porți logice ale unei familii logice nu sunt aceiași. Dacă se notează cu I cel mai mare divizor comun al tuturor curenților de intrare și de ieșire, aceștia se vor putea scrie, pentru oricare modul al familiei logice sub forma: m_1I, m_2I, \dots curentul absorbit pe una din intrările circuitului logic considerat și n_1I, n_2I, \dots curenții furnizați pe una din ieșiri.

De exemplu prezentăm circuitul logic din figura 1.3 în care poarta logică P1 poate furniza la ieșire curentul n_1I , porțile logice P2, P3 și P4 absorb pe fiecare intrare un curent m_1I iar porțile P5 și P6 absorb pe fiecare intrare un curent m_2I . În aceste condiții, pentru ca schema să poată funcționa corect este necesar să fie îndeplinită condiția:

$$n_2I \geq (m_1 + 2m_1 + m_1 + m_2 + 2m_2)I \quad (1.4)$$

În general, condiția (1.4) poate fi scrisă sub forma:

$$n \geq \sum_{i=1}^k m_i \quad (1.5)$$

Inegalitatea (1.5) reprezintă regula de interconectare a modulelor logice ale unei familii. În această inegalitate n se numește factor de încărcare la ieșire iar m factor de încărcare la intrare.

Pentru simplificarea regulilor de interconectare a circuitelor logice, factorul de încărcare a porților de bază a familiei respective se alege egal cu unitatea. Astfel, dacă în catalog este specificat pentru o poartă logică: fan-out=10 înseamnă că o astfel de poartă va putea comanda 10 porți cu fan-in=1 sau 5 porți cu fan-in=2, etc.

1.2.3. Timpul de propagare

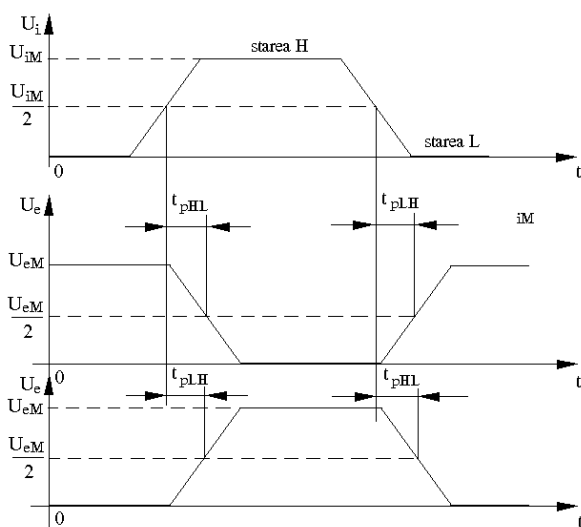


Figura 1.4. Definirea timpului de propagare

Timpul de propagare, t_p , reprezintă un parametru care caracterizează sintetic viteza de comutare a circuitului logic. Definiția timpului de propagare se face cu relația:

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} \quad (1.6)$$

unde t_{pHL} , t_{pLH} au semnificația precizată în figura 1.4. În unele cataloage, viteza de comutare a unei familii de circuite logice se caracterizează prin frecvența maximă de tact, definită ca frecvența maximă cu care poate fi comandat transferul informației între două registre, printr-un număr dat (3-5)

de niveluri logice.

1.2.4. Consumul de putere

Consumul de putere este caracterizat prin următorii parametri specificați în cataloage:

- tensiunea de alimentare a circuitului logic E_C , valorile maximă și minimă admise (uneori se folosesc mai multe tensiuni de alimentare);
- curenții absorbiți de circuitul logic când la ieșire se obține nivelul superior de

- tensiune (I_{CCH}), respectiv inferior (I_{CCL}); de asemenea se precizează și curentul de ieșire, când ieșirea este legată în scurtcircuit la masă (I_{OS});
- c) puterea medie consumată.

În ceea ce privește ultimul parametru, trebuie reținut că puterea consumată depinde de starea în care se găsește circuitul cu nivel superior sau inferior de tensiune la ieșire și de frecvența comutărilor. Din acest motiv, se definește o putere medie consumată în curent continuu:

$$P_m = \frac{P_H + P_L}{2} = \frac{I_{CCH} + I_{CCL}}{2} E_C \quad (1.7)$$

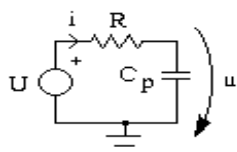


Figura 1.5. Schema echivalentă a unui circuit logic

În regim de comutare, puterea consumată de circuitul logic crește datorită curentului suplimentar necesar pentru încărcarea și descărcarea capacităților parazite de la ieșirea circuitului. Puterea consumată pentru încărcarea acestor capacități poate fi calculată cu ajutorul schemei echivalente din figura 1.5, în care circuitul logic a fost înlocuit, conform teoremei lui Thevenin, cu o rezistență în serie cu o sursă de tensiune (amplitudinea acesteia este egală cu saltul de tensiune la ieșirea circuitului logic).

În timpul încărcării capacității parazite echivalente C_p , energia circuitului variază după relația:

$$W = \int_0^u (U - u) i dt + \int_0^u u i dt \quad (1.8)$$

în care primul termen descrie energia disipată de rezistența R în intervalul dt , iar al doilea variația energiei potențiale acumulate de condensatorul C_p .

Înlocuind în relația (1.8) curentul i cu expresia: $I = C_p du/dt$, se obține, în urma integrării:

$$W = \frac{C_p U^2}{2} + \frac{C_p U^2}{2} \quad (1.9)$$

În timpul descărcării condensatorului C_p , energia acumulată de acesta va fi disipată pe rezistența R , astfel că, în timpul unei perioade, energia disipată pe rezistența R va avea expresia:

$$W_R = C_p U^2 \quad (1.10)$$

Luând în considerare faptul că energia disipată pe rezistența R este chiar energia consumată suplimentar de circuit în timpul comutării, se poate scrie expresia finală a puterii consumate suplimentar de circuitul logic în regim de comutare:

$$P_C = f_C C_p U^2 \quad (1.11)$$

unde f_c este numărul comutărilor pe secundă.

Produsul dintre timpul de propagare t_p și puterea medie consumată de poarta logică P_m reprezintă factorul de calitate al P_Q al respectivei porți logice. Acest parametru exprimă sintetic proprietățile unei familii de circuite logice și el este un factor de merit cu ajutorul căruia se pot face comparații între diversele familii de porți logice.

1.3. Circuite logice în tehnologie bipolară

1.3.1. Familia TTL standard

Circuitele TTL (Transistor Transistor Logic – logică tranzistor-tranzistor) sunt produse în mai multe serii, fiecare serie având un domeniu optim de utilizare: TTL (seria standard), HTTL (seria rapidă), LPTTL (seria de mică putere), STTL (seria Schottky standard), LPSTTL (seria Schottky de mică putere), TSL (seria porților logice cu trei stări).

În figura 1.6 este prezentată schema electrică a unui inversor TTL standard. Pentru analiza proprietăților porții TTL se poate utiliza simulatorul SPICE care oferă multiple posibilități de studiu atât în regim de curent continuu sau de curent alternativ cât și în regim tranzitoriu. În acest scop PROGRAMUL 1.1 prezintă programul scris pentru acest simulator. Acest program este util și din cauză că prezintă parametri tranzistoarelor și diodelor utilizate pentru poarta logică. Trebuie însă subliniat aici faptul că, așa cum se va arăta mai târziu, simularea circuitelor numerice nu se bazează pe utilizarea unor astfel de scheme pentru porțile logice. Schema prezentată în figura 1.6 poate fi însă utilizată la simularea circuitelor electronice care conțin atât circuite liniare cât și porți logice.

PROGRAMUL 1.1

```
.DC VIN 0 5 0.05
.TRAN 1NS 100NS
.MODEL DN D RS=40 TT=0.1NS CJO=0.9PF
.MODEL QND NPN BF=50
+ RB=70 RC=40 CCS=2PF
+ TF=0.1NS TR=10NS
+ CJE=0.9PF CJC=1.5PF
+ PC=0.85 VA=50
.PRINT DC V(3) V(5)
.PRINT TRAN V(3) V(5)
+ V(8)
*ALIAS V(8)=VIN
*ALIAS V(5)=VOUT
.PRINT TRAN V(8) V(5)
RS 1 8 50
Q2 3 2 7 QND
Q3 6 3 4 QND
D1 4 5 DN
Q4 5 7 0 QND
Q13 10 13 5 QND
RC3 6 11 100
RC2 11 3 1.4K
RE2 7 0 1K
D2 10 9 DN
D3 9 0 DN
```

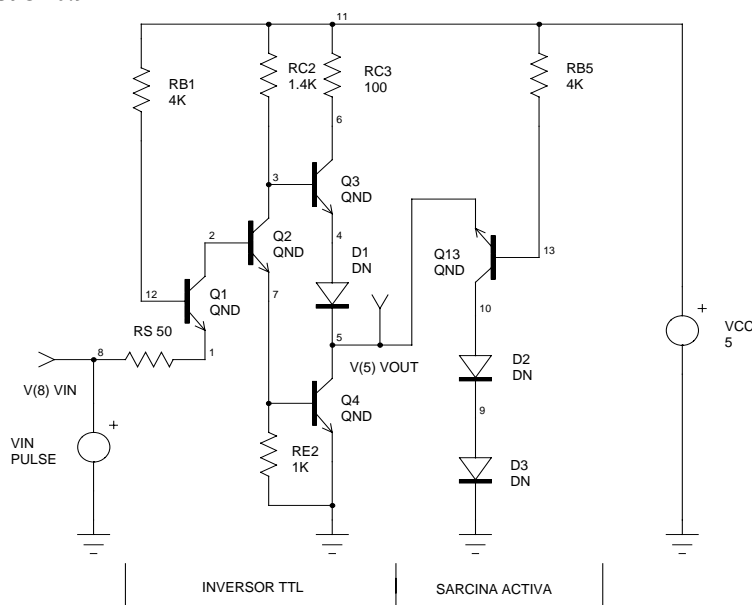


Figura 1.6. Schema electrică a inversorului TTL

```

D3 9 0 DN
RB1 11 12 4K
RB5 11 13 4K
VCC 11 0 5
VIN 8 0 PULSE 0 3.5 1NS
+ 1NS 1NS 40NS
Q1 2 12 1 QND
.END

```

Pentru simulare, la ieșirea inversorului TTL a fost conectată sarcina activă formată din Q13, D2, D3 și RB5 care să permită testarea porții în regim dinamic.

Pentru a studia funcționarea circuitului din figura 1.6 presupunem mai întâi că tensiunea de intrare VIN are valoarea corespunzătoare nivelului logic “1” (2,4V). În aceste condiții joncțiunea emitor-bază a tranzistorului Q1 este polarizată invers și tranzistorul lucrează în regiunea activă inversă. Tranzistorul Q1 este proiectat să aibă un factor de amplificare în curent invers $\beta_I < 0,02$.

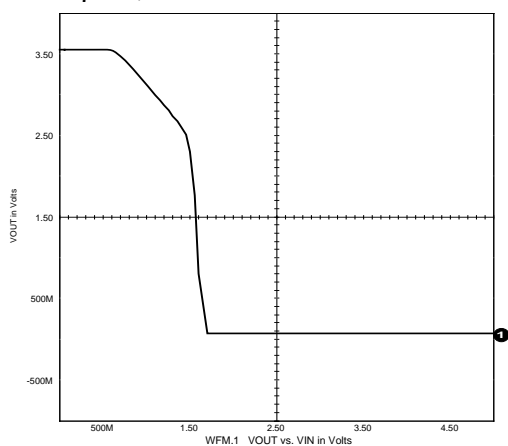


Figura 1.7. Caracteristica de transfer a porții inversoare obținută prin simulare

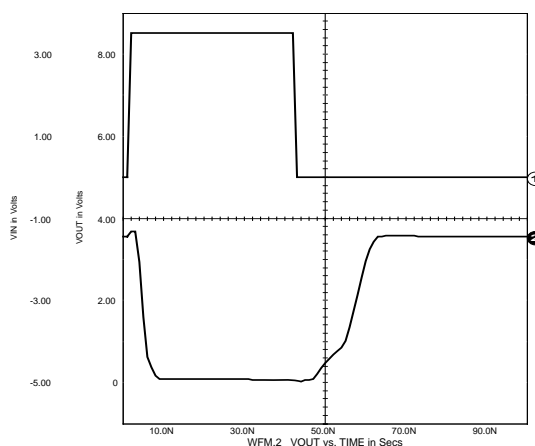


Figura 1.8. Comportarea dinamică a porții TTL inversoare

Astfel, curentul de bază al tranzistorului Q2 este asigurat în proporție de cel puțin 98% de curentul prin rezistența RB1 de la sursa de alimentare VCC. Tranzistorul Q2 este saturat iar căderea de tensiune pe rezistența RE2 saturează tranzistorul Q4 iar tranzistorul Q3 va fi blocat (datorită prezenței diodei D1). Rezultă că la ieșire se obține tensiunea corespunzătoare nivelului logic “0”. Dacă la intrare se aplică un potențial corespunzător nivelului logic “0” (0.2V) atunci tranzistorul Q1 va conduce iar potențialul în baza acestuia va fi de aproximativ 0,7V, insuficient pentru a deschide tranzistorul Q2. În aceasta situație, la ieșire tranzistorul Q4 va fi blocat iar tranzistorul Q3 saturat ceea ce conduce la ieșire la un potențial ridicat corespunzător nivelului logic “1”.

Câteva din rezultatele simulării acestui circuit sunt prezentate în figurile 1.7 și 1.8. În figura 1.7 este prezentată caracteristica statică de transfer a circuitului obținută prin simularea în curent continuu a funcționării schemei (comanda .DC din PROGRAMUL 1.1) iar în figura 1.8 se prezintă răspunsul circuitului din care se poate deduce timpul de răspuns la un impuls aplicat la intrare și timpul de propagare (comanda .TRAN din PROGRAMUL 1.1).

Poarta TTL tipică realizează funcția logică ȘI-NU (NAND), schema electronică utilizată

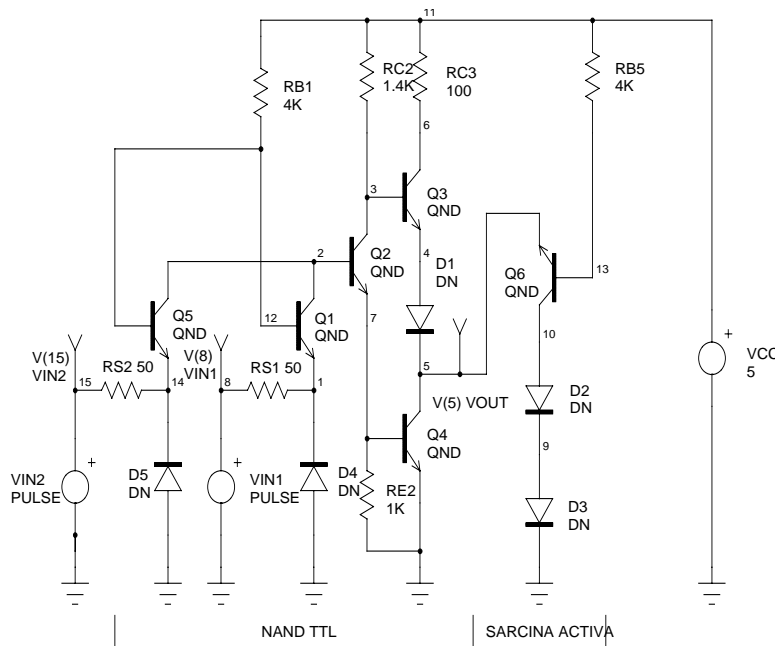


Figura 1.9. Schema electronică a porții logice ȘI-NU (NAND), tipică familiei TTL

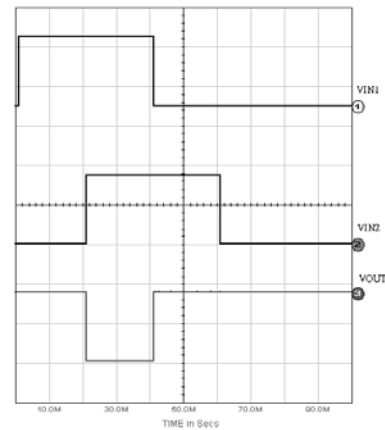


Figura 1.10. Formele de undă la intrare și ieșire, corespunzătoare porții NAND

pentru simularea acestei porți fiind prezentată în figura 1.9 (în realitate, la construcția circuitului integrat, în locul tranzistoarelor Q1 și Q5 se folosește un singur tranzistor cu două emitoare – tranzistor multiemitor).

Circuitele TTL dau fronturi mici (câteva nanosecunde) din cauza cărora pot apărea oscilații parazite chiar dacă firele de legătură între porți sunt scurte. Oscilațiile apar deoarece aceste conexiuni se comportă ca linii de transmisie și sunt încărcate pe sarcini neadaptate. Astfel, de exemplu, frontul posterior (tranziția din “1” logic în “0” logic la ieșire) al porții care comandă, poate genera salturi negative mai mari de 2V la intrarea porților comandate. Dacă celelalte intrări ale porții comandate se află la +VCC atunci joncțiunea emitor-bază corespunzătoare se poate străpunge atrăgând după sine un consum suplimentar de curent și o creștere a zgomotului generat. Ca remediu se folosesc diode de limitare pe intrări (D4, D5) care mai întâi limitează saltul negativ al tensiunii la $-0.7V \dots -1,5V$ și apoi absorb suficientă energie din semnalul aplicat la intrare împiedicând apariția supracreșterilor pozitive ce ar putea readuce ieșirea porții ce comandă la valoarea de tensiune corespunzătoare nivelului “1” logic.

Formele de undă ale tensiunilor de intrare și ieșire, explicative pentru funcționarea circuitului sunt prezentate în figura 1.10. Din această figură se constată că numai în situația în care ambele intrări au aplicate nivele de tensiune corespunzătoare stării logice “1” ieșirea are un nivel de tensiune corespunzător stării logice “0” ceea ce corespunde tabelului de adevăr a funcției logice ȘI-NU.

Principalii parametri ai unei porți logice TTL din seria normală (standard) sunt dați în tabelul 1.2. Din cauză că și această serie se fabrică în mai multe variante (pentru diferite condiții de funcționare în special în ceea ce privește domeniul temperaturilor de funcționare și al tensiunilor de alimentare), acolo unde a fost cazul în tabel s-au prezentat mai multe valori.

TABELUL 1.2.

Caracteristici principale						
Gama temperaturilor de funcționare	Sortanța Fan-out	Tensiunea de alimentare VCC(V)				
		MIN.	MAX.			
0°C ... +70°C	10	4.75	5.25			
-55°C ... +125°C	10	4.50	5.50			
0°C ... +70°C	10	4.50	5.50			
Caracteristici electrice						
Simbol	Parametri	Condiții de test	MIN.	TIP.	MAX.	Unități
1	2	3	4	5	6	7
V _{IH}	Tensiunea de intrare în starea "1"	VCC _{min} , V _O < 0,4V	2	-	-	V
V _{IL}	Tensiunea de intrare în starea "0"	VCC _{min} , V _O > 2,4V	-	-	0.8	V
I _{IH}	Curent de intrare în starea "1"	VCC _{max} , V _I = 2,4V	-	-	40	μA
I _{IR}	Curent de intrare în starea "1" la tensiune de intrare 5,5V	VCC _{max} , V _I < 5,5V	-	-	1	mA
-I _{IL}	Curent de intrare în starea "0"	VCC _{max} , V _I < 0,4V	-	-	1,6	mA
V _{OH}	Tensiunea de ieșire în starea "1"	VCC _{min} , V _O < 0,8V -I _O = 0,8 mA	2,4	-	-	V
V _{OL}	Tensiunea de ieșire în starea "0"	VCC _{min} , V _I < 2V I _O = 16 mA	-	-	0,4	V
-I _{OS}	Curent de scurtcircuit la ieșire	VCC _{max} , V _I = 0V	18 20	-	55 55	mA mA
I _{CCL}	Curent de alimentare pe capsulă	VCC _{max} , V _I < 5,0V	-	12	22	mA
I _{CCH}	Curent de alimentare pe capsulă	VCC _{max} , V _I = 0V	-	4	8	mA
-V _{IK}	Tensiune pe diodele de limitare	VCC _{min} , I _I = 10mA T _A = +25°C	-	-	1,8	V
Caracteristici dinamice						
t _{pLH}	Timp de propagare la creșterea semnalului de ieșire	C _L = 15pF R _L = 400Ω		11	22	ns
t _{pHL}	Timp de propagare la descreșterea semnalului de ieșire			7	15	ns

1.3.2. Familia LPTTL (de mică putere)

Poarta standard prezentată mai sus este de consum mediu (10 mW) și viteză medie (10 ns). Puterea disipată pe poartă poate fi micșorată pe seama creșterii timpilor de propagare crescând valorile nominale ale rezistențelor din schema electrică (figura 1.9) și, invers, micșorând aceste valori crește viteza de lucru (scad timpii de propagare) mărindu-se în schimb puterea disipată pe poartă.

Parametrii tipici ai porții TTL de putere redusă (figura 1.11) sunt: puterea consumată: 1 mW, timpul de propagare: 33 ns.

Structura porții TTL de putere redusă este similară cu a porții TTL standard, reducerea puterii consumate obținându-se prin mărirea tuturor rezistențelor circuitului.

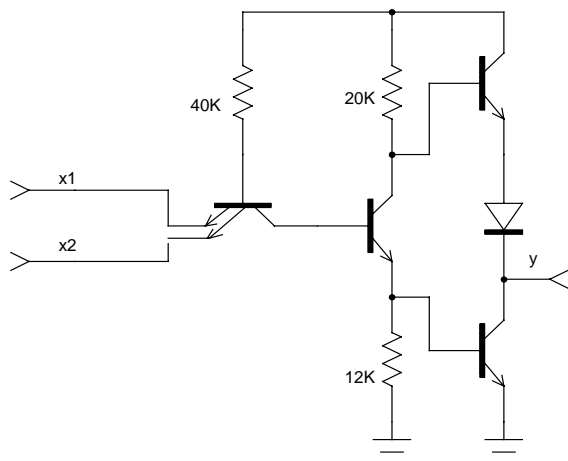


Fig. 1.11. Poartă TTL de putere redusă

Pentru simulare poate fi folosit programul 1.1, evident cu introducerea modificărilor operate asupra circuitului conform figurii 1.11.

1.3.3. Familia HTTL (rapidă)

Creșterea vitezei de lucru a porților logice reprezintă unul din aspectele cele mai importante ale diverselor soluții tehnologice aplicate la seria TTL. Din acest motiv există mai multe variante tehnologice ale familiei TTL, așa cum s-a amintit mai sus, care se deosebesc prin compromisul realizat între puterea disipată pe poartă și timpul de propagare.

Schema electronică tipică a unei porți SI-NU din seria HTTL (notată uneori și TTL-H) este prezentată în figura 1.12. În această figură se observă că tranzistorul Q3 din figura 1.9 a fost înlocuit cu un repetor pe emitor în montaj de amplificator Darlington format din tranzistoarele Q3 și Q6. Joncțiunea bază-emitor a tranzistorului Q6 îndeplinește același rol ca dioda D1 din figura 1.9 și anume de a bloca tranzistorul Q3 când tranzistorul Q4 conduce la saturație. Grupul RE3, Q6 și Q3 formează o structură Darlington care are o rezistență de ieșire mai mică decât rezistența de ieșire a circuitului standard (fig. 1.9) și deci viteza de răspuns a porții va fi mai mare din cauză că orice capacitate care încarcă această ieșire va fi încărcată mai rapid (vezi și paragraful 1.2.3). De asemenea, din

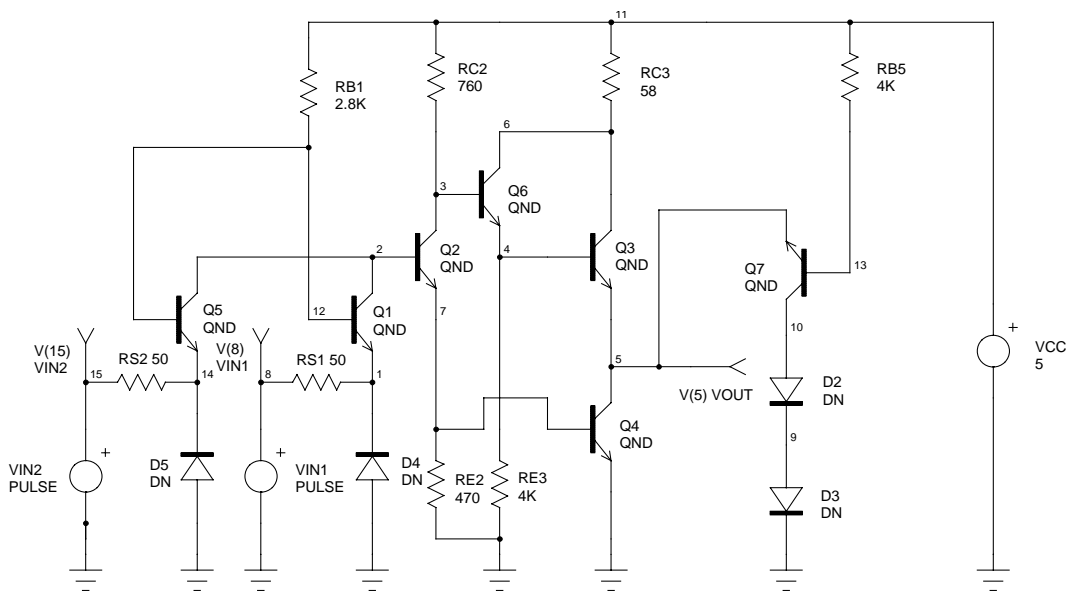


Figura 1.12. Schema electronică a porții SI-NU în tehnologie HTTL

schema prezentată în figura 1.12 se constată că tranzistorul Q3 nu se saturează niciodată deoarece joncțiunea sa colector-bază nu poate fi polarizată direct. Tensiunea colector-bază a tranzistorului Q3 este egală cu tensiunea colector-emitor a tranzistorului Q6 care este totdeauna pozitivă (chiar și atunci când Q6 este saturat).

O altă observație care trebuie făcută se referă la valorile rezistențelor din circuit care, așa cum s-a arătat, sunt mai mici în figura 1.12 față de figura 1.9.

Pentru simulare poate fi folosit programul 1.1, evident cu introducerea modificărilor operate asupra circuitului conform figurii 1.12.

Parametrii familiei logice HTTL, diferiți de cei prezentați în tabelul 1.2 sunt, așa cum era de așteptat, cei care se referă la consumul circuitului și la caracteristicile dinamice. În tabelul 1.3 sunt prezentate numai mărimile care diferă de cele date în tabelul 1.2.

TABELUL 1.3.

<i>Caracteristici electrice</i>						
Simbol	Parametri	Condiții de test	MIN.	TIP.	MAX.	Unități
1	2	3	4	5	6	7
I_{IH}	Curent de intrare în starea "1"	$V_{CC_{max}}, V_I = 2,4V$	-	-	50	μA
$-I_{IL}$	Curent de intrare în starea "0"	$V_{CC_{max}}, V_I < 0,4V$	-	-	2	mA
$-I_{OS}$	Curent de scurtcircuit la ieșire	$V_{CC_{max}}, V_I = 0V$	40	-	100	mA
I_{CCL}	Curent de alimentare pe capsulă	$V_{CC_{max}}, V_I < 5,0V$	-	26	40	mA
I_{CCH}	Curent de alimentare pe capsulă	$V_{CC_{max}}, V_I = 0V$	-	10	16,8	mA
<i>Caracteristici dinamice</i>						
t_{pLH}	Timp de propagare la creșterea semnalului de ieșire	$C_L = 15pF$ $R_L = 400\Omega$		5,9	12	ns
t_{pHL}	Timp de propagare la descreșterea semnalului de ieșire			6,2	12	ns

1.3.4. Familia TTL Schottky

În cazul acestei subfamilii există două clase tehnologice și anume: circuite integrate TTL Schottky normale, compatibile cu circuitele TTL standard la nivelul sortanței (vezi paragraful 1.2.2), notate de obicei cu STTL și circuite integrate TTL Schottky cu consum redus, notate de obicei cu LPSTTL (Low Power Schottky) sau LSTTL și care nu mai sunt compatibile la nivelul sortanței cu circuitele TTL standard. Această subfamilie de circuite se caracterizează prin viteză de lucru mai ridicată decât circuitele TTL standard și consum mai redus (la circuitele LPSTTL).

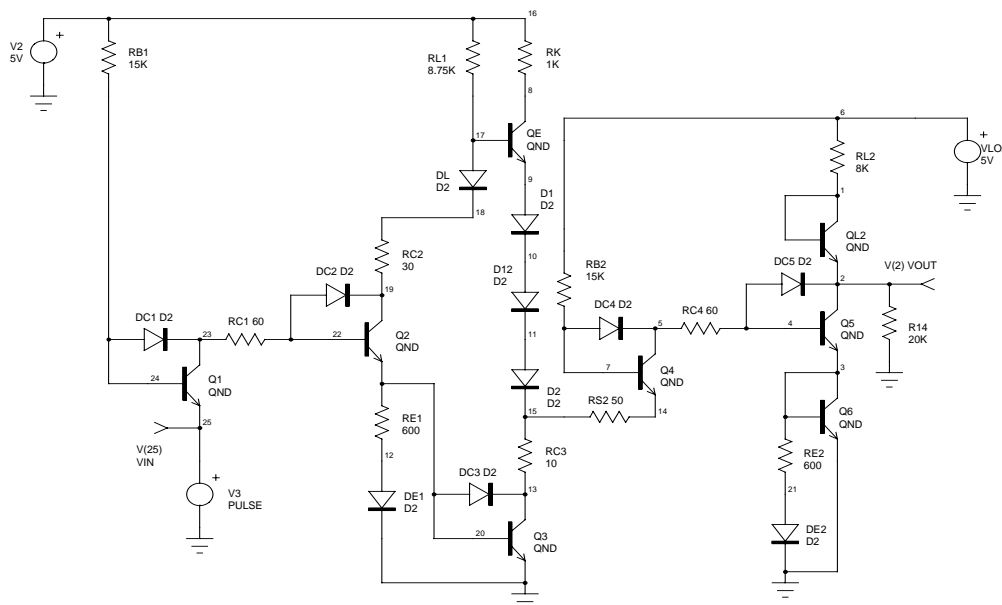


Figura 1.13. Schema electronică utilizată pentru simularea unei porți STTL

Creșterea vitezei de lucru se realizează pe două căi și anume:

- reducerea duratei de viață a purtătorilor minoritari;
- evitarea saturării.

Reducerea duratei de viață a purtătorilor minoritari se realizează prin doparea siliciului cu aur. Doparea cu aur fiind neselectivă toate tranzistoarele din structură devin de comutație, chiar și cele care nu lucrează la saturație. Acest lucru se explică prin faptul că doparea cu aur duce la creșterea curentului de recombinare, ceea ce are ca efect micșorarea factorului de amplificare în curent β al tranzistorului și deci micșorarea timpului de comutare prin scăderea timpului de stocare.

Pentru evitarea saturării tranzistoarelor din structura porții logice se folosesc diode Schottky conectate între colectorul și baza fiecărui tranzistor, astfel încât aceste diode să se deschidă când joncțiunea colector-bază a tranzistorului respectiv este polarizată direct. Reamintim faptul că dioda Schottky se bazează pe joncțiunea formată la contactul metal-semiconductor extrinsec (spre exemplu aluminiu cu siliciu impurificat cu impurități donoare), joncțiune care are tensiunea de deschidere mai mică decât cea a unei joncțiuni semi-conductoare pn iar conducția în dioda Schottky bazându-se pe purtători majoritari, nu apare sarcină stocată și deci timpii de comutare sunt extrem de mici. În acest fel, la polarizarea directă a joncțiunii

colector bază a tranzistorului, dioda Schottky se deschide împiedicând intrarea în saturație a tranzistorului.

Schema electrică utilizată pentru simularea unei porți logice în tehnologie STTL este prezentată în figura 1.13, programul de simulare este programul 1.2 iar rezultatul simulării este dat în figura 1.14.

PROGRAMUL 1.2

```
.TRAN 0.1NS 150NS
.MODEL D2 D RS=15 CJO=0.2PF IS=5E-10
.MODEL QND NPN BF=50 RB=70 RC=40 CCS=2PF TF=0.1NS TR=10NS
+ CJE=0.9PF CJC=1.5PF PC=0.85 VA=50
*ALIAS V(25)=VIN
*ALIAS V(2)=VOUT
.PRINT TRAN V(25) V(2)
RL2 1 6 8K
Q5 2 4 3 QND
DC5 4 2 D2
Q6 3 3 0 QND
RC4 4 5 60
Q4 5 7 14 QND
DC4 7 5 D2
RB2 7 6 15K
RK 16 8 1K
QE 8 17 9 QND
D1 9 10 D2
D12 10 11 D2
D2 11 15 D2
RC3 15 13 10
Q3 13 20 0 QND
RS2 15 14 50
DC3 20 13 D2
RL1 16 17 8.75K
DL 17 18 D2
RC2 18 19 30
Q2 19 22 20 QND
RE1 20 12 600
DE1 12 0 D2
DC2 22 19 D2
RC1 22 23 60
Q1 23 24 25 QND
DC1 24 23 D2
RB1 16 24 15K
VLOAD 6 0 5V
V2 16 0 5V
V3 25 0 PULSE
+ 1.09 1.1 10NS 5NS 5NS + 70NS
RE2 3 21 600
DE2 21 0 D2
R14 2 0 20K
QL2 1 1 2 QND
.END
```

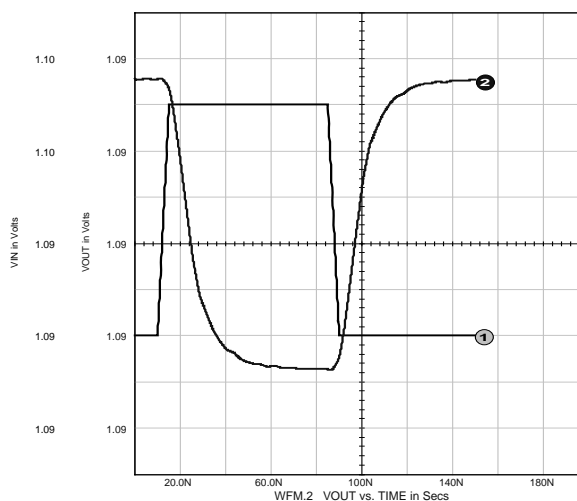


Figura 1.14. Rezultatul simulării comutării porții TTL-S

Schema utilizată în figura 1.13 are un caracter teoretic și permite studiul prin simulare a proprietăților porților logice de tip STTL. În realitate pentru realizarea unei astfel de porți sunt utilizate tranzistoare Schottky a cărei schemă echivalentă este prezentată în figura 1.15.a iar simbolul în figura 1.15.b.

În cazul seriei LPSTTL reducerea puterii consumate se obține prin mărirea tuturor rezistențelor circuitului, desigur în detrimentul timpului de propagare.

Seria STTL are parametri similari cu cei prezentați în tabelul 1.2 cu deosebirea că timpul de propagare este de aproximativ 3 ns iar puterea disipată pe poarta fundamentală este de 22 mW. Pentru seria LPSTTL principalii parametri sunt dați în tabelul 1.4.

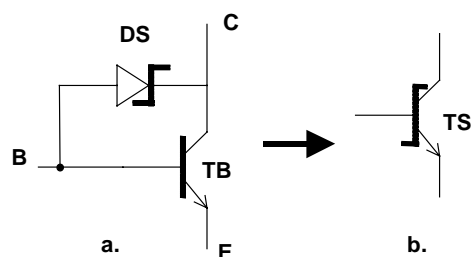


Figura 1.15. Tranzistorul Schottky

TABELUL 1.4.

<i>Caracteristici electrice</i>						
Simbol	Parametri	Condiții de test	MIN.	TIP.	MAX.	Unități
1	2	3	4	5	6	7
V_{IH}	Tensiunea de intrare în starea "1"	$V_{CC_{min}}$, $V_O < 0,4V$	2	-	-	V
V_{IL}	Tensiunea de intrare în starea "0"	$V_{CC_{min}}$, $V_O > V_{OHmin}$	-	-	0,8	V
I_{IH}	Curent de intrare în starea "1"	$V_{CC_{max}}$, $V_I = 2,7V$	-	-	20	μA
I_{IR}	Curent de intrare în starea "1" la tensiune de intrare 5,5V	$V_{CC_{max}}$, $V_I = 7V$	-	-	0,1	mA
$-I_{IL}$	Curent de intrare în starea "0"	$V_{CC_{max}}$, $V_I = 0,4V$	-	-	0,4	mA
V_{OH}	Tensiunea de ieșire în starea "1"	$V_{CC_{min}}$, $V_I = V_{ILmax}$ $-I_O = 0,4 mA$	2,7	-	-	V
V_{OL}	Tensiunea de ieșire în starea "0"	$V_{CC_{min}}$, $V_I = 2V$ $I_O = 4 mA$	-	-	0,4	V
$-I_{OS}$	Curent de scurtcircuit la ieșire	$V_{CC_{max}}$, $V_I = 0V$	15	-	100	mA
I_{CCL}	Curent de alimentare pe capsulă	$V_{CC_{max}}$, $V_I = 4,5V$	-	2,4	4,4	mA
I_{CCH}	Curent de alimentare pe capsulă	$V_{CC_{max}}$, $V_I = 0V$	-	0,8	1,6	mA
$-V_{IK}$	Tensiune pe diodele de limitare	$V_{CC_{min}}$, $-I_I = 18mA$ $T_A = +25^\circ C$	-	-	1,5	V

TABELUL 1.4. (continuare)

<i>Caracteristici dinamice</i>						
1	2	3	4	5	6	7
t_{pLH}	Timp de propagare la creșterea semnalului de ieșire	$C_L=15pF$ $R_L=2k\Omega$		9	15	ns
t_{pHL}	Timp de propagare la descreșterea semnalului de ieșire			10	15	ns

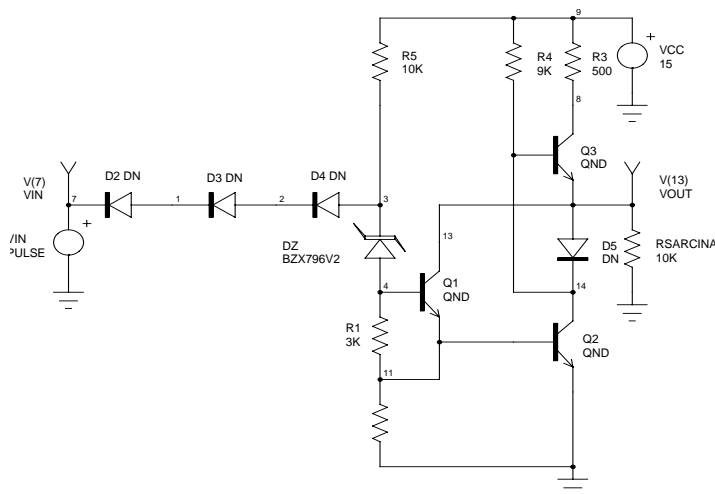


Figura 1.16. Schema electrică a porții inversoare în tehnologie HLL

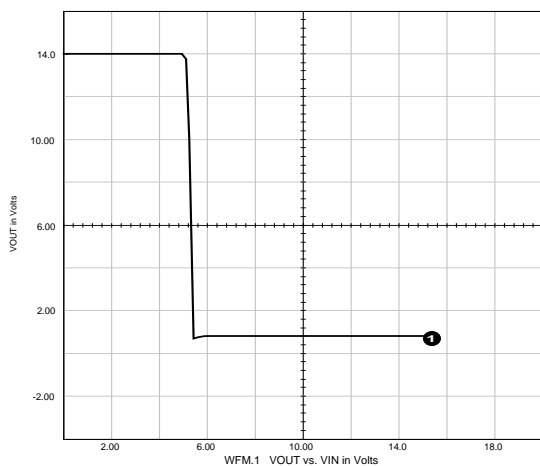


Figura 1.17. Caracteristica de transfer a inversorului HLL

famiilor de circuite logice cu imunitate ridicată la perturbații. Al doilea procedeu se utilizează în cadrul familiilor de circuite logice din seria normală, care conțin trigger Schmitt

1.3.5. Familia HLL (logica cu nivele mari)

Circuitele integrate logice HLL (High Logic Level) sunt realizate în tehnologie bipolară și sunt derivate din familia circuitelor logice DTL (Diode Transistor Logic) a căror poartă logică fundamentală este construită cu diode și tranzistoare. Principala caracteristică a acestei familii de circuite integrate logice este reprezentată de imunitatea ridicată la perturbațiile electrice.

Mărirea imunității la perturbații a unui circuit logic poate fi realizată pe două căi:

- mărirea tensiunii de alimentare a circuitului și deplasarea zonei de tranziție la jumătatea acestui interval;
- realizarea unui ciclu de histerzis, care duce la mărirea lungimii orizontale a caracteristicii de transfer.

Primul procedeu este caracteristic

integrate, ce se introduc în sistemele numerice în locurile unde acționează perturbații importante.

În schema din figura 1.16 este prezentată poarta fundamentală a familiei logice HLL. Pentru simulare s-a folosit programul 1.3. Cu ajutorul programului de simulare se poate obține atât caracteristica de transfer a porții (utilizând comanda .DC) cât și viteza de răspuns a acesteia (utilizând comanda .TRAN).

În schema din figura 1.16, dioda zener DZ introduce o deplasare de nivel de aproximativ 6V. În felul acesta se obține deplasarea dorită a zonei de tranziție a caracteristicii de transfer a circuitului logic și creșterea corespunzătoare a imunității la perturbații. Trebuie făcută însă observația că ridicarea imunității la perturbații se face în detrimentul altor parametri ai porții logice.

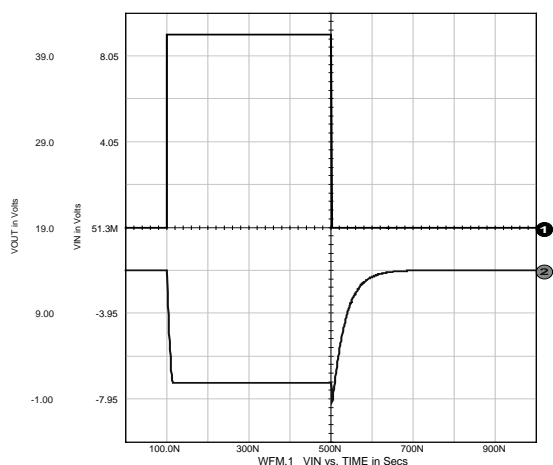


Figura 1.18. Formele de undă corespunzătoare comportării dinamice pentru o poartă HLL

Caracteristica de transfer a inversorului HLL este prezentată în figura 1.17; este interesant să se facă o comparație între această caracteristică și cea prezentată în figura 1.7 pentru inversorul TTL standard. Din figura 1.17 se observă faptul că nivelele logice de comutare a porții HLL sunt mult mai mari decât în cazul porții TTL. Rezultatul simulării în ceea ce privește viteza de comutație este prezentat în figura 1.18 unde primul grafic corespunde semnalului de intrare iar cel

de-al doilea semnalului de ieșire.

PROGRAMUL 1.3.

```
*INCLUDE DIODE.LIB
.DC VIN 0 15 0.15
.TRAN 1NS 1US
.PRINT TRAN V(7) V(13)
.PRINT DC V(13)
.MODEL DN D RS=40 TT=0.1NS
+ CJO=0.9PF
.MODEL QND NPN BF=50 RB=70 RC=40
+ CCS=2PF TF=0.1NS TR=10NS
+ CJE=0.9PF CJC=1.5PF PC=0.85 VA=50
*ALIAS V(7)=VIN
*ALIAS V(13)=VOUT
D2 1 7 DN
D3 2 1 DN
D4 3 2 DN
R1 4 11 3K
R2 11 0 6K
Q1 13 4 11 QND
```

Q2 14 11 0 QND
 D5 13 14 DN
 Q3 8 14 13 QND
 R3 8 9 500
 R4 14 9 9K
 R5 3 9 10K
 VCC 9 0 15
 VIN 7 0 PULSE
 + 0 9 100NS 1NS 1NS 400NS
 RSARCINA 13 0 10K
 DZ 4 3 BZX796V2
 .END

Schema utilizată pentru poarta ȘI-NU în tehnologie HLL este prezentată în figura 1.19. Dacă pe cele două intrări se aplică semnale corespunzătoare curbelor 1 și 2 (figura 1.20) atunci la ieșire se obține un semnal corespunzător curbei 3 care respectă tabelul de adevăr a funcției logice ȘI-NU.

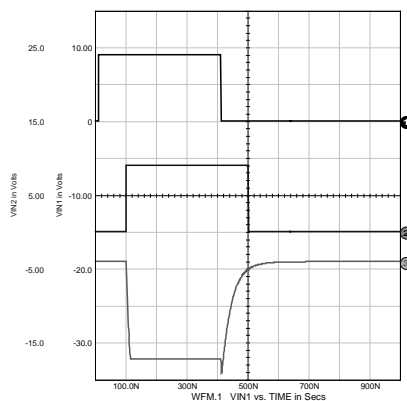
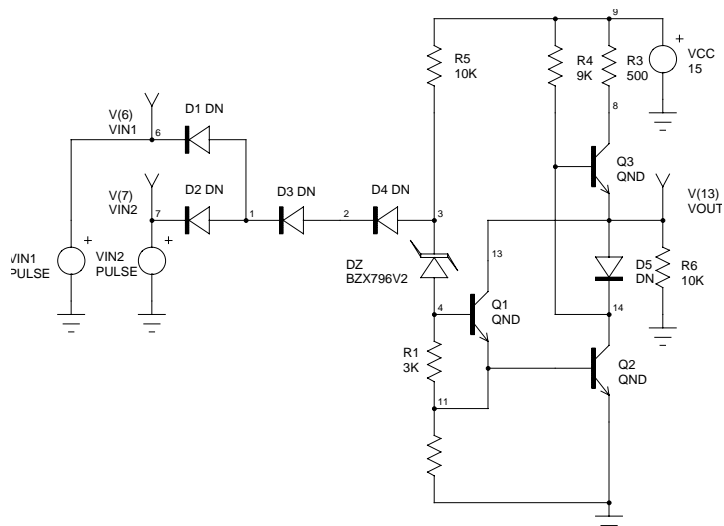


Figura 1.20. Formele de undă ale semnalelor la intrările și ieșirea circuitului NAND

Figura 1.19. Poarta ȘI-NU în tehnologie HLL

Principalii parametri ai unei porți logice HLL sunt prezentați în tabelul 1.5.

TABELUL 1.5.

<i>Caracteristici principale</i>						
Gama temperaturilor de funcționare	Sortanța Fan-out	Tensiunea de alimentare VCC(V)				
		MIN.	MAX.			
0°C ... +70°C	10	13,5	17			
-25°C ... +85°C	10	13,5	17			
<i>Caracteristici electrice</i>						
Simbol	Parametri	Condiții de test	MIN.	TIP.	MAX.	Unități
1	2	3	4	5	6	7
V_{IH}	Tensiunea de intrare în starea "1"	$V_{CCmin}, V_O < 1,7V$ $I_O = 18 mA$	7,5	-	-	V

TABELUL 1.5. (continuare)

1	2	3	4	5	6	7
V_{IL}	Tensiunea de intrare în starea "0"	$V_{CC_{min}}$, $V_O > 12V$ $I_O = 0,1 \text{ mA}$	-	-	4,5	V
I_{IH}	Curent de intrare în starea "1"	$V_{CC_{max}}$, $V_I = 17V$ $I_O = 0 \text{ mA}$	-	-	1	μA
$-I_{IL}$	Curent de intrare în starea "0"	$V_{CC_{max}}$, $V_I = 1,7V$ $I_O = 0 \text{ mA}$	-	-	1,8	mA
V_{OH}	Tensiunea de ieșire în starea "1"	$V_{CC_{min}}$, V_{IL} $I_O = 0,1 \text{ mA}$	12	-	-	V
V_{OL}	Tensiunea de ieșire în starea "0"	$V_{CC_{max}}$, V_{IH} $I_O = 18 \text{ mA}$	-	-	1,7	V
$-I_{OS}$	Curent de scurtcircuit la ieșire	$V_{CC_{max}}$, $V_I = 0V$ $V_O = 0V$	15	-	60	mA
I_{CCL}	Curent de alimentare pe capsulă	$V_{CC_{max}}$, $V_I = 17V$ $I_O = 0$	-	-	16	mA
I_{CCH}	Curent de alimentare pe capsulă	$V_{CC_{max}}$, $V_I = 0V$ $I_O = 0$	-	-	8,4	mA
Caracteristici dinamice						
t_{pLH}	Timp de propagare la creșterea semnalului de ieșire	$C_L = 10pF$		175		ns
t_{pHL}	Timp de propagare la descreșterea semnalului de ieșire			175		ns

1.3.6. Familia ECL

Tehnologia ECL (Emitter Coupled Logic) permite obținerea circuitelor logice ultrarapide cu timpi de propagare extrem de reduși de ordinul 1...4 ns în detrimentul unui consum de putere relativ ridicat și o diferență mică de tensiune între nivelele logice. Aceste particularități au condus la utilizarea pe scară mai redusă a acestui tip de circuite integrate, în special în aplicațiile care impun viteze de lucru foarte ridicate.

Timpul de propagare redus se datorează funcționării nesaturate a tranzistoarelor ce compun poarta logică și saltului de amplitudine mică a tensiunii de ieșire.

Așa cum s-a arătat și la celelalte tipuri de tehnologii utilizate, prețul plătit pentru creșterea vitezei este scăderea imunității la perturbații și creșterea consumului de putere pe poartă.

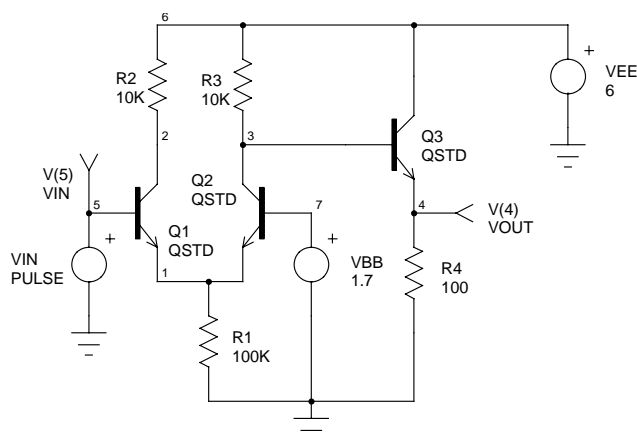


Figura 1.21. Schema electronică de principiu a unei porți logice ECL

Schema electrică simplificată a unei porți ECL este prezentată în figura 1.21. În această figură se observă cele trei grupe de circuite care formează poarta ECL:

- amplificatorul diferențial de intrare format din tranzistoarele Q1 și Q2;
- circuitul de polarizare VBB;
- repetorul pe emitor realizat cu tranzistorul Q3.

La acest circuit nivelurile de tensiune diferă puțin între ele (saltul de tensiune tipic fiind de 0,8V) iar principiul de funcționare se referă la comutarea de la tranzistorul Q1 la Q2 sau invers a unui curent practic constant (curentul prin rezistența R1); din acest motiv aceste circuite se mai numesc și circuite logice cu comutare în curent.

În figura 1.21, dacă tensiunea de intrare VIN este mai mică decât tensiunea de referință VBB atunci tranzistorul Q1 este blocat iar Q2 conduce iar prin rezistența R1 trece un curent cu valoarea I₀. Valorile R1, R3 și VBB sunt astfel alese încât tranzistorul Q2 să se afle în regiunea activă normală el funcționând în clasă A. Atunci când VIN=VBB atunci prin cele două tranzistoare circulă același curent (egal cu I₀/2). Creșterea tensiunii VIN duce la creșterea tensiunii pe rezistența R1 deoarece:

$$V_{R1} = V_{IN} - V_{BE1} \quad (1.12)$$

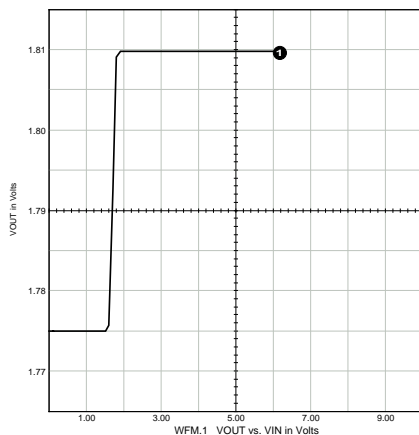


Figura 1.22. Caracteristica de transfer a unei porți logice ECL

unde V_{BE1} poate fi considerat practic constant. Rezultă că la un moment dat tranzistorul Q2 se va bloca din cauza tensiunii V_{BE2} care se micșorează și ea la creșterea tensiunii VIN. Practic la un moment dat Q1 începe să conducă în regiunea activă normală iar Q2 se blochează ceea ce înseamnă că se produce o comutare a curentului de pe Q2 pe Q1. Caracteristica de transfer a porții este prezentată în figura 1.22.

De asemenea din figura 1.21 se remarcă faptul că este foarte simplă introducerea unei ieșiri suplimentare care să reprezinte valoarea logică negată a ieșirii care deja este desenată prin adăugarea unui repetor pe emitor suplimentar conectat în colectorul tranzistorului Q1.

Poarta fundamentală a familiei ECL realizează funcția SAU (SAU-NU) din cauză că obținerea funcției sau se face foarte simplu prin conectarea în paralel a mai multor tranzistoare în locul tranzistorului Q1 așa cum este arătat în figura 1.23.

În figura 1.23 tranzistoarele Q2 și Q9 reprezintă cele două intrări ale porții logice, Q10 împreună cu R15, R16, R17, D3 și D4 formează referința de ieșire iar Q8 ieșirea SAU și Q7 ieșirea SAU-NU. Din schemă se mai observă faptul că circuitul de masă este reprezentat de borna pozitivă a sursei de alimentare (adică rezistențele din colectorul tranzistoarelor sunt conectate la masă).

NOT: Din cauza modului de simbolizare a sursei de tensiune în simulatorul SPICE, în schema din figura 1.23 borna pozitivă a sursei pare conectată în emitorul tranzistoarelor. Dacă ne uităm însă la valoarea sursei (de exemplu V4=-4V) și la notația folosită în programul 1.4 ne dăm seama că de fapt borna la masă este borna pozitivă a sursei.

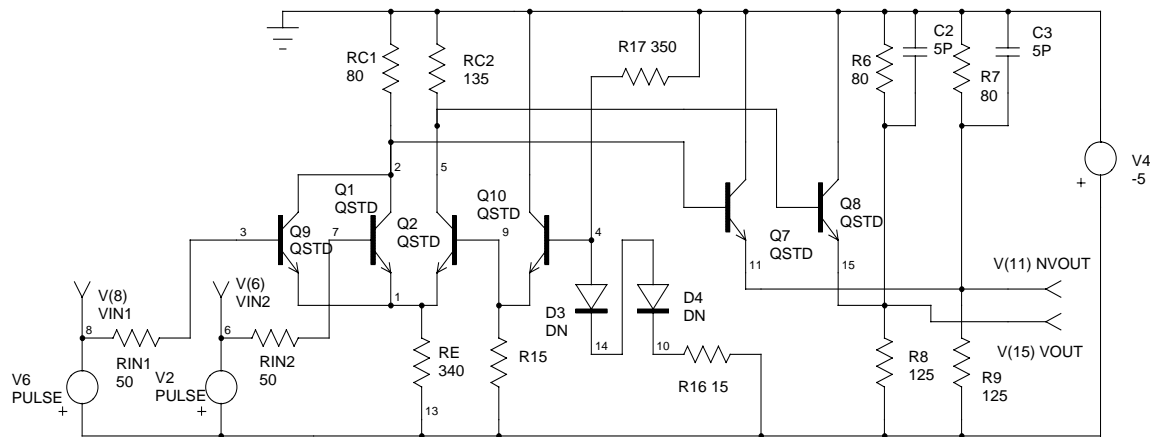


Figura 1.23. Poarta SAU (SAU-NU) în tehnologie ECL

Acest mod de conectare a circuitului de masă (diferit de cel obișnuit) va fi explicat în continuare. Sursa de alimentare alimentează simultan mai multe porți logice care comută și ale căror comutații pot produce curenți tranzitorii. Curenții tranzitorii creează pe inductanțe sau chiar pe impedanța finită a sursei de alimentare niște tensiuni care sunt echivalente cu înserierea cu sursa de alimentare a unei tensiuni perturbatoare. Pentru atenuarea efectului acestor tensiuni perturbatoare asupra circuitelor logice circuitul de masă trebuie format la borna pozitivă a sursei de alimentare. Un alt motiv pentru care se adoptă circuitul de masă la borna pozitivă a sursei de alimentare este protecția la scurtcircuit a tranzistoarelor de ieșire. Din figura 1.23 se vede că un scurtcircuit la masă a uneia din ieșiri nu poate duce la distrugerea tranzistorului de ieșire, sursa debitând pe o rezistență egală cu R8 sau R9.

Programul de simulare a circuitului din figura 1.23 este programul 1.4, rezultatul simulării fiind prezentat în figura 1.24.

PROGRAMUL 1.4.

```
.TRAN 0.2MS 20MS
.MODEL QSTD NPN IS=1E-16 BF=50 BR=0.1 RB=50 RC=10 TF=0.12NS
+ TR=5NS CJE=0.4PF PE=0.8 ME=0.4 CJC=0.5PF PC=0.8 MC=0.333
+ CCS=1PF VA=50
.MODEL DN D RS=40
+ TT=0.1NS
+ CJO=0.9PF
*ALIAS V(6)=VIN2
*ALIAS V(11)=NVOUT
*ALIAS V(15)=VOUT
*ALIAS V(8)=VIN1
.PRINT TRAN V(6)
+ V(11)V(15)V(8)
Q2 5 9 1 QSTD
RC1 2 0 80
RC2 5 0 135
RIN2 7 6 50
RE 1 13 340
```

```

Q7 0 2 11 QSTD
Q8 0 5 15 QSTD
V2 13 6
+ PULSE -1.0 -1.8
+ 5MS 1NS 1NS 10MS
R6 0 15 80
R7 0 11 80
R8 15 13 125
R9 11 13 125
C2 0 15 5P
C3 0 11 5P
V4 13 0 -5
Q9 2 3 1 QSTD
RIN1 8 3 50
V6 13 8 PULSE
+ -1.0 -1.8 0
+ 1NS 1NS 10MS
R15 9 13
Q10 0 4 9 QSTD
D3 4 14 DN
D4 14 10 DN
R16 10 13 15
R17 4 0 350
Q1 2 7 1 QSTD
.END

```

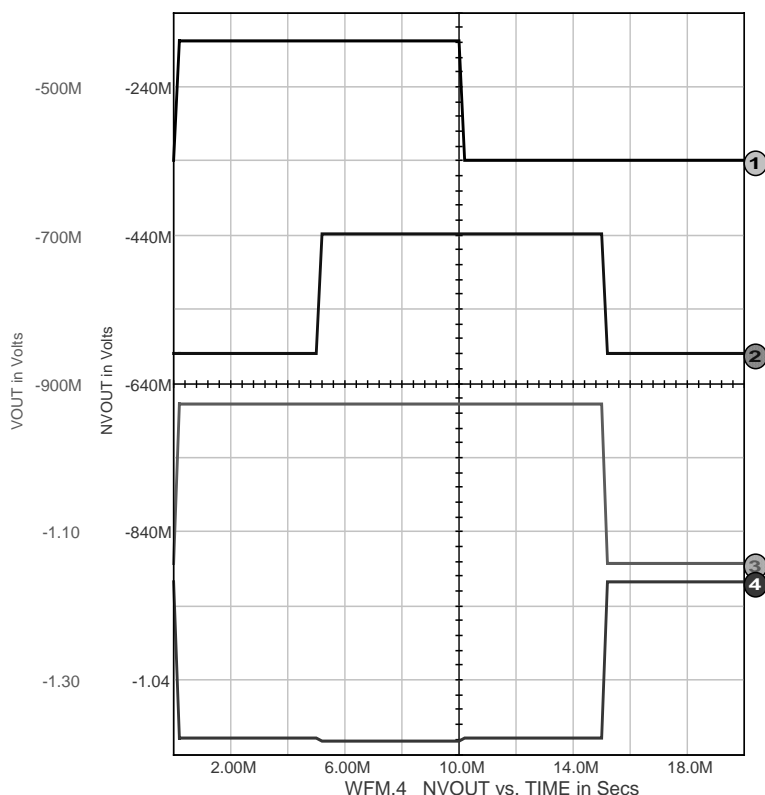


Figura 1.24. Rezultatul simulării circuitului din figura 1.23. Curbele 1 și 2 reprezintă semnalele de intrare, curba 3 funcția SAU iar curba 4 funcția SAU-NU

Este demn de remarcat faptul că circuitul din figura 1.23 realizează la ieșire funcțiile logice SAU și SAU-NU în logică pozitivă sau funcțiile ȘI și ȘI-NU în logică negativă.

1.3.7. Circuite integrate logice I^2L

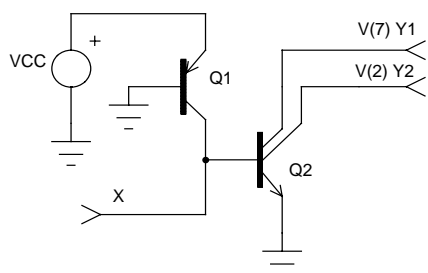


Figura 1.25. Schema de principiu a inversorului I^2L

Circuitele în tehnologia I^2L (Integrated Injection Logic – Logica integrată de injecție) datorită avantajelor pe care le aduc și anume: viteză de lucru comparabilă cu circuitele construite în tehnologie bipolară, densitate de integrare a componentelor mare (în unele situații mai mare decât cea permisă de tehnologia MOS), putere consumată scăzută (comparabilă cu cea a circuitelor în tehnologie CMOS) și capacitate la ieșire foarte mică, au dus la dezvoltarea unor componente cu funcții complexe larg utilizate în tehnica digitală.

Schema electrică de principiu a unei porți în tehnologie I^2L (sau IIL) este prezentată în figura 1.25.

Acestă schemă foarte simplă explică posibilitatea de integrare pe scară largă (LSI) a circuitelor. Elementul logic este reprezentat de tranzistorul multicolector Q2, tranzistorul Q1 având rolul de generator de curent constant.

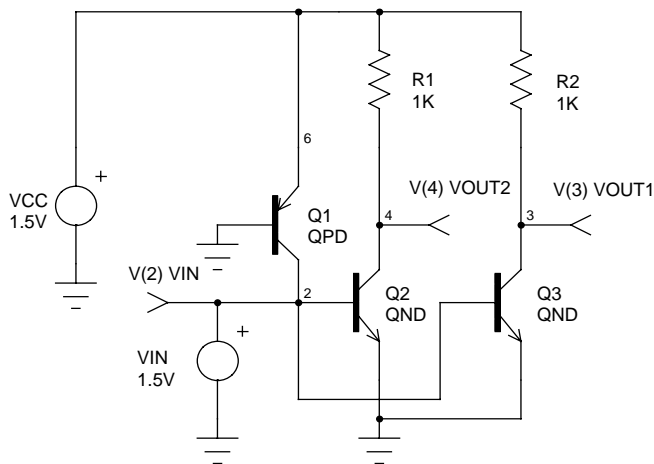


Figura 1.26. Circuitul utilizat pentru simularea funcționării inversorului I²L

Intrarea (X) a inversorului este chiar baza tranzistorului Q2 iar ieșirile (Y1, Y2) reprezintă colectoarele în gol ale aceluiași tranzistor. Evident că pentru funcționarea corectă a circuitului pe ieșiri trebuie conectate sarcini corespunzătoare.

Dacă pe intrarea X a circuitului se aplică o tensiune egală cu zero (zero logic) atunci curentul furnizat de tranzistorul Q1 este dirijat la masă iar tranzistorul Q2 se blochează, ieșirile Y1 și Y2 fiind în starea unu logic. Când pe intrare se aplică valoarea 1 logic (intrarea X în aer sau se aplică o

tensiune de 0,4 ... 0,8V) atunci tranzistorul Q2 conduce ieșirea circuitului fiind în starea zero logic. Tensiunea de alimentare și nivelele logice au valori foarte mici în comparație cu porțile logice construite în alte tehnologii. Astfel, dacă VCC=1,5V, atunci tensiunea corespunzătoare nivelului logic zero, $V_L < 20\text{mV}$ iar tensiunea corespunzătoare nivelului logic unu $V_H = 0,4 \dots 0,8\text{V}$.

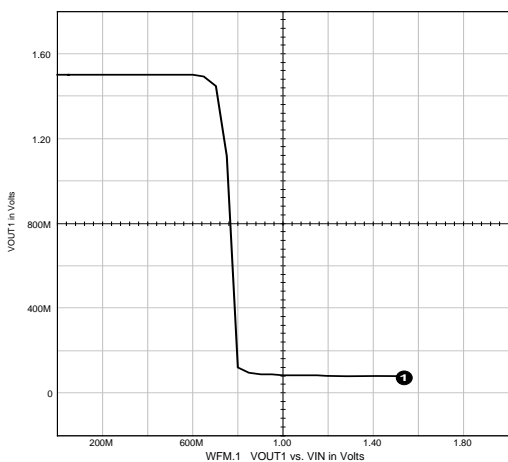


Figura 1.27. Caracteristica de transfer a porții inversoare în tehnologie I²L

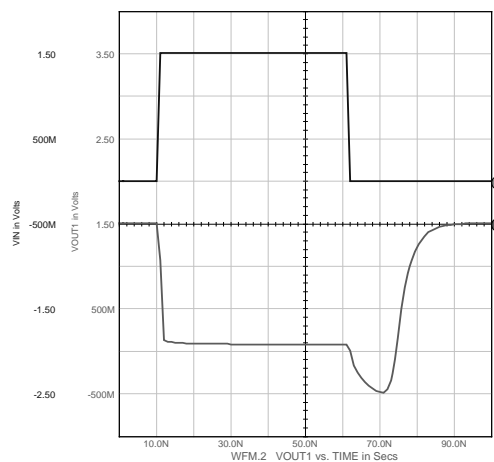


Figura 1.28. Comportarea dinamică a porții inversoare în tehnologie I²L

Schema utilizată pentru simularea porții inversoare este prezentată în figura 1.26 iar programul de simulare este programul 1.5.

PROGRAMUL 1.5

```
.MODEL QND NPN BF=50 RB=70 RC=40 CCS=2PF TF=0.1NS TR=10NS
+ CJE=0.9PF CJC=1.5PF PC=0.85 VA=50
.MODEL QPD PNP BF=50 RB=70 RC=40 CCS=2PF TF=0.1NS TR=10NS
+ CJE=0.9PF CJC=1.5PF PC=0.85 VA=50
.DC VIN 0 1.5 0.05
.PRINT DC V(3) V(4)
.TRAN 1NS 100NS
.PRINT TRAN V(2) V(3) V(4)
*ALIAS V(3)=VOUT1
*ALIAS V(4)=VOUT2
*ALIAS V(2)=VIN
Q2 4 2 0 QND
Q3 3 2 0 QND
VCC 6 0 1.5V
VIN 2 0 1.5V PULSE 0 1.5 10N 1N 1N 50N
R1 6 4 1K
R2 6 3 1K
Q1 2 0 6 QPD
.END
```

Tranzistorul multicolector Q2 din figura 1.25 a fost înlocuit în schema de simulare (figura 1.26) cu tranzistoarele Q2 și Q3. De asemenea rezistoarele R1 și R2 au fost adăugate pentru a asigura sarcina pe ieșirile inversorului. Rezultatele simulării sunt prezentate în figurile 1.27 și 1.28. Astfel în figura 1.27 este prezentată caracteristica de transfer a porții inversoare iar în figura 1.28 comportarea dinamică.

În figura 1.28, prima curbă (1) reprezintă tensiunea de intrare iar cea de-a doua tensiunea de ieșire.

Operatorii ȘI-NU (NAND) și SAU (OR) derivați din poarta logică prezentată în figura 1.25 au schemele de principiu date în figurile 1.29 și respectiv 1.30.

Operatorul ȘI-NU din figura 1.29 se deosebește de inversor doar prin prezența a două borne de intrare. Dacă una sau ambele intrări (**X1**, **X2**) sunt aduse în zero logic atunci ieșirea va avea starea unu logic din cauză că tranzistorul Q2 este blocat așa cum s-a arătat mai sus. Dacă ambele intrări **X1** și **X2** sunt în starea unu logic atunci tranzistorul Q2 este saturat iar ieșirea se va găsi în starea zero logic. Așa cum se va arăta mai târziu, acest mod de conectare a celor două intrări, presupune ca circuitele de comandă ale acestora să permită realizarea funcțiilor logice cablate.

Funcționarea circuitului SAU din figura 1.30 este și ea ușor de înțeles dacă observăm că la intrările unui circuit ȘI-NU s-au conectat două inversoare. Conform teoremei lui De Morgan rezultă că funcția circuitului obținut este SAU.

Circuitele realizate în această tehnologie prezintă avantaje care le fac apte pentru realizarea unor circuite integrate pe scară largă cum sunt memoriile, microprocesoarele, etc. Ele sunt utilizate pe scară largă în realizarea bunurilor de larg consum din cauză că pot fi alimentate la tensiuni mici (până la 1,5V) și au un consum redus.

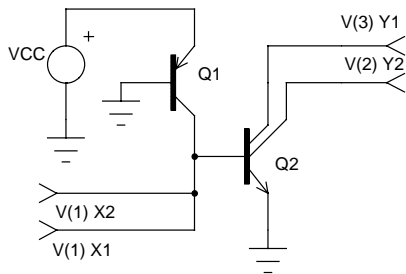


Figura 1.29. Poarta ȘI-NU

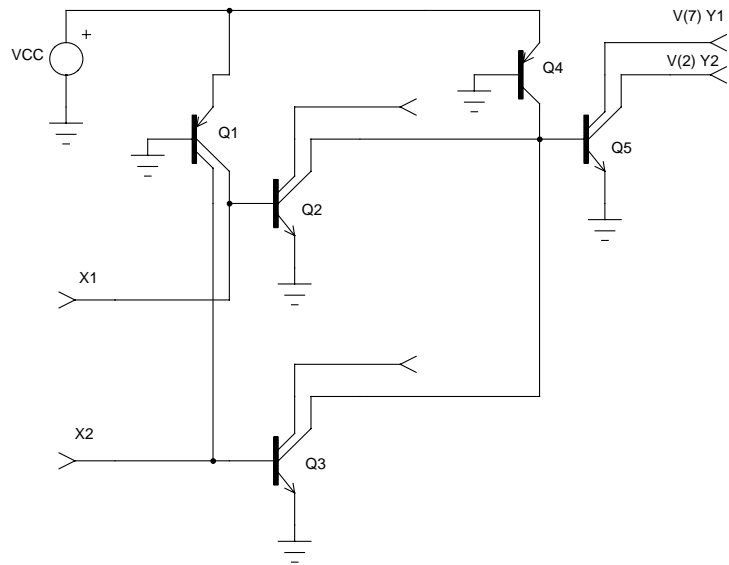


Figura 1.30. Poarta SAU

Principalele avantaje prezentate de circuitele logice realizate în tehnologie I^2L sunt:

- prezintă o excursie mică a tensiunii pentru nivelele logice ($<20\text{mV}$ pentru valoarea “0” logic și $0,4\text{V} \dots 0,8\text{V}$ pentru valoarea “1” logic) și capacități reduse ale joncțiunilor ceea ce permite lucrul la frecvențe relativ mari;
- au o tensiune de alimentare redusă (până la $1,5\text{V}$), circuitul putând fi alimentat de la pile electrice standard;
- datorită simplității (lipsesc rezistențele) se obțin densități de integrare comparabile sau superioare celor din familia MOS;
- proiectarea acestor circuite este simplă (nu există practic etape intermediare între schema logică și topologia circuitului electric);
- au o gamă largă a curenților de alimentare . Se poate optimiza consumul unui circuit dat fixând curentul de injecție la valoarea minimă pentru obținerea vitezei cerute;
- pot fi combinate cu celelalte circuite logice realizate în tehnologie bipolară (TTL, ECL) folosind interfețe de putere specifice.

1.4. Circuite integrate logice în tehnologie MOS (unipolară)

Circuitele integrate logice în tehnologie MOS presupun utilizarea tranzistoarelor cu efect de câmp cu poartă izolată (Metal Oxide Semiconductor) cu canal n sau p . Această tehnologie stă la baza circuitelor integrate pe scară largă (LSI – Large Scale Integration) sau foarte largă (VLSI – Very Large Scale Integration). În funcție de tipul canalului tranzistorului cu efect de câmp există la ora actuală mai multe tehnologii (tabelul 1.1) derivate din necesitățile de integrare și performanță ale circuitelor realizate.

Principalele avantaje prezentate de tehnologia MOS sunt:

- tehnologia permite obținerea unui grad înalt de integrare;
- puterea consumată de la sursele de alimentare este redusă;
- proces de fabricație simplu;
- costuri reduse;

iar dintre principalele dezavantaje putem aminti:

- viteze medii de comutare;
- putere redusă la ieșirea porții;
- tehnologia nu este indicată în cazul funcțiilor analogice.

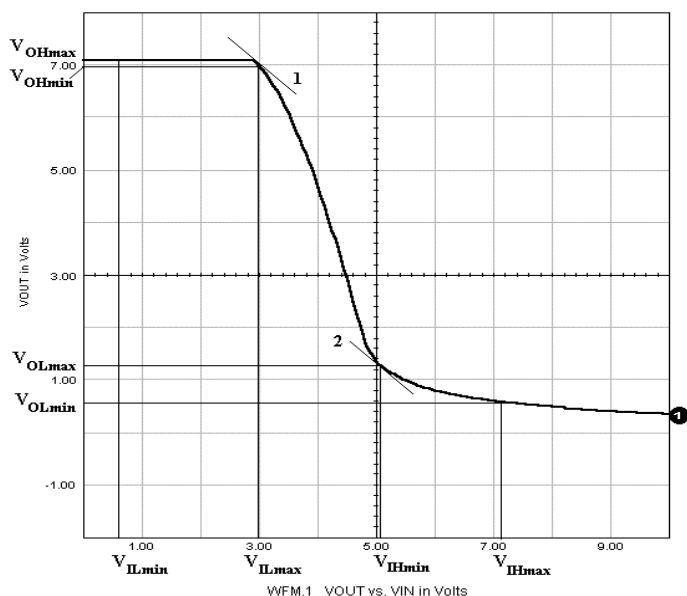


Figura 1.33. Caracteristica de transfer a inversorului MOS

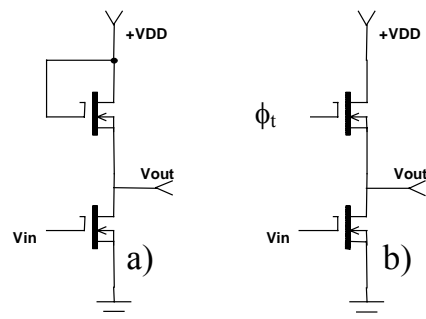


Figura 1.31. Realizarea sarcinilor active cu tranzistoare MOS

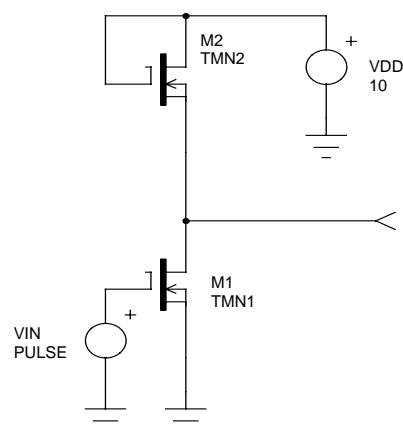


Figura 1.32. Inversorul MOS

Dintre tendințele de dezvoltare ale acestei tehnologii sunt remarcabile rezultatele obținute în domeniul circuitelor cuplate prin sarcină (CCD – Charge Coupled Devices), în domeniul circuitelor NMOS (nitride/oxide gate insulation) sau a biocircuitelor.

În construcția porților logice în tehnologie MOS rezistențele de sarcină sunt reprezentate tot de tranzistoare MOS care permit realizarea unor rezistențe active de valori ridicate (cea ce este de regulă dificil în

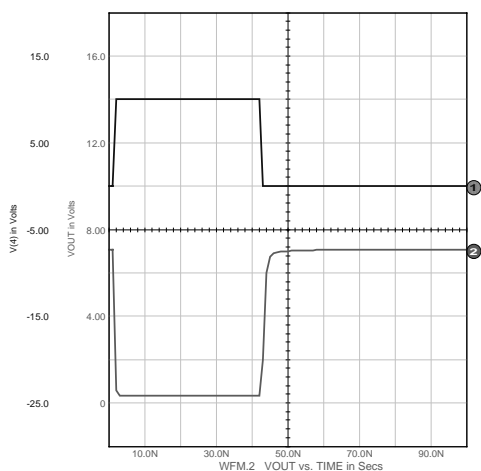
tehnologia bipolară). Există două posibilități de utilizare a tranzistorului MOS în calitate de rezistență activă:

- prin legarea porții la sursa de alimentare, caz în care rezistența intervine numai atunci când tranzistorul MOS activ legat în serie cu rezistența activă conduce (fig. 1.31.a);
- prin comandarea porții tranzistorului MOS folosit ca rezistență activă (fig. 1.31.b), caz în care această rezistență intervine doar pe durata impulsului de tact ϕ_t .

În figura 1.32. este prezentat un inversor MOS static. Tranzistorul amplificator (driver) M1 și tranzistorul sarcină M2 sunt alimentate în permanență. Tranzistorul M1 funcționează întotdeauna în regim de îmbogățire deoarece este mai convenabil ca el să fie blocat când tensiunea pe poarta sa este sub tensiunea de prag. Tranzistorul de sarcină M2 poate funcționa în general atât în regim de îmbogățire cât și în regim de sărăcire. Programul de simulare corespunzător inversorului MOS static este programul 1.6.

PROGRAMUL 1.6

```
.DC VIN 0 10 0.05
.TRAN 1NS 100NS
.MODEL TMN1 NMOS (LEVEL=1 VTO=3 KP=6.25M GAMMA=.868
+ PHI=.75 LAMBDA=39M RD=0.5 RS=0.5 IS=25F PB=.8 MJ=.46
+ CBD=2.98P CBS=3.75P CGSO=2.4N CGDO=2N CGBO=20.6N)
.MODEL TMN2 NMOS (LEVEL=1 VTO=3 KP=6.25M GAMMA=.868
+ PHI=.75 LAMBDA=39M RD=300 RS=300 IS=25F PB=.8 MJ=.46
+ CBD=2.98P CBS=3.75P CGSO=2.4N CGDO=2N CGBO=20.6N)
.PRINT TRAN V(1) V(4)
.PRINT DC V(1)
*ALIAS V(1)=VOUT
M1 1 4 0 2 TMN1
VDD 5 0 10
VIN 4 0 PULSE 0 10 1N 1N 1N 40N
M2 5 5 1 3 TMN2
.END
```



1.34. Comportarea dinamică a inversorului MOS

Caracteristica de transfer, obținută în urma simulării (analiza în curent continuu, comanda DC) este prezentată în figura 1.33. Pe această caracteristică sunt definite punctele statice de funcționare ale porții A și B, care în logica pozitivă corespund valorilor logice “unu” și respectiv “zero”. De asemenea pe figură sunt marcate marginile de zgomot M_L și M_H .

Pentru analiza caracteristicii de transfer trebuie observat faptul că tensiunea de prag a tranzistoarelor MOS cu canal indus n , M1 și M2 este de 3 volți ($V_{TO}=3.0$ în descrierea modelului din programul 1.6) ceea ce înseamnă că tranzistorul M1 începe să se deschidă pentru tensiuni la intrare mai mari decât această tensiune.

Tranzistorul M2 este în regiunea de saturație (funcționând ca generator de curent) din cauză că grila acestuia este legată la tensiunea de alimentare VDD. Fiind vorba de un inversor, dacă la intrare se aplică tensiunea V_{OL} atunci la ieșire vom obține tensiunea V_{OH} și reciproc, aplicarea unei tensiuni V_{OH} la intrare duce la obținerea unei tensiuni V_{OL} la ieșire. Așa cum este normal, circuitul inversor va fi comandat pe intrare de un circuit de aceeași natură (din aceeași familie), și din acest motiv putem defini pe figura 1.33 care reprezintă caracteristica de transfer a

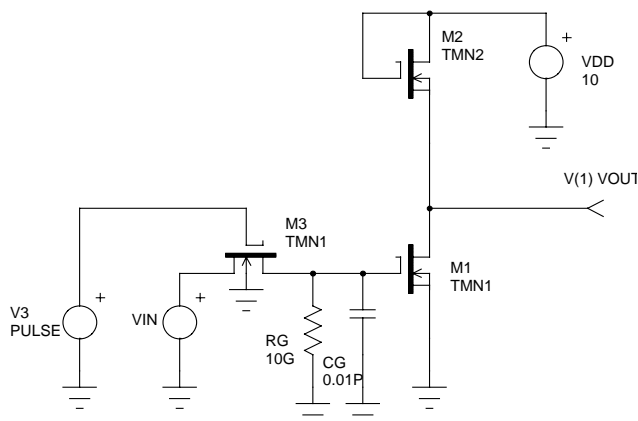


Fig. 1.35. Poarta de transmisie

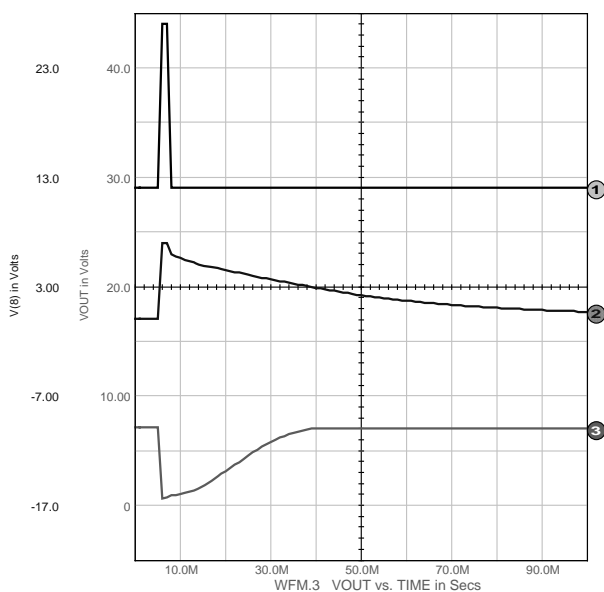


Fig. 1.36. Comportarea porții de transmisie la aplicarea unui singur impuls de tact

1. Impulsul de tact (V3).
2. Tensiunea pe condensatorul CG.
3. Tensiunea la ieșirea inversorului.

memorii, numărătoare, linii de întârziere, etc. cu parametri și funcționalitate mult superioare. Este de remarcat aici posibilitatea obținerii atât a porților statice cât și a celor dinamice.

Porțile logice prezentate până acum sunt porți logice statice și se caracterizează prin aceea

inversorului, obținută prin simularea circuitului din figura 1.32 cu ajutorul programului 1.6, nivelele tensiunilor logice V_{ILmin} , V_{ILmax} , V_{IHmin} , V_{IHmax} , V_{OLmin} , V_{OLmax} , V_{OHmin} și V_{OHmax} . Dreptele 1 și 2 din figura 1.33 cu panta egală cu -1 definesc pe caracteristica de transfer regiunea de tranziție între stări. În acest fel se obțin marginile de zgomot M_L și M_H (relația 1.3 paragraful 1.2.1).

Rezultatul simulării pentru comportarea dinamică a porții este prezentat în figura 1.34. Deși tranzistorul MOS intrinsec comută rapid (sunt dispozitive ce funcționează cu purtători majoritari) și au timpi de comutare intrinseci mici (de ordinul a unei nanosecunde), viteza de comutare se reduce cu aproximativ trei ordine de mărime din cauza capacității echivalente la ieșirea porții logice. Această capacitate este formată din capacitatea de ieșire a porții logice și capacitățile de intrare a porților comandate.

Proprietățile deosebite ale tranzistoarelor MOS: impedanță de intrare ridicată, rezistență scăzută a canalului în situația în care acesta este complet deschis și rezistență ridicată a canalului în starea blocată, permite o mare flexibilitate în realizarea funcțiilor logice comparativ cu tehnologia bipolară. Astfel, pot fi realizate simplu funcții de multiplexare și demultiplexare, registre de deplasare,

că starea ieșirii porții logice se menține neschimbată atât timp cât starea logică a intrărilor rămâne neschimbată și se menține tensiunea de alimentare. În cazul porților logice dinamice aceste condiții nu mai sunt suficiente, fiind necesară reîmprospătarea periodică a informației. Pentru a exemplifica acest lucru se va prezenta în continuare poarta de transmisie.

Schema electrică a porții de transmisie este prezentată în figura 1.35. Această poartă este alcătuită în esență dintr-un inversor MOS static (tranzistoarele M1 și M2) ce are pe intrare condensatorul CG și comutatorul M3 prin intermediul căruia se aplică tensiunea de intrare VIN. Pe poarta tranzistorului M3 se aplică impulsuri de tact de la sursa V3. Rezistența RG a fost introdusă în scopul de a permite modificarea curentului de descărcare a condensatorului CG în așa fel încât să se poată simula rezistența de izolație față de substrat.

Pentru a înțelege funcționarea porții de transmisie vom aplica pe poarta tranzistorului M3

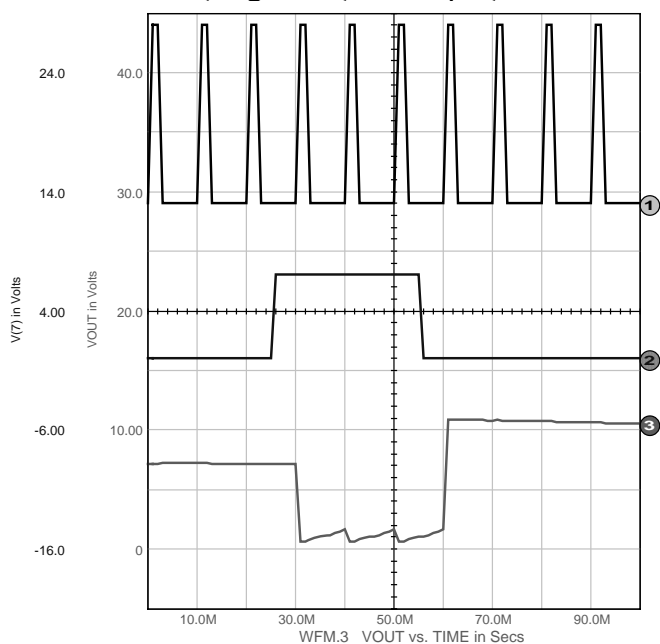


Fig. 1.37. Comportarea porții de transmisie.

1. Impulsurile de tact. 2. Semnalul de intrare. 3. Semnalul de ieșire.

un singur impuls așa cum se arată în figura 1.36. La aplicarea impulsului tranzistorul M3 se deschide iar tensiunea de intrare V3 se aplică la intrarea inversorului încărcând în același timp condensatorul CG. După ce tranzistorul M3 se blochează din cauza dispariției impulsului aplicat pe poartă, starea ieșirii inversorului se mai menține o vreme (până când condensatorul se descarcă sub o anumită valoare) indiferent dacă tensiunea VIN mai este menținută. Rezultă că poarta de transmisie realizează memorarea stării intrării la un moment dat pe o durată de timp cu atât mai mare cu cât curentul de descărcare a condensatorului CG este mai mic. Din acest motiv

spunem că poarta de transmisie constituie o memorie dinamică, informația memorată necesitând a fi reîmprospătată după un anumit timp.

Programul pentru simularea porții de transmisie este programul 1.7. Dacă semnalul de tact (reîmprospătare) se aplică cu o frecvență suficient de mare în așa fel încât informația să fie reîmprospătată în timp util atunci se obține rezultatul din figura 1.37. Din aceasta figură rezultă faptul că tensiunea de ieșire a porții de transmisie depinde de tensiunea de intrare circuitul comportându-se ca un inversor. Este important de remarcat faptul că starea ieșirii nu se schimbă imediat ce starea intrării s-a modificat ci ieșirea se modifică sincronizat cu impulsul de tact. Acest procedeu de sincronizare a porților logice cu un semnal de tact este un procedeu larg utilizat în cazul circuitelor logice digitale așa cum se va arăta mai târziu.

PROGRAMUL 1.7

```
.TRAN 1MS 100MS
.MODEL TMN1 NMOS (LEVEL=1 VTO=3 KP=6.25M GAMMA=.868
+ PHI=.75 LAMBDA=39M RD=0.5 RS=0.5 IS=25F PB=.8 MJ=.46
+ CBD=2.98P CBS=3.75P CGSO=2.4N CGDO=2N CGBO=20.6N)
.MODEL TMN2 NMOS (LEVEL=1 VTO=3 KP=6.25M GAMMA=.868
+ PHI=.75 LAMBDA=39M RD=300 RS=300 IS=25F PB=.8 MJ=.46
+ CBD=2.98P CBS=3.75P CGSO=2.4N CGDO=2N CGBO=20.6N)
.PRINT TRAN V(1) V(6) V(7)
*ALIAS V(1)=VOUT
M1 1 8 0 9 TMN1
VDD 5 0 10
M3 8 6 7 0 TMN1
V3 6 0 PULSE 0 15 0 1P 1P 2M 10M
V4 7 0 PULSE 0V 7V 25M 1P 1P 30M
CG 8 0 0.01P
RG 8 0 10G
M2 5 5 1 3 TMN2
.END
```

1.4.1. Familia PMOS

Primele tehnologii utilizate pentru realizarea circuitelor integrate MOS au fost tehnologii PMOS cu poartă de aluminiu, datorită simplității proceselor componente ale acestor tehnologii. La baza acestei tehnologii stau tranzistoarele MOS cu canal p , la care electrodul poartă (grilă) este realizat din aluminiu.

Circuitele integrate în tehnologie PMOS necesită tensiuni mari de alimentare (de obicei două: $-27V$ și $-12V$) și de asemenea tensiuni relativ mari de prag pentru comandă. Din acest motiv acest tip de circuite prezintă o imunitate ridicată la perturbații fiind recomandate pentru utilizarea în medii cu nivel ridicat de zgomot electromagnetic.

Deși tehnologia este încă larg utilizată la fabricarea circuitelor integrate pe scară medie sau largă datorită în principal prețului de cost scăzut, ea prezintă o serie de dezavantaje, ca de exemplu: viteze de operare scăzute (100ns/poartă) și putere disipată relativ mare (0,5 mW/poartă).

În cazul schemelor în care se utilizează componente integrate realizate în mai multe familii tehnologice, interfațarea între circuitele PMOS și celelalte circuite (în special cu cele în tehnologie TTL) este dificilă.

O variantă îmbunătățită a tehnologiei PMOS este cea bazată pe porți de siliciu. La baza acestei tehnologii stau tranzistoarele MOS cu canal p , la care electrodul poartă (grilă) este realizat din siliciu policristalin.

Această tehnologie permite un factor mai mare de integrare, viteze de lucru mai mari (70ns/poartă) și o putere disipată pe poartă mai mică în comparație cu tehnologia PMOS cu poartă de aluminiu. Ca dezavantaj, tot în comparație cu tehnologia PMOS cu poartă de aluminiu, circuitele integrate realizate în această tehnologie au prețuri de cost specifice mai mari datorită

creșterii complexității procesului tehnologic iar imunitatea la perturbații este mai scăzută. Tehnologia PMOS cu poartă de siliciu este larg utilizată în realizarea circuitelor de memorie.

1.4.2. Familia NMOS

Ca și familia PMOS întâlnim două variante și anume: tehnologia NMOS cu porți de aluminiu și tehnologia NMOS cu porți de siliciu.

La baza tehnologiei NMOS cu poartă de aluminiu stau tranzistoarele MOS cu canal *n*, la care electrodul poartă (grilă) este realizat din aluminiu. Din cauză că mobilitatea electronilor în cristalul de siliciu este de trei ori mai mare decât cea a golorilor, porțile realizate în tehnologie NMOS vor avea o viteză de operare mai mare decât cele corespunzătoare realizate în tehnologie PMOS.

Principalele avantaje ale tehnologiei NMOS cu porți de aluminiu sunt reprezentate de: viteză de operare relativ ridicată (30ns/poartă), nivel ridicat de integrare, necesitatea unei singure surse de alimentare (+5V), putere disipată redusă și compatibilitate cu tehnologia TTL.

La baza tehnologiei NMOS cu poartă de siliciu stau tranzistoarele MOS cu canal *n*, la care electrodul poartă (grilă) este realizat din siliciu policristalin.

Principalele avantaje ale tehnologiei NMOS cu porți de siliciu sunt reprezentate de: viteză ridicată de operare (20ns/poartă), nivel de integrare foarte mare, necesitatea unei singure tensiuni de alimentare (+5V), putere disipată pe poartă scăzută și compatibilitate cu tehnologia TTL.

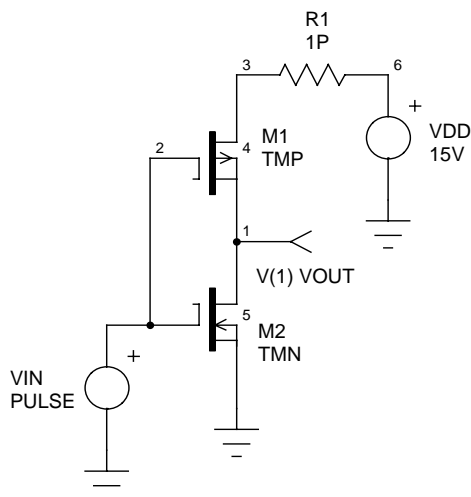


Fig. 1.38. Inversorul CMOS

1.4.3. Familia CMOS

Familia logică CMOS este reprezentativă pentru tehnologia MOS având parametrii cei mai apropiați de cei ai unei familii logice ideale. Denumirea acestei familii CMOS (complementary symmetry metal-oxide-semiconductor) definește caracteristica de bază a acestui tip de circuite logice și anume faptul că porțile logice sunt realizate cu tranzistoare MOS complementare, unul cu canal *n* și celălalt cu canal *p*. Cele două tranzistoare sunt fabricate pe aceeași plachetă de siliciu ceea ce le

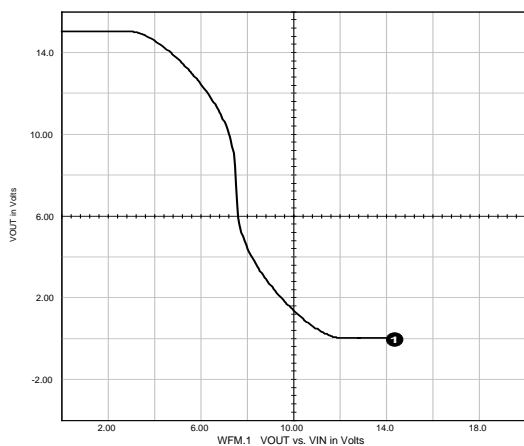


Fig. 1.39. Caracteristica de transfer a inversorului CMOS

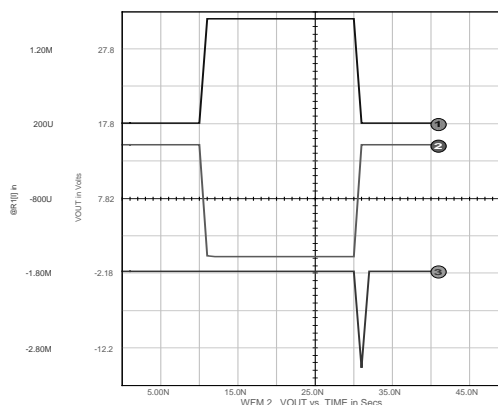


Fig. 1.40. Comportarea dinamică a inversorului CMOS. 1. Semnalul de intrare. 2. Semnalul de ieșire. 3. Curentul prin R1

conferă proprietăți simetrice cât mai apropiate.

Inversorul CMOS este prezentat în figura 1.38. O tensiune pozitivă aplicată pe intrare va deschide tranzistorul MOS cu canal n (M2) și va bloca tranzistorul MOS cu canal p (M1) iar o tensiune negativă va deschide tranzistorul M1 și-l va bloca pe M2. Întrucât grilele perechii de tranzistoare MOS sunt legate împreună, unul din cele două tranzistoare este întotdeauna blocat. Astfel, în regim static nu va exista o cale directă de curent între punctele de alimentare, curentul care circulă fiind egal cu curentul rezidual al unui tranzistor MOS blocat. Având în vedere faptul că ieșirea unei porți CMOS alimentează o intrare de aceeași natură (grila unor tranzistoare MOS conectate împreună cu rezistență de izolație foarte mare) putem spune că puterea statică consumată de dispozitivul CMOS este, practic, nulă.

În figura 1.38 rezistorul R1 nu face parte din configurația inversorului CMOS. Introducerea rezistorului a fost necesară pentru a măsura curentul absorbit de poarta inversoare CMOS de la sursa de alimentare VDD.

În figura 1.39 este prezentată caracteristica de transfer a porții inversoare CMOS obținută prin simulare cu ajutorul programului 1.8 (comanda .DC).

În figura 1.40 este prezentată comportarea dinamică a porții inversoare CMOS, obținută cu ajutorul comenzii .TRAN în programul 1.8. Pe caracteristicile dinamice a fost trasat și curentul prin rezistorul R1 pentru a arăta faptul că acest tip de poartă prezintă un consum foarte redus chiar și în regim dinamic.

PROGRAMUL 1.8.

```
.MODEL TMN NMOS (LEVEL=1 VTO=3 KP=6.25M GAMMA=.868
+ PHI=.75 LAMBDA=39M RD=47 RS=40 IS=25F PB=.8 MJ=.46
+ CBD=2.98P CBS=3.75P CGSO=2.4N CGDO=2N CGBO=20.6N)
.MODEL TMP PMOS (LEVEL=1 VTO=-3 KP=6.25M GAMMA=.868
+ PHI=.75 LAMBDA=39M RD=47 RS=40 IS=25F PB=.8 MJ=.46
+ CBD=2.98P CBS=3.75P CGSO=2.4N CGDO=2N CGBO=20.6N)
.DC VIN 0 14 0.05
.TRAN 1NS 40NS
.PRINT DC V(1)
.PRINT TRAN V(1) V(2) @R1$Iț
*ALIAS V(1)=VOUT
M2 1 2 0 5 TMN
VDD 6 0 15V
VIN 2 0 PULSE 0 14 10N 1P 1P 20N 40N
R1 3 6 1P
M1 1 2 3 4 TMP
.END
```

Principalele caracteristici ale circuitelor logice CMOS, cunoscute pe plan internațional sub denumirea de seria CMOS 4000B, sunt prezentate în tabelul 1.6. În funcție de tipul capsulei folosite pentru circuitul integrat sunt posibile diferite temperaturi de lucru, de stocare sau tensiuni de alimentare. Principalele tipuri de capsule utilizate sunt: capsule din plastic, capsule ceramice “frit-seal” și capsule ceramice multistrat. În tabelul 1.6. s-au folosit următoarele notații:

- E – pentru circuite în capsulă din plastic operând în gamă normală de temperaturi;
- F - pentru circuite în capsulă ceramică “frit-seal” operând în gamă normală de temperaturi;

- G - pentru circuite în capsulă ceramică multistrat operând în gamă extinsă de temperaturi;
- H - pentru circuite în capsulă ceramică “frit-seal” operând în gamă extinsă de temperaturi.

TABELUL 1.6.

<i>Valori limită absolută</i>										
Simbol	Parametri					MIN.	MAX.	Unități		
1	2					3	4	5		
V _{DD}	Tensiunea de alimentare:									
	- tipurile G și H					-0,5	20	V		
	- tipurile E și F					-0,5	18	V		
V _I	Tensiunea de intrare					-0,5	V _{DD} +0,5	V		
I _I	Curentul continuu la intrare (orice intrare)						+ 10	mA		
P _{tot}	Puterea totală disipată pe capsulă						200	mW		
P _d	Puterea disipată pe tranzistorul de ieșire, pe întreg domeniul de temperaturi de operare (T _A)						100	mW		
T _A	Gama temperaturilor de operare:									
	- tipurile G și H					-55	+125	°C		
	- tipurile E și F					-40	+85	°C		
T _{stg}	Gama temperaturilor de stocare					- 65	+150	°C		
<i>Valori recomandate pentru utilizare</i>										
Simbol	Parametri					MIN.	MAX.	Unități		
V _{DD}	Tensiunea de alimentare:									
	- tipurile G și H					3	18	V		
	- tipurile E și F					3	15	V		
V _I	Tensiunea la intrări					0	V _{DD}	V		
T _A	Gama temperaturilor de operare:									
	- tipurile G și H					-55	+125	°C		
	- tipurile E și F					-40	+85	°C		
<i>Caracteristici electrice statice</i>										
Simbol	Parametri		Condiții de test				MIN	TIP	MAX	Unități
			V _I [V]	V _O [V]	I _o [μA]	V _D D [V]				
1	2		3	4	5	6	7	8	9	10
I _L	Curent static de alimentare pe circuit (porți)	Tip G,H	0/5			5	0,25	0,25	7,5	μA
			0/10			10	0,5	0,5	15	
		0/15			15	1	1	30		
		0/20			20	5	5	150		
		Tip E,F	0/5			5	1	1	7,5	μA
	0/10				10	2	2	15		
	0/15				15	4	4	30		

TABELUL 1.6. (continuare)

1	2		3	4	5	6	7	8	9	10
I _L	Curent static de alimentare pe circuit (buffere și bistabile)	Tip G,H	0/5 0/10 0/15 0/20			5 10 15 20	1 2 4 20	1 2 4 20	30 60 120 600	μA
		Tip E,F	0/5 0/10 0/15			5 10 15	4 8 16	4 8 16	30 60 120	
I _L	Curent static de alimentare pe circuit (MSI)	Tip G,H	0/5 0/10 0/15 0/20			5 10 15 20	5 10 20 100	5 10 20 100	150 300 600 3000	μA
		Tip E,F	0/5 0/10 0/15			5 10 15	20 40 80	20 40 80	150 300 600	
V _{OH}	Tensiune de ieșire în starea SUS		0/5 0/10 0/15		<1 <1 <1	5 10 15	4,95 9,95 14,95	4,95 9,95 14,95	4,95 9,95 14,95	V
V _{OL}	Tensiune de ieșire în starea JOS		0/5 0/10 0/15		<1 <1 <1	5 10 15	0,05 0,05 0,05	0,05 0,05 0,05	0,05 0,05 0,05	V
V _{IH}	Tensiune de intrare în starea SUS			0,5/4,5 1/9 1,5/13,5	<1 <1 <1	5 10 15	3,5 7 11	3,5 7 11	3,5 7 11	V
V _{IL}	Tensiune de intrare în starea JOS			4,5/0,5 9/1 13,5/1,5	<1 <1 <1	5 10 15	1,5 3 4	1,5 3 4	1,5 3 4	V
I _{OH}	Curent de ieșire în starea SUS	Tip G,H	0/5 0/5 0/10 0/15	2,5 4,6 9,5 13,5		5 5 10 15	-2 -0,64 -1,6 -4,2	-1,6 -0,51 -1,3 -3,4	-1,15 -0,36 -0,9 -2,4	μA
		Tip E,F	0/5 0/5 0/10 0/15	2,5 4,6 9,5 13,5		5 5 10 15	-1,53 -0,52 -1,3 -3,6	-1,36 -0,44 -1,1 -3	-1,1 -0,36 -0,9 -2,4	
I _{OL}	Curent de ieșire în starea JOS	Tip G,H	0/5 0/10 0/15	0,4 0,5 1,5		5 10 15	0,64 1,6 4,2	0,51 1,3 3,4	0,36 0,9 2,4	mA
		Tip E,F	0/5 0/10 0/15	0,4 0,5 1,5		5 10 15	0,52 1,3 3,6	0,44 1,1 3	0,36 0,9 2,4	

TABELUL 1.6. (continuare)

1	2	3	4	5	6	7	8	9	10	
I _{IL} , I _{IH}	Curent rezidual de intrare	Tip G,H	0/18	Oricare intrare		18	+0,1	+0,1	+1	μA
		Tip E,F	0/15			15	+0,3	+0,3	+1	μA
I _{OH} , I _{IH}	Curent rezidual de ieșire în 3 stări	Tip G,H	0/18			18	+0,4	+0,4	+12	μA
		Tip E,F	0/15			15	+1	+1	+7,5	μA
C _I	Capacitate de intrare						7,5		pF	

Marginea de zgomot pentru nivel logic SUS (tensiune ridicată - “1” logic) și JOS (tensiune scăzută - “0” logic) este:

- 1V minim pentru V_{DD} = 5V;
- 2V minim pentru V_{DD} = 10V;
- 2,5V minim pentru V_{DD} = 15V.

Datorită proprietăților specifice ale tranzistoarelor MOS utilizarea porților logice construite cu astfel de tranzistoare presupune respectarea anumitor reguli specifice astfel încât deteriorarea circuitelor să fie evitată.

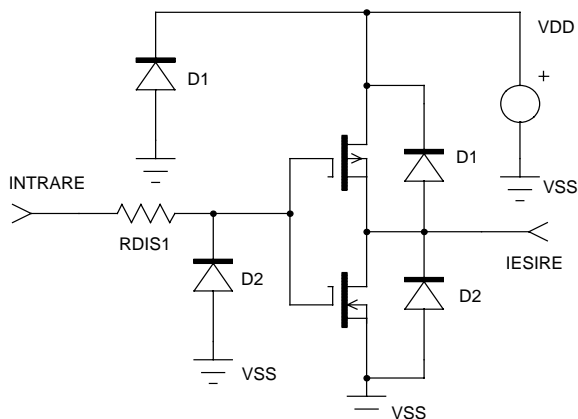


Fig. 1.41. Rețea de protecție utilizată la circuite CMOS

În figura 1.41. În această figură dioda D1 este o rețea distribuită diodă-rezistor p⁺ - substrat și are o tensiune de străpungere în domeniul 30...50V. Dioda D2 este o diodă de separare n⁺p (insulă p) și are o tensiune de străpungere de ordinul 30...40V. Se recomandă totuși ca manipularea circuitelor realizate cu tranzistoare MOS să se facă cu precauție în așa fel încât să se evite apariția unor tensiuni electrostatice sau a unor tensiuni tranzitorii periculoase. În acest scop circuitele se păstrează în ambalaje metalizate care să asigure suprafețe echipotențiale, manipularea se face utilizând coliere de conectare la pământ (potențial nul) a persoanelor care efectuează această activitate, uneltele utilizate și suprafețele de lucru fiind și ele conectate la potențial nul. De

asemenea este strict interzisă conectarea sau deconectarea circuitelor în montaje aflate sub tensiune.

Dacă la intrările circuitului se utilizează un generator de impulsuri de mică impedanță sau o sursă de alimentare separată, atunci sursa de alimentare trebuie conectată prima. Ordinea se inversează la decuplare, când sursa de alimentare principală trebuie decuplată ultima. Mai precis, trebuie respectată în permanență recomandarea de operare: $0 \leq V_I \leq V_{DD}$ sau, mai general: $V_{SS} \leq V_I \leq V_{DD}$ unde V_{SS} este cea mai mică tensiune din circuit.

Pentru evitarea tensiunilor tranzitorii ce pot apărea la conectarea sau deconectarea tensiunii de alimentare este recomandabil să nu fie înseriate rezistențe pe circuitul de alimentare.

Inversarea tensiunii de alimentare este strict interzisă fiind necesar să fie respectată întotdeauna relația: $V_{DD} - V_{SS} > -0,5V$.

Toate intrările porților logice trebuie conectate la un potențial bine stabilit. Lăsarea unei intrări în gol poate forța poarta să funcționeze în regiunea liniară și astfel prin dispozitiv vor trece curenți mari care pot să-l distrugă.

Pentru a evita conducția diodelor de pe ieșiri sarcinile ieșirilor nu vor fi cuplate la valori mai mari decât valorile tensiunilor de alimentare V_{DD} sau mai mici decât potențialul V_{SS} .

1.5. Realizarea funcțiilor logice cablate

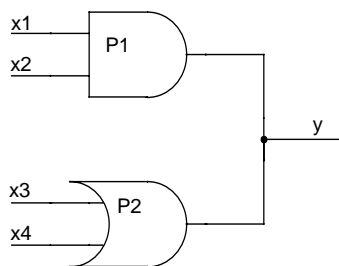


Fig. 1.42. Conectarea în paralel a porților logice

Realizarea funcțiilor logice cablate presupune conectarea în paralel a ieșirilor porților logice în scopul obținerii unor funcții logice noi sau în scopul realizării unor circuite logice digitale cu funcții complexe. Este evident faptul că la circuitele logice prezentate până acum, indiferent de tehnologia utilizată și de familia din care fac parte (cu excepția familiei ECL – paragraful 1.3.6 și a familiei I^2L – paragraful 1.3.7), conectarea în paralel a ieșirilor nu este posibilă pentru că poate duce la distrugerea porții logice.

Un exemplu de conectare a două porți logice în paralel este prezentat în figura 1.42. Dacă porțile logice P1 și P2 aparțin familiei TTL standard (paragraful 1.3.1), din figura 1.6 rezultă că la conectarea acestor porți în paralel, schema electrică rezultată va fi cea din figura 1.43 (în care s-au reprezentat numai circuitele de ieșire a porților logice). Dacă poarta P1 prezintă la ieșire starea logică “1” iar poarta logică P2 prezintă la ieșire starea logică “0” atunci conduc la saturație tranzistorul Q3.1 (poarta P1) și tranzistorul Q4.2 (poarta P2), curentul prin circuit fiind practic limitat numai de rezistența RC3.1. Același lucru se întâmplă și în situația simetrică pentru P1 în stare logică “0” și P2 în stare logică “1”. Curentul relativ mare absorbit în acest caz pune în pericol atât sursa de alimentare cât și tranzistoarele din etajul final al circuitului logic.

Același lucru se întâmplă și în cazul familiei CMOS (fig. 1.38) situație în care tranzistoarele MOS din etajul final se pot distruge prin conectarea în paralel a porților.

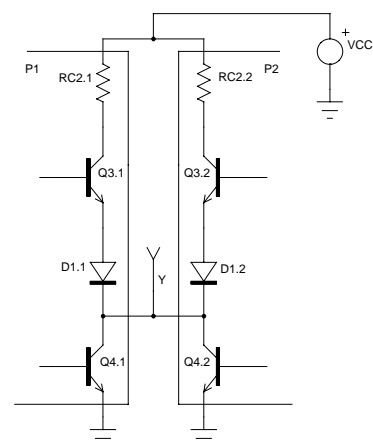


Fig. 1.43. Schema electrică echivalentă în cazul conectării în paralel a porților logice TTL

Din cele prezentate rezultă că pentru conectarea în paralel a porților logice este necesară modificarea etajului final al acestora. Această modificare este posibilă pe două căi: prin introducerea celei de-a treia stări a circuitului de ieșire (starea de înaltă impedanță) sau prin înlocuirea unuia din tranzistoarele circuitului de ieșire a porții logice cu un rezistor care să limiteze curentul absorbit în cazul situațiilor defavorabile. Cele două soluții sunt diferite din punct de vedere a rezultatelor obținute și din acest motiv în general ele nu se pot substitui una pe cealaltă.

Utilizarea celei de-a treia stări, starea de înaltă impedanță, se face atunci când se dorește conectarea succesivă la intrarea unui circuit digital a mai multor circuite digitale de intrare care folosesc pe rând linia de conexiune. Acest procedeu permite partajarea în timp a unei linii electrice între mai multe circuite digitale (multiplexare în timp) necesitând de regulă un circuit de arbitrarie a accesului la linia electrică. Asupra acestui aspect, foarte important în realizarea circuitelor digitale complexe, se va reveni mai târziu. În acest moment, principalul avantaj al utilizării celei de-a treia stări, este de reprezentată de faptul că pentru un circuit logic dat, se poate schimba funcția logică de ieșire a acestuia prin schimbarea dinamică (în timp), în funcție de necesități, a conexiunilor între porțile logice ce intră în alcătuirea acestuia.

Înlocuirea unuia dintre tranzistoarele din circuitul de ieșire a porții logice cu un rezistor permite conectarea în paralel a porților logice și funcționarea simultană a acestora. În acest caz, așa cum se va arăta mai departe, conexiunea în sine duce la apariția unor funcții logice suplimentate (funcția ȘI sau funcția SAU), funcții care nu aparțin porților logice conectate. Acest procedeu reprezintă o metodă economică de realizare a funcțiilor logice fără utilizarea unor circuite fizice suplimentare. Această metodă are anumite limitări care vor fi discutate în capitolul 1.5.2.

1.5.1. Poarta logică cu trei stări

Utilizarea logicii cu trei stări presupune ca circuitul digital să prezinte la ieșire, în afară de

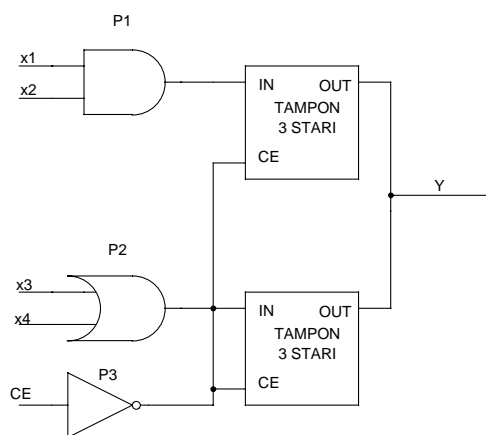


Fig. 1.44. Conectarea în paralel a porților logice prin intermediul circuitelor tampon

stările “1” logic și “0” logic, o stare specială, starea de înaltă impedanță, notată de obicei cu HI (High Impedance), în care ieșirea circuitului are o impedanță de valoare ridicată, circuitul de ieșire fiind practic deconectat din circuit. În starea de înaltă impedanță curentul debitat sau absorbit de ieșirea circuitului logic este foarte mic (de ordinul μA sau nA).

În cazul porților logice obișnuite modul de conectare este prezentat în figura 1.44. Din această figură se vede faptul că pentru conectarea în paralel s-au folosit niște circuite tampon care prezintă la ieșire trei stări. Starea de înaltă impedanță a circuitului tampon se obține atunci când pe intrarea **CE** se aplică “1” logic. Din exemplul prezentat în

figura 1.44 se vede că funcția de ieșire va fi $Y = x1 * x2$ pentru $CE=1$ sau $Y = x3 + x4$ pentru $CE=0$. Numeroase porți logice aparținând diferitelor familii tehnologice au incluse circuite suplimentare în așa fel încât ieșirea lor să prezinte trei stări. La conectarea acestor circuite în paralel nu mai apare necesitatea utilizării circuitelor tampon.

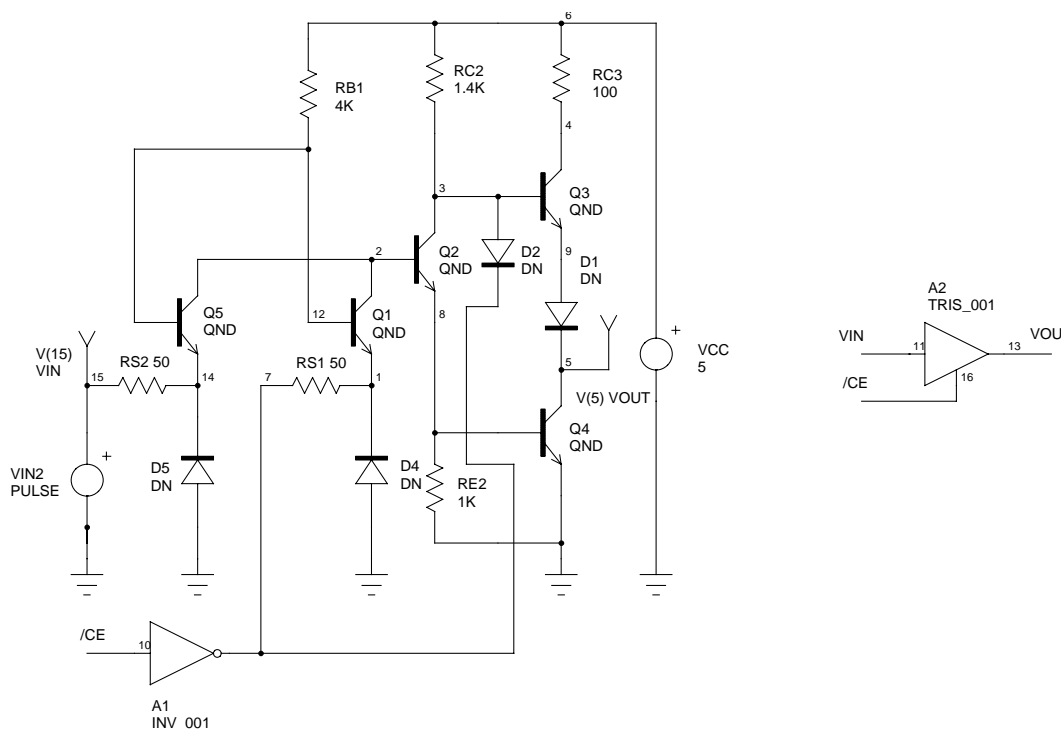


Fig. 1.45. Inversorul TTL cu trei stări

În figura 1.45 este prezentat inversorul TTL cu trei stări (schema electrică echivalentă și simbolul acestuia). Semnalul de validare al porții este semnalul $/CE$ aplicat pe intrarea inversorului A1 (realizat tot în tehnologie TTL, similar cu cel prezentat în figura 1.6). Dacă semnalul $/CE$ are valoarea logică “0” la ieșirea inversorului A1 se obține valoarea logică “1”, echivalentă în această situație cu o tensiune apropiată de valoarea tensiunii de alimentare VCC (aproximativ 5V). În această situație tranzistorul Q1 și dioda D2 sunt blocate iar inversorul funcționează identic cu cel descris în paragraful 1.3.1 (figura 1.6), la aplicarea semnalelor de intrare pe intrarea VIN. Dacă semnalul $/CE$ are valoarea logică “1” atunci la ieșirea inversorului A1 se obține starea logică “0” care în această situație este echivalentă cu o tensiune de aproximativ zero volți. În acest caz tranzistorul Q1 este saturat ceea ce duce la blocarea tranzistoarelor Q2 și Q4. Tranzistorul Q3 este de asemenea blocat datorită tensiunii scăzute pe baza acestuia (sub 0,6V) din cauza diodei D2 care intră în conducție. În această situație, indiferent de semnalul aplicat pe intrarea VIN, cele două tranzistoare de ieșire Q3 și Q4 sunt blocate iar între ieșirea porții logice și masă apare o rezistență mare (înalță impedanță). Curentul care circulă în acest caz prin circuitul de ieșire este reprezentat de curentul rezidual al tranzistoarelor de ieșire (Q3 și Q4).

Din descrierea făcută rezultă că semnalul de validare $/CE$ (Chip Enable – validare circuit) permite funcționarea normală a inversorului atunci când are valoarea logică “0” și trece poarta în starea de înaltă impedanță atunci când are valoarea logică “1”. Din acest motiv se spune că semnalul CE este activ în zero și se folosește notația $/CE$ (se pune o bară în fața simbolului sau deasupra acestuia) pentru a simboliza acest lucru. În tabelul 1.7 se prezintă sintetic funcționarea inversorului TTL cu trei stări (X simbolizează “orice stare” – adică intrarea poate fi “1” logic sau “0” logic fără ca acest lucru să

TABELUL 1.7.

$/CE$	VIN	VOUT
0	0	1
0	1	0
1	X	HI

aibă importanță pentru starea ieșirii iar HI semnifică starea de înaltă impedanță).

Realizarea porților logice cu trei stări în tehnologie CMOS este mult mai avantajoasă datorită proprietăților deosebite ale tranzistoarelor MOS în stare blocată. În acest caz curenții care circulă prin ieșirea porții în starea de înaltă impedanță sunt practic egali cu zero (de ordinul

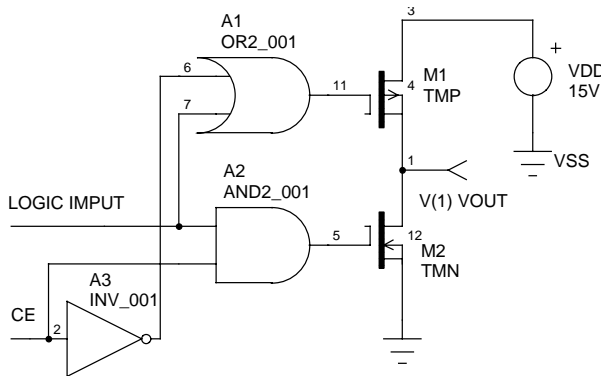


Fig. 1.46. Circuitul de ieșire al unei porți logice CMOS cu trei stări

format din porțile logice A1, A2 și A3.

Semnalul de validare a ieșirii este semnalul CE. Dacă ieșirea este validată (nu este în starea de înaltă impedanță) atunci $VOUT = \neg \text{LOGIC INPUT}$, adică ieșirea va copia funcția logică de intrare negată, generată de poarta logică a cărei schemă nu a fost

desenată aici. Validarea ieșirii se face pentru $CE=1$ (semnal activ în unu logic) situație în care pe una din intrările circuitului OR (A1) se aplică valoarea “0” logic, semnal obținut din CE prin inversare cu ajutorul circuitului NOT (A3) iar pe una din intrările circuitului AND (A2) se aplică valoarea “1” logic. În această situație, la ieșirea circuitelor A1 și A2 se obține semnalul LOGIC IMPUT (vezi paragraful 1.3, funcțiile 1 și 2), circuitul comportându-se ca un inversor CMOS obișnuit (paragraful 1.4.3). Dacă semnalul de validare are valoarea “0” logic ($CE=0$) atunci

ieșirea circuitului A1 are permanent valoarea “1” logic din cauză că pe una din intrări se aplică $\neg CE=1$ iar ieșirea circuitului A2 are permanent valoarea “0” logic din cauză că pe una din intrări

nA sau pA) din cauză că rezistența canalului unui tranzistor MOS în stare blocată este foarte mare, valoarea tipică a curentului prin canal, în acest caz, fiind de 10 pA pentru o tensiune de alimentare ($VDD-VSS$) de 10V.

Schema tipică a unui circuit de ieșire cu trei stări în tehnologie MOS este prezentată în figura 1.46. Acesta este format dintr-un inversor CMOS (vezi paragraful 1.4.3, fig. 1.38) și dintr-un circuit de comandă a ieșirii în scopul trecerii acesteia în înaltă impedanță,

TABELUL 1.8.

CE	LOGIC INPUT	M1	M2	VOUT
1	0	conduce	blocat	/LOGIC INPUT
1	1	blocat	conduce	/LOGIC INPUT
0	X	blocat	blocat	HI

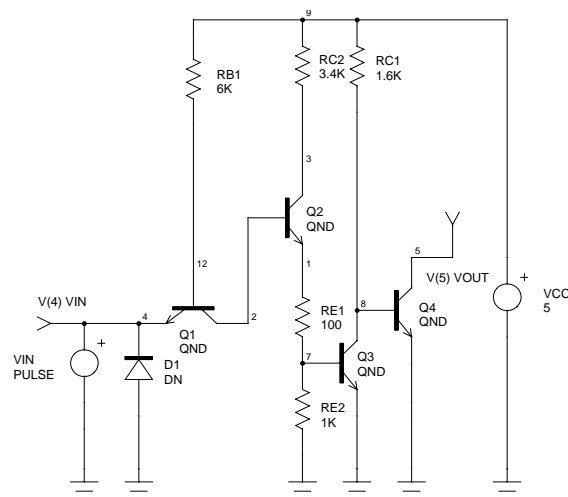


Fig. 1.47. Inversor TTL cu colectorul în gol

se aplică CE, indiferent de valoarea semnalului LOGIC INPUT. Rezultă că tranzistorul MOS cu canal p (M1) primește pe grilă o tensiune aproximativ egală cu VDD iar tranzistorul MOS cu canal n (M2) o tensiune aproximativ egală cu VSS ceea ce duce la blocarea tranzistoarelor și deci trecerea în înaltă impedanță a ieșirii. Modul de funcționare a porții logice CMOS cu trei stări este sintetizat în tabelul 1.8.

Trebuie remarcat aici că porțile logice care au inclus circuitul tampon pentru realizarea stării a treia de înaltă impedanță au de obicei timpi de răspuns mai mari decât porțile logice obișnuite. De asemenea, circuitul tampon poate oferi facilități suplimentare cum ar fi creșterea sortanței de ieșire (paragraful 1.2.2) prin amplificarea semnalului.

1.5.2. Porți logice destinate funcțiilor logice cablate

Așa cum s-a arătat, pentru conectarea în paralel a porților logice - în afară de cazul în care acestea prezintă și starea de înaltă impedanță - este necesar ca circuitul de ieșire să fie modificat. Porțile logice în tehnologie ECL (paragraful 1.3.6) și I²L (paragraful 1.3.7) nu necesită de obicei acest lucru din cauză că circuitul de ieșire nu conține decât un singur tranzistor. Din studiul acestor familii logice a reieșit deja principiul realizării funcției logice cablate. Astfel, plecând de la poarta logică ECL care poate fi utilizată ca inversor, prezentată în figura 1.20, s-a ajuns la poarta logică SAU (figura 1.23) prin conectarea în paralel a unor inversoare.

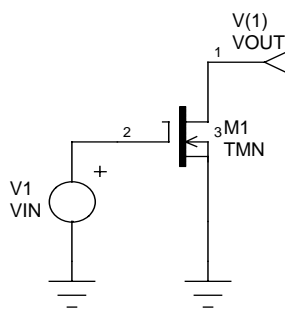


Fig. 1.48. Inversor MOS cu drena în gol

Același lucru se vede în cazul porților din familia I²L unde plecând de la inversor (figura 1.25) se poate ajunge la poarta logică SAU prin conectarea în paralel a inversoarelor (figura

1.30).

În principiu, porțile logice destinate conectării în paralel au schema similară cu cea a porților logice obișnuite (discutate până acum) la care în circuitul de ieșire este eliminat tranzistorul conectat la sursa de alimentare. Circuitele de ieșire obținute sunt prezentate în figura

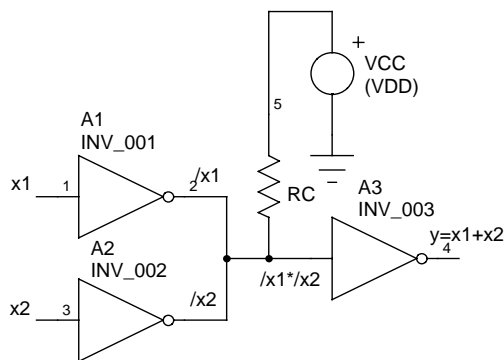


Fig. 1.50. Realizarea funcției logice cablate

1.47 pentru porțile logice în tehnologie bipolară (inversorul cu colectorul în gol) și 1.48 pentru porțile logice în tehnologie MOS (inversorul cu drena în gol). Trebuie remarcată simplitatea extremă a inversorului MOS care este reprezentat practic de un tranzistor MOS cu canal n în montaj sursă comună. Așa cum se observă din aceste figuri, colectorul respectiv drena tranzistorului de ieșire este în gol (neconectate) și din acest motiv aceste circuite se numesc “cu colectorul în gol” (OC - Open Collector) respectiv “cu drena în gol” (OD - Open Drain).

Pentru conectarea acestor circuite este necesară adăugarea unei rezistențe suplimentare între colector, respectiv drenă și tensiunea de alimentare. Un prim exemplu este prezentat în figura 1.50. Funcția realizată de acest circuit este:

$$y = \overline{\overline{x1 * x2}} = x1 + x2 \quad (1.12)$$

Prin conectarea în paralel a inversoarelor A1 și A2 se realizează funcția logică ȘI între

ieșirile acestora. Acest lucru se întâmplă din cauză că dacă ieșirea unuia dintre inversoare este în starea “0” logic atunci tranzistorul de ieșire a acestei porți va fi saturat și va scurtcircuita tranzistorul de ieșire a celeilalte porți. Astfel, dacă ieșirea unuia dintre inversoare este în starea logică “0”, prin conectarea în paralel, la ieșire se obține starea logică “0” indiferent de starea celorlalte ieșiri conectate în paralel. Pentru obținerea valorii logice “1” la ieșire, în această situație, este necesar ca toate ieșirile conectate în paralel să fie în starea “1”. Această comportare a conectării în paralel a porților logice modelează funcția logică ȘI (AND). Circuitul din figura 1.50 realizează funcția SAU (OR) între variabilele de intrare demonstrând că în afara funcției de bază ȘI care se obține prin conectarea în paralel se pot obține și alte funcții logice elementare cum ar fi ȘI-NU, SAU-NU, etc.

Calculul rezistenței suplimentare RC care se conectează pe ieșirile porților logice A1 și A2 ca în figura 1.50 se face pe baza următoarelor considerente:

- tensiunea de ieșire în starea logică “1” a porților conectate în paralel să îndeplinească condiția $V_{OH} \geq V_{OH\ min}$ (paragraful 1.2.1);
- tensiunea de ieșire în starea logică “0” a porților conectate în paralel să îndeplinească condiția $V_{OL\ max} \geq V_{OL}$ (paragraful 1.2.1).

Pe baza acestor condiții se pot scrie relațiile:

$$RC_{\max} = \frac{VCC_{\min} - V_{OH\ min}}{nI_{OH\ max} + mI_{IH\ max}} \quad (1.13)$$

$$RC_{\min} = \frac{VCC_{\max} - V_{OL\ max}}{nI_{OL\ max} + mI_{IL\ max}}$$

unde VCC (VDD) este tensiunea de alimentare, n – numărul de porți conectate în paralel și m – sortanța circuitelor comandate (paragraful 1.2.2). Restul parametrilor implicați în relațiile (1.13) reprezintă date de catalog ale familiei logice respective.

Circuitele logice cu colectorul în gol prezintă următoarele dezavantaje:

- impedanță de ieșire mare în starea logică “1” (din cauza rezistenței RC montate în colector față de impedanța repetorului pe emitor de la structura în contratimp);
- fronturi și timpi de propagare mari, mai ales la comutarea din “0” logic în starea “1” logic;
- imunitate scăzută la zgomot;
- necesitatea montării unei rezistențe suplimentare (RC) calculată în funcție de condițiile de lucru.

1.6. Conectarea circuitelor logice din familii diferite

Problema conectării circuitelor logice din familii diferite apare din cauză că o serie din parametrii electrice cum ar fi: nivelele de tensiune admise pentru stările logice, sortanța circuitelor, capacitatea de intrare, etc. diferă de la o familie la alta. Dacă problema interconectării circuitelor logice din aceeași familie ridică probleme minime, la interconectarea circuitelor logice din familii diferite sunt necesare de regulă circuite de interfață care să realizeze adaptarea semnalelor electrice de la un circuit la altul.

La realizarea circuitelor logice complexe este practic imposibil să se evite interconectarea circuitelor logice din familii diferite din cauză că de regulă o familie logică nu oferă toate facilitățile necesare pe de o parte, iar pe de altă parte se pot realiza optimizări importante prin

reducerea gabariturii, reducerea consumului energetic, reducerea cantității de căldură disipate, creșterea vitezei de lucru, etc.

Prin consultarea tabelor cu parametrii electrici ai familiilor logice prezentate până acum se poate forma o idee asupra posibilității interconectării circuitelor logice din familii diferite. De exemplu, conectarea circuitelor logice din familiile TTL standard, TTL rapidă, HTTL, TTL Schottky și unele circuite din familia CMOS (alimentate la $V_{DD}=5V$ și prevăzute cu circuite tampon pe ieșire) se poate face direct cu condiția respectării sortanței. În continuare se vor prezenta succint câteva din metodele de interconectare a circuitelor logice din familii diferite.

Schema generală de interfațare a două circuite logice din familii diferite este prezentată în figura 1.51.

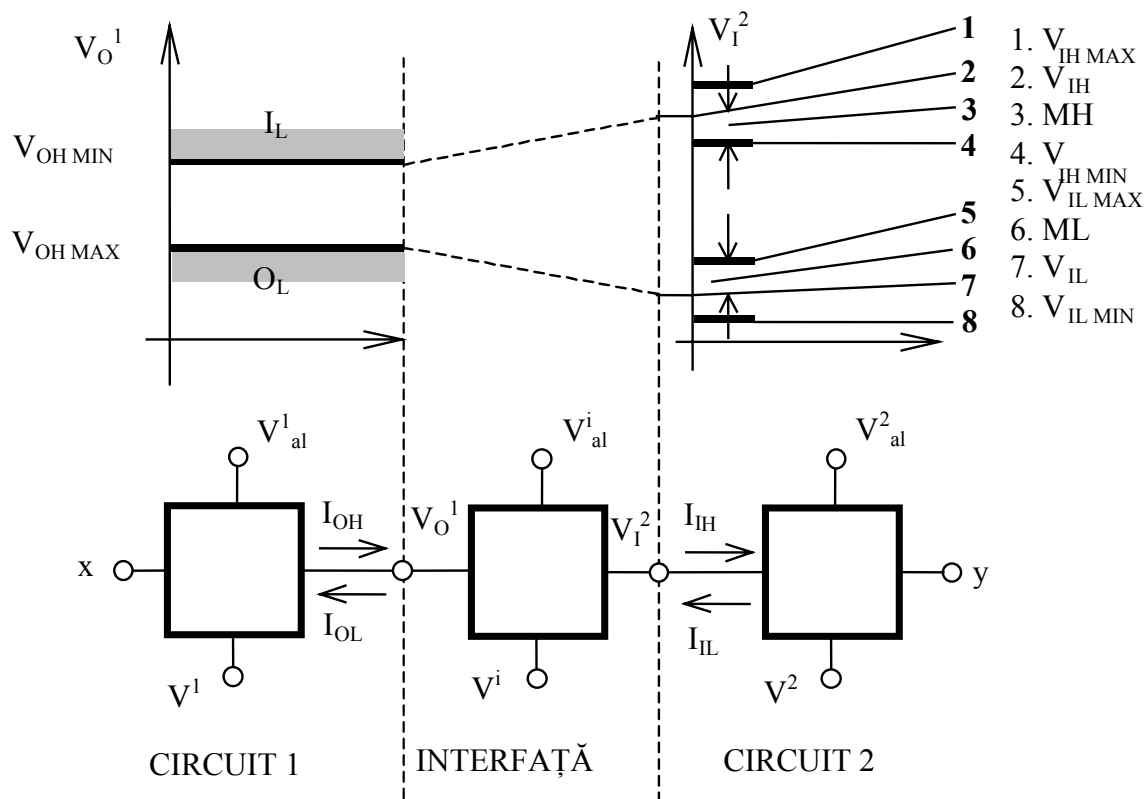


Fig. 1.51. Tensiunile și curenții la interfațarea circuitelor integrate

După cum rezultă din tablele cu caracteristici electrice prezentate până acum, tensiunile de alimentare pot diferi de la o familie tehnologică la alta. Din acest motiv, în figura 1.51 circuitul logic 1, interfața și circuitul logic 2 sunt alimentate de la surse diferite ($V_{al}^1-V^1$, $V_{al}^i-V^i$ și $V_{al}^2-V^2$). Circuitul logic 1 asigură nivelele logice (tensiunile $V_{OH MIN}$, $V_{OL MAX}$, și curenții asociați I_{OH} , I_{OL}) conform standardului propriu. Circuitul logic 2 așteaptă la intrare valorile nivelelor logice corespunzătoare standardului acestuia și care sunt diferite de cele ale circuitului 1 (tensiunile $V_{IH MIN}$, $V_{OL MAX}$, și curenții asociați I_{IH} , I_{IL}). Circuitul de interfață realizează translatarea tensiunilor și a curenților de la intrare care se găsesc într-o anumită plajă de valori în tensiuni și curenți la ieșire în altă plajă de valori. De obicei circuitul de interfață este un amplificator (atenuator) care poate fi realizat cu componente discrete sau reprezintă un circuit integrat specializat.

Interfața CMOS-TTL

Pentru realizarea interfeței CMOS-TTL se vor lua în considerare caracteristicile electrice ale celor două familii de circuite integrate (tabelul 1.2 și tabelul 1.6).

Pentru început vom considera comanda circuitelor CMOS de către circuitele TTL. În această situație, chiar dacă circuitele CMOS sunt alimentate tot la o tensiune de 5V ca și

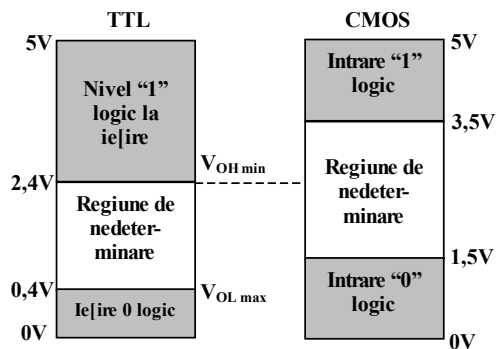


Fig. 1.52. Nivelele logice TTL și CMOS

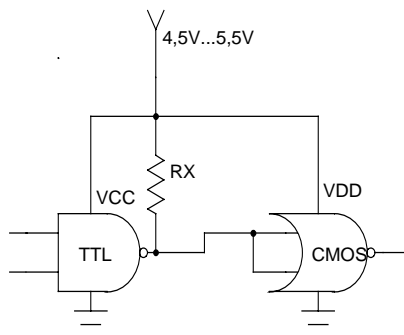


Fig. 1.53. Interfață TTL-CMOS

circuitele TTL, nivelul minim de ieșire în starea "1" logic pentru circuitul TTL (2,4V) este mai mic decât nivelul minim de intrare în starea "1" pentru circuitul CMOS (3,5V) așa cum se prezintă în figura 1.52. Soluția de interfațare în acest caz este conectarea unei rezistențe R_x între conexiunea TTL-CMOS și tensiunea pozitivă a sursei de alimentare ca în figura 1.53. Prin utilizarea acestei rezistențe se crește nivelul de ieșire în starea logică "1" a circuitului TTL. Valoarea minimă a rezistenței R_x este fixată de curentul maxim absorbit (16 mA pentru seria TTL standard și 0,36 mA pentru seria LPSTTL), iar valoarea maximă este stabilită de curentul tranzistorului de ieșire în starea blocat.

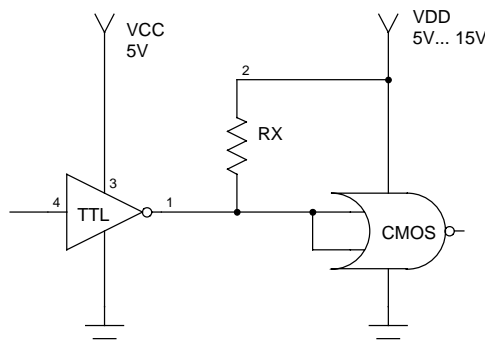


Fig. 1.54. Interfață TTL-CMOS pentru tensiuni de alimentare $V_{DD} > 5V$

Valorile cele mai indicate pentru rezistența R_x se situează în gama 1,5 k Ω ... 4,7 k Ω pentru toate familiile TTL. În Tabelul 1.9 sunt prezentate valorile necesare pentru rezistența R_x în funcție de familia TTL conectată cu circuitul CMOS.

Deoarece impedanța unei intrări CMOS este de natură capacitivă, mai multe intrări CMOS pot fi comandate dintr-o singură ieșire TTL, numărul acestora depinzând de frecvența de lucru.

TABELUL 1.9.

R_x	Seria TTL				
	TTL	HTTL	LPTTL	LPSTTL	STTL
$R_{x\min}$ (Ω)	390	270	1,5k	820	270
$R_{x\max}$ (k Ω)	4,7	4,7	27	12	4,7

În cazul în care circuitul CMOS este alimentat la o tensiune mai mare decât VCC (5V) atunci circuitul TTL trebuie să fie de tip cu colectorul în gol (open collector). Modul de conectare în acest caz este prezentat în figura 1.54. Avantajul utilizării unor tensiuni de alimentare mai mari constă în îmbunătățirea performanțelor de viteză și imunitate la zgomot.

Valoarea rezistenței de sarcină R_x depinde de valoarea tensiunii de alimentare VDD (la VDD = 10V se recomandă utilizarea unei valori de 39k Ω pentru R_x).

Pentru determinarea interfeței CMOS-TTL trebuie ținut cont de curentul pe care poate să-l absoarbă circuitul de ieșire al porții CMOS în starea zero logic, la o tensiune maximă de 0,4V.

În general dacă un circuit CMOS comandă o poartă TTL standard atunci acesta trebuie să conțină un circuit tampon pe ieșire care să-i mărească posibilitățile în curent. Trebuie însă menționat aici că în acest caz o poartă CMOS poate comanda între 2 și 4 porți TTL standard.

Circuitele CMOS obișnuite (fără circuit tampon pe ieșire) pot comanda direct circuitele LPSTTL care necesită un curent mai mic pe intrare în starea zero logic (0,36mA la $V_{OUT}=0,4V$ și $V_{DD}=5V$).

Dacă circuitul CMOS este alimentat la tensiuni VDD mai mari decât tensiunea de alimentare a circuitului TTL (5V), atunci între circuitul CMOS și circuitul TTL se conectează un circuit, numit translator de nivel, care deplasează tensiunile de la ieșirea circuitului CMOS la nivelele de tensiune necesare la intrarea circuitului TTL. În tabelul 1.10 sunt date numărul de porți TTL care pot fi comandate cu o ieșire CMOS prevăzută cu circuite tampon.

TABELUL 1.10.

Fan-out buffer CMOS	Seria TTL				
	TTL	H TTL	LPTTL	LPSTTL	STTL
Minim	2	1	14	7	1
Tipic	4	2	28	14	2

Interfața CMOS-HLL

Circuitele CMOS pot fi interfațate direct cu circuitele HLL dacă sunt alimentate la tensiunea de 12V. Cele mai multe circuite CMOS pot comanda direct porți HLL. De asemenea, nivelele de tensiune de 0,8V și 10V la ieșirea unui circuit HLL permit comanda directă a unui circuit CMOS. Prin conectarea acestor circuite se păstrează avantajul imunității foarte bune la zgomot.

Interfața CMOS-PMOS

Circuitele MOS cu canal *p* operează în logică negativă: nivelul logic “1” este în general -6V pentru circuitele realizate în tehnologie cu prag coborât și de -15V pentru circuitele realizate în tehnologie cu prag înalt.

Circuitele PMOS se pot interfața direct cu circuitele CMOS dacă, pentru acestea din urmă, se conectează VDD la potențialul 0V și VSS fie la -6V, fie la -15V, după cum este cazul.

Interfața CMOS-NMOS

Nivelele logice ale circuitelor cu tranzistoare MOS cu canal *n* sunt pozitive și sunt situate în domeniul de tensiuni accesibile circuitelor CMOS. Din acest motiv este posibilă interfațarea directă a circuitelor CMOS (alimentate la VDD = 5V) cu circuitele NMOS.

1.7. Perturbațiile în sistemele digitale

Perturbațiile, care pot fi de natură electrică, magnetică sau electromagnetică, pot afecta în

mod negativ funcționarea sistemelor digitale. În mediile puternic perturbate se obțin rezultate bune dacă se utilizează circuite integrate cu margine de zgomot mare cum sunt circuitele HLL sau circuitele CMOS alimentate la tensiuni mari. Chiar și în această situație, dacă între circuite există conexiuni lungi în acestea se pot induce tensiuni care afectează funcționarea corectă a sistemului.

Pentru evitarea pătrunderii perturbațiilor în sistem se folosesc ecrane din materiale conductoare care sunt cuplate la potențialul de referință al sistemului. Trebuie avut grijă ca legătura ecranului la potențialul de referință să aibă impedanță cât mai mică, în caz contrar ecranul devenind el însuși o sursă de perturbații.

Principalele căi de pătrundere a perturbațiilor în sistem sunt prin inducție sau prin sursa de alimentare. Pentru ecranarea împotriva perturbațiilor electrice se folosește tabla de aluminiu sau un alt material cu proprietăți corespunzătoare iar pentru ecranare împotriva câmpurilor magnetice se folosește tabla din material feros. Pentru eliminarea perturbațiilor electromagnetice care pot pătrunde în sistem prin sursa de alimentare se folosesc filtre de rețea.

În cazul echipamentelor complexe, în sistem există atât circuitele de comandă, alimentate la tensiuni relativ mici prin care circulă curenți de valori reduse cât și circuitele de forță alimentate la tensiuni mari și prin care circulă curenți cu un nivel ridicat. Circuitele de forță constituie și ele surse de perturbații pentru circuitele de comandă în special în cazul când acestea nu sunt ecranate corespunzător.

1.7.1. Tipuri de cuplaje ce apar în circuitele electrice

1.7.1.1. Cuplajul capacitiv

În figura 1.55 este prezentat modul în care se realizează un cuplaj capacitiv între o linie de semnal S care leagă un emițător de un receptor și o linie de curent mare F . Între cele două linii apare o capacitate distribuită care pentru calcule va fi echivalată cu o capacitate concentrată echivalentă.

Trebuie menționat aici faptul că această capacitate distribuită este o capacitate parazită care are un efect negativ asupra funcționării echipamentului electronic. Din acest motiv este dorit ca valoarea acestor capacități ce apar între liniile circuitului să fie cât mai redusă.

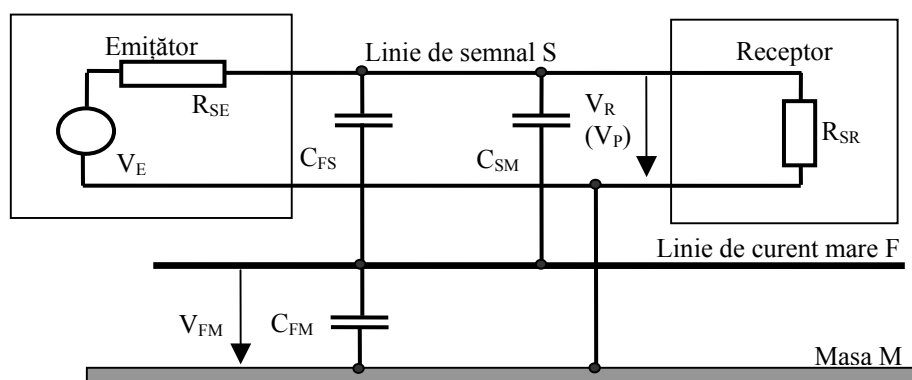


Fig. 1.55. Cuplajul capacitiv

Dacă există o variație de tensiune între linia de curent mare și masă, atunci la intrarea receptorului se suprapune peste semnalul util perturbația produsă de această variație:

$$V_R = k_u V_E + k_p V_{FM} \quad (1.14)$$

unde perturbația este dată de:

$$V_p = k_p V_{FM} \quad (1.15)$$

Pentru determinarea tensiunii perturbatoare vom folosi circuitul echivalent din figura 1.56.

Rezistența echivalentă a circuitului este:

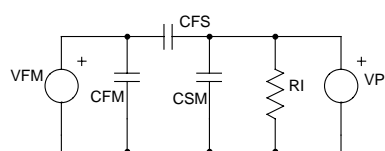


Fig. 1.56. Schema echivalentă pentru determinarea perturbației

$R_{SE} \ll R_{SR}$
și deci relația (1.16) mai poate fi scrisă:

$$R_I = \frac{R_{SE} R_{SR}}{R_{SE} + R_{SR}} \quad (1.16)$$

De obicei, rezistența de intrare a receptorului R_{SR} este mult mai mare decât rezistența de ieșire a

$$R_I \approx R_{SE} \quad (1.17)$$

Putem calcula acum raportul între tensiunea perturbatoare și tensiunea liniei de curent mare:

$$k_p = \frac{Z}{Z + \frac{1}{j\omega C_{FS}}} \quad (1.18)$$

unde impedanța Z este dată de relația:

$$Z = \frac{R_I}{1 + j\omega C_{SM} R_I} = \frac{R_{SE}}{1 + j\omega C_{SM} R_{SE}} \quad (1.19)$$

unde s-a ținut cont de relația (1.17).

Rezultă:

$$V_p = \frac{1}{1 + \frac{1 + j\omega C_{SM} R_{SE}}{j\omega C_{FS} R_{SE}}} V_F = \frac{j\omega C_{FS} R_{SE}}{1 + j\omega R_{SE} (C_{FS} + C_{SM})} V_F \quad (1.20)$$

Pentru variații de tensiune foarte rapide (impulsuri periodice sau conectări și deconectări de sarcini), așa cum se întâmplă de obicei în cazul circuitelor digitale, valoarea unu la numitor poate fi neglijată și se obține:

$$V_p = \frac{C_{FS}}{C_{FS} + C_{SM}} V_F \quad (1.21)$$

cea ce arată că în aceste situații tensiunea perturbatoare depinde de valoarea tensiunii liniei de

curent mare măsurată față de punctul de referință (masă) și de raportul capacităților de cuplaj.

1.7.1.2. Cuplajul inductiv

În afară de cuplajul care apare datorită capacităților parazite, între liniile circuitului mai apare un cuplaj datorat câmpului magnetic. Linia de curent mare produce un câmp magnetic în care se află și liniile de semnal ale circuitului electronic (figura 1.57).

Linia de semnal și linia de retur corespunzătoare, închide fluxul Φ produs de curentul I prin linia de curent mare F . Ținând cont de inductanța mutuală L_{fs} între această buclă și linia de curent mare se obține tensiunea indusă de variația de flux:

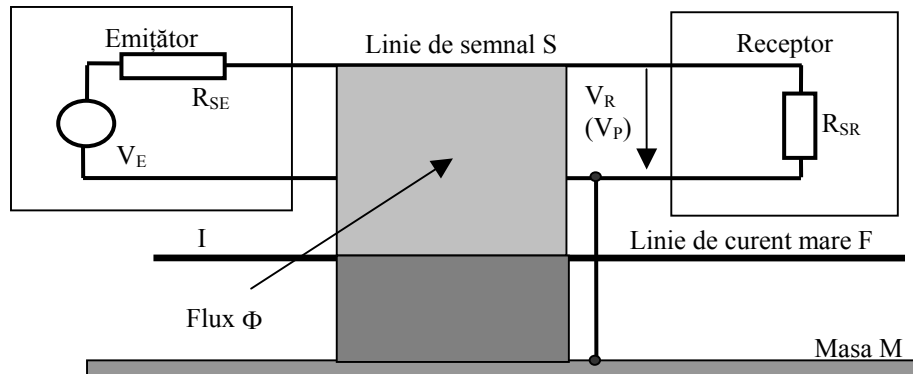


Fig. 1.57. Cuplajul inductiv

$$V_I = \frac{d\Phi}{dt} = L_{fs} \frac{dI}{dt} \quad (1.22)$$

Aplicarea teoremei superpoziției permite obținerea tensiunii perturbatoare de la intrarea receptorului:

$$V_P = \frac{R_{SR}}{R_{SR} + R_{SE}} V_I \quad (1.23)$$

Ținând cont de faptul că $R_{SE} \ll R_{SR}$, rezultă tensiunea perturbatoare: $V_P = V_I$.

1.7.1.3. Cuplajul galvanic

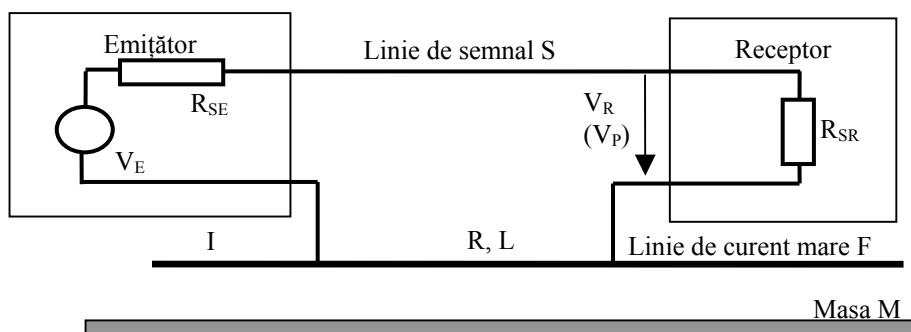


Fig. 1.58. Cuplajul galvanic

În figura 1.58 este ilustrat modul în care apare cuplajul galvanic.

Dacă linia de curent mare este folosită și ca linie de întoarcere pentru semnal, atunci căderea de tensiune produsă de curentul I pe porțiunea comună va determina apariția unei tensiuni parazite în serie cu tensiunea utilă de la emițător.

Căderea de tensiune pe porțiunea comună a liniei de semnal și a liniei de curent mare este dată de relația:

$$V_1 = RI + L \frac{dI}{dt} \quad (2.24)$$

unde R este rezistența iar L inductanța porțiunii comune a liniei F . Dacă valoarea curentului I este ridicată, tensiunea V_1 poate ajunge la valori de ordinul volților.

1.7.1.4. Cuplajul prin masă

Un caz particular de cuplaj galvanic apare atunci când masa servește drept linie de retur pentru linia de semnal S așa cum este arătat în figura 2.59.

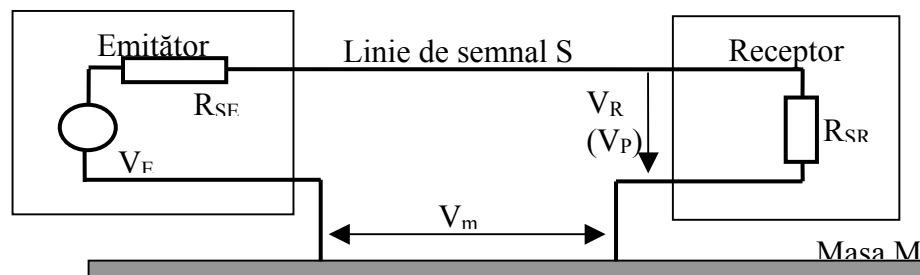


Fig. 2.59. Cuplajul prin masă

Căderea de tensiune pe circuitul de masă, datorată impedanței acestei porțiuni produce apariția unei tensiuni perturbatoare cu valoarea V_m .

Același efect apare și în cazul în care se utilizează o linie de întoarcere separată dar emițătorul și receptorul sunt puși la masă în puncte diferite.

1.7.2. Efecte parazite datorate caracteristicilor electrice ale circuitelor și semnalelor logice

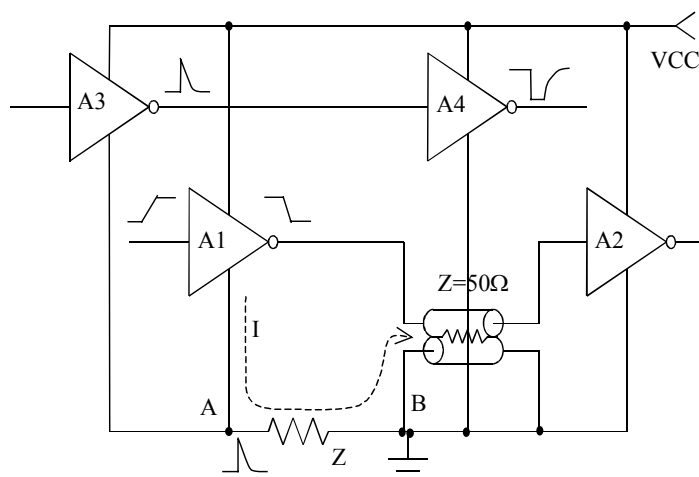


Fig. 2.60 Influența circuitelor de alimentare

1.7.2.1. Efecte introduse de circuitele de alimentare

Efectele introduse de circuitele de alimentare se referă la cuplajul prin circuitul de masă ce se poate realiza între diferitele porți logice în cazul conectării incorecte a punctelor de masă. Pentru exemplificare vom considera figura 2.60, în care, între porțile logice A1 și A2 există o linie de conexiune lungă, asimilată cu o

linie de transmisie. Vom considera poarta logică la ieșire echivalentă cu un generator de tensiune V_E cu rezistență internă R_{SE} iar la intrare echivalentă cu un rezistor R_{SE} , așa cum s-a discutat în paragraful 1.7.1.

Presupunem că poarta emițătoare A1 comută din starea logică "1" în starea logică "0" ceea ce determină apariția unui curent I în circuitul de alimentare (linia punctată din figura 2.60). Din cauză că modul de conectare la masă nu este corect, pe impedanța Z a traseului de masă apare un salt de tensiune determinat de curentul de alimentare I care poate induce o comutare falsă a porții logice A3. Impulsul la ieșirea porții A3 este apoi amplificat și format de poarta logică A4 devenind un semnal logic parazit ce se propagă prin circuitele logice. Evitarea acestei situații se face evident prin conectarea punctelor A și B împreună. De asemenea impulsul parazit care apare în punctul A (figura 2.60) se propagă prin linia de transmisie ducând la apariția reflexiilor în linie și la alterarea nivelelor logice. Reducerea efectelor curenților de-a lungul liniilor se face prin cuplarea la masă a firelor de legătură și a cablurilor coaxiale cât mai aproape de poarta de emisie și cea de recepție și prin decuplarea tensiunii de alimentare (VCC) a porții de emisie și a porții de recepție printr-un condensator ceramic de $0,1\mu F$, fixat cât mai aproape de poarta respectivă (figura 2.61).

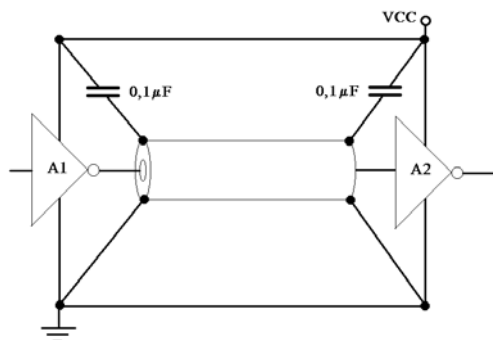


Fig.2.61. Reducerea reflexiilor pe liniile de transmisie

O altă sursă de perturbații este reprezentată de apariția unor impulsuri parazite de tensiune din cauza variației curentului de alimentare I_{CC} de la sursă, datorată diferențelor între valorile I_{CCL} și I_{CCH} a curenților de încărcare a condensatorului de sarcină și a stării de conducție simultană ale celor două tranzistoare de ieșire de pe etajul final al porții. Din cauză că variațiile de curent continuu ce apar datorită trecerii dintr-o stare logică în alta pot genera la rândul lor tranziții, ar trebui pentru o mai bună decuplare să dispunem de două constante de timp. Întrucât nu există condensatoare eficiente

din punct de vedere al costului și al dimensiunilor, care să aibă o capacitate de valoare mare și deci o constantă de timp mare de încărcare (capabile să suporte variațiile de curent continuu) și în

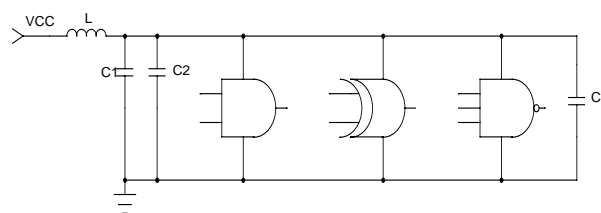


Fig. 2.62. Decuplarea sursei de alimentare

- C_1 – electrolitic
- C_2 – ceramic
- C_3 - tantal

același timp o reactanță serie mică, necesară pentru tranzițiile rapide (pentru cazul frecvențelor înalte), se adoptă soluția de compromis a utilizării a două condensatoare așa cum este arătat în figura 2.62). De regulă C_2 (pentru decuplarea la frecvențe înalte) este de ordinul a $0,1\mu F \dots 0,01\mu F$ iar C_1 (pentru decuplarea frecvențelor joase) este de ordinul a $10\mu F \dots 100\mu F$. Ambele condensatoare trebuie conectate cât mai aproape de

circuitul logic. Pentru o decuplare mai eficientă se mai adaugă și o inductanță de $2\mu H \dots 10\mu H$ dar în acest caz trebuie avută în vedere posibilitatea apariției oscilațiilor. În general, tot pentru decuplare, la fiecare două circuite integrate pe scară largă se introduce un condensator cu tantal de câteva zeci de nF.

1.7.2.2. Diafonia

Diafonia (cross talk) se referă la fenomenele de cuplaj electromagnetic între semnalele de

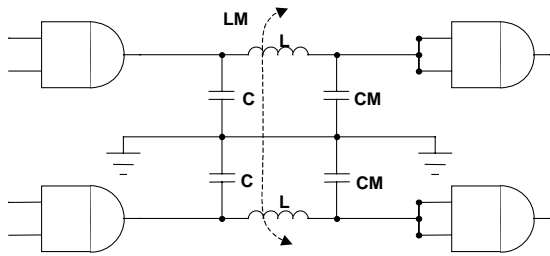


Fig. 2.62. Apariția diafoniei

pe liniile de conexiuni, care prin interacțiune pot produce semnale parazite. În figura 2.63 este prezentat un exemplu de apariție a diafoniei între două linii. În această figură CM și LM reprezintă capacitățile și inductanțele de cuplaj mutual iar L și C sunt parametrii liniei de transmisie ce determină impedanța caracteristică Z_0 a acesteia. Parametrii de cuplaj LM și CM determină impedanța de cuplaj Z_C . Raportul semnal/zgomot care în acest caz reprezintă raportul dintre potențialul la intrarea unei porți datorat cuplajelor parazite

V_P și potențialul la ieșirea unei porți emițătoare de semnal V_E , este:

$$\frac{V_P}{V_S} = \frac{1}{1 + \frac{Z_C}{Z_0}} \quad (2.25)$$

Din relația (2.25) se vede că pentru ca acest raport să fie cât mai mic trebuie ca impedanța de cuplaj să fie cât mai mare și cea caracteristică cât mai mică. Nu se poate micșora totuși oricât impedanța caracteristică din cauză că la scăderea acesteia cresc curenții tranzitorii.

Valoarea raportului V_P / V_S trebuie să fie mai mică de 20% pentru ca circuitele să funcționeze normal.

Pentru micșorarea diafoniei se pot lua următoarele măsuri:

- legături cât mai apropiate de planul de masă de lungimi maxime: 25 cm ... 50 cm;
- utilizarea firelor torsadate (răsucite – un fir de semnal cu unul de masă);
- utilizarea cablurilor ecranate;
- introducerea unui fir suplimentar de masă între firele de semnal;
- introducerea unui plan de masă sub cât mai multe fire prin care circulă semnal.

1.7.2.3. Propagarea și reflexiile pe liniile de transmisie

În acest caz vom considera linii de transmisie conexiunile care se realizează între porțile logice. Dacă lungimea acestor linii este mică (max 20 cm ... 30 cm) efectele liniilor de transmisie pot fi neglijate. Când liniile de transmisie devin atât de lungi încât timpul de propagare pe linie este egal sau mai mare decât durata fronturilor semnalelor de la intrarea liniei, trebuie luate în considerare reflexiile semnalului la capătul liniei.

Liniile de transmisie sunt caracterizate de impedanța caracteristică Z_0 care reprezintă raportul dintre tensiunea și curentul semnalelor de înaltă frecvență ce parcurg linia. Impedanța caracteristică este independentă de lungimea liniei, are o valoare numerică pozitivă dacă linia este fără pierderi, depinde de grosimea conductorului și de constanta dielectrică a izolatorului.

Reflexiile apar în liniile de transmisie lungi, datorită faptului că acestea nu sunt adaptate, adică la capătul liniei impedanța receptorului (care este o poartă logică) nu este egală cu impedanța caracteristică a liniei.

CAPITOLUL 2

Circuite logice combinaționale

2.1. Introducere

Circuitele logice combinaționale numite și circuite de comutare combinaționale, reprezintă circuitele logice cele mai simple, circuite logice de bază, denumite și circuite logice de ordinul zero care stau la baza tuturor celorlalte tipuri de circuite logice.

Reprezentarea schematică a unui circuit logic combinațional cu n intrări și m ieșiri este reprezentat în figura 2.1.

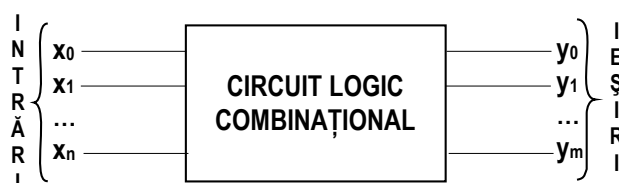


Fig. 2.1. Schema bloc a unui circuit logic combinațional

Un circuit logic combinațional se caracterizează prin aceea că starea ieșirilor, la un moment dat, depinde numai de starea intrărilor la acel moment de timp. Acest lucru este descris de relațiile 2.1 în care starea ieșirilor y_0, y_1, \dots, y_m reprezintă m funcții de variabilele de intrare x_0, x_1, \dots, x_n . Funcțiile care descriu astfel de circuite reprezintă funcții binare conform celor prezentate în capitolul 1.

$$\begin{aligned} y_0 &= f_0(x_0, x_1, \dots, x_n), \\ y_1 &= f_1(x_0, x_1, \dots, x_n), \\ &\dots \\ y_m &= f_m(x_0, x_1, \dots, x_n). \end{aligned} \tag{2.1}$$

Circuitele logice combinaționale pot fi construite cu relee sau cu elemente de comutare asemănătoare releelor, respectiv cu elemente de comutare având comportarea unor porți logice.

O situație particulară importantă este reprezentată de către automatele programabile care permit modelarea prin program a circuitelor logice secvențiale și combinaționale și care reprezintă o soluție convenabilă în cazul circuitelor numerice destinate automatizărilor complexe.

În cele ce urmează vor fi studiate numai circuitele logice combinaționale realizate cu porți logice care primesc la intrare semnale numerice în logică pozitivă sau logică negativă și furnizează la ieșire de asemenea semnale numerice într-un anumit tip de logică.

Semnalele numerice în logică pozitivă sunt semnalele numerice la care se asociază un

nivel ridicat de tensiune cifrei “1” (sau valori de adevăr ADEVĂRAT) și un nivel coborât de tensiune cifrei “0” (sau valori de adevăr FALS). În logica negativă, nivelele de tensiune se inversează, se asociază un nivel coborât de tensiune – de obicei o tensiune negativă cifrei “1” – (sau valori de adevăr ADEVĂRAT) și un nivel ridicat de tensiune – de obicei o valoare apropiată de zero volți – cifrei “0” (sau valori de adevăr FALS).

2.2. Porți logice

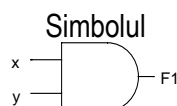
Porțile logice sunt circuitele de bază din structura circuitelor logice combinaționale. O poartă logică reprezintă implementarea fizică a unei funcții logice.

Prezentăm în continuare principalele funcții logice combinaționale cu două variabile și acolo unde este cazul, porțile logice care le implementează.

1. Conjuncția $F_1 = x*y$ (x și y, produs logic)

Tabelul de adevăr

y	x	F ₁
0	0	0
0	1	0
1	0	0
1	1	1

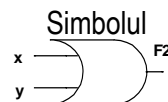


Denumirea circuitului logic:
ȘI (AND)

2. Disjuncția $F_2 = x+y$ (x sau y, suma logică)

Tabelul de adevăr

y	x	F ₂
0	0	0
0	1	1
1	0	1
1	1	1

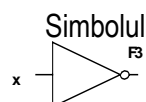


Denumirea circuitului logic:
SAU (OR)

3. și 4. Negația $F_3 = \bar{x}$ (non x)
 $F_4 = \bar{y}$ (non y)

Tabelul de adevăr

x	F ₃	y	F ₄
0	1	0	1
1	0	1	0



Denumirea circuitului logic:
INVERSOR (INVERTER)

5. Implicația directă $F_5 = x \rightarrow y = \bar{x} + y$ (x implică y)

Tabelul de adevăr

y	x	F ₅
0	0	1
0	1	0
1	0	1
1	1	1

Circuitul logic nu are o denumire consacrată

6. Implicația inversă $F_6 = y \rightarrow x = x + \bar{y}$ (y implică x)

Tabelul de adevăr

y	x	F ₆
0	0	1
0	1	1
1	0	0
1	1	1

Circuitul logic nu are o denumire consacrată

7. Echivalența

$$F_7 = x \sim y$$

$$F_7 = (x \rightarrow y) * (y \rightarrow x)$$

$$F_7 = (\bar{x} + y) * (x + \bar{y})$$

$$F_7 = \overline{x \oplus y}$$

Tabelul de adevăr

y	x	F ₇
0	0	1
0	1	0
1	0	0
1	1	1

Simbolul



Denumirea circuitului logic:
COINCIDENȚĂ, COMPARATOR

8. Negarea implicației directe $F_8 = x * \bar{y}$ (x nu implică y)

$$F_8 = \overline{x \rightarrow y}$$

$$F_8 = \overline{\bar{x} + y}$$

Tabelul de adevăr

y	x	F ₈
0	0	0
0	1	1
1	0	0
1	1	0

Denumirea circuitului logic:
INTERDICȚIE, INHIBARE

9. Negația implicației inverse

$$F_9 = \overline{y \rightarrow x}$$

$$F_9 = \overline{\bar{x} * y} \quad (y \text{ nu implică } x)$$

$$F_9 = \overline{x + \bar{y}}$$

Tabelul de adevăr

y	x	F ₉
0	0	0
0	1	0
1	0	1
1	1	0

Denumirea circuitului logic:
INTERDICȚIE, INHIBARE

10. Negația echivalenței

$$F_{10} = \overline{x \sim y}$$

$$F_{10} = \overline{(x \rightarrow y) * (y \rightarrow x)} \quad (x \text{ nu este echivalent cu } y)$$

$$F_{10} = \overline{(\bar{x} + y) * (x + \bar{y})}$$

$$F_{10} = x \oplus y$$

(suma modulo 2)

Tabelul de adevăr

y	X	F ₁₀
0	0	0
0	1	1
1	0	1
1	1	0

Simbolul



Denumirea circuitului logic:
SAU EXCLUSIV, SUMA
MODULO DOI

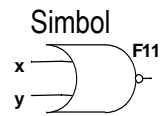
11. Negația disjuncției

$$F_{11} = \overline{x + y}$$

$$F_{11} = \overline{\bar{x} * \bar{y}} \quad (x \text{ sau } y \text{ negat})$$

Tabelul de adevăr

y	x	F ₁₁
0	0	1
0	1	0
1	0	0
1	1	0



Denumirea circuitului logic:
SAU-NU (NOR)

12. Negarea conjuncției

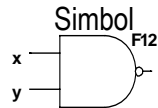
$$F_{12} = \overline{x * y}$$

(x și y negat)

$$F_{12} = \bar{x} + \bar{y}$$

Tabelul de adevăr

y	x	F ₁₂
0	0	1
0	1	1
1	0	1
1	1	0



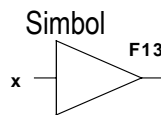
Denumirea circuitului logic:
ȘI-NU (NAND)

13. Identitate

$$F_{13} = x \text{ (funcția ce nu depinde de } y)$$

Tabelul de adevăr

y	x	F ₁₃
0	0	0
0	1	1
1	0	0
1	1	1



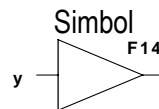
Denumirea circuitului logic:
IDENTITATE

14. Identitate

$$F_{14} = y \text{ (funcția ce nu depinde de } x)$$

Tabelul de adevăr

y	x	F ₁₄
0	0	0
0	1	0
1	0	1
1	1	1



Denumirea circuitului logic:
IDENTITATE

15. Funcție nulară $F=0$ (circuit deschis)

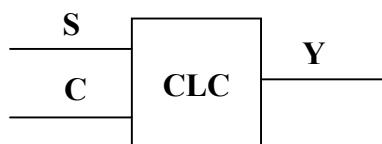
16. Funcție unară $F=1$ (circuit închis)

Materializarea funcțiilor definite mai sus conduce la circuite logice, unele cu denumiri consacrate.

Din tabelul funcțiilor de două variabile prezentat anterior, o importanță deosebită o prezintă următoarele șase funcții: INHIBAREA, SAU EXCLUSIV, SAU-NU (NICI), COINCIDENȚA, ȘI-NU și IMPLICARE.

2.3. Circuitul poartă

Circuitul poartă este un circuit logic combinațional care permite, în funcție de valoarea unui semnal de comandă, aplicat pe intrarea de comandă, trecerea semnalului logic, aplicat pe intrarea de semnal către ieșirea circuitului. Schema bloc a circuitului poartă este prezentată în figura 2.2.



S – intrare de semnal
C – intrare de comanda
Y – ieșire

Figura 2.2. Schema bloc a circuitului poartă

Dacă vom considera că pentru un semnal de comandă, aplicat pe intrarea C, egal cu zero logic, semnalul de pe intrarea S este blocat și nu poate ajunge la ieșirea Y, care rămâne în starea zero, iar pentru un semnal de comandă egal cu unu logic, semnalul de pe intrarea S trece prin poartă și ajunge

la ieșire, obținem tabelul de adevăr 2.1 unde S poate avea valoarea zero sau unu.

TABELUL 2.1.

C	Y
0	0
1	S

Reprezentarea diagramei de timp a circuitului, adică evoluția în timp a intrărilor și a ieșirilor, este făcută în figura 2.3. Deoarece circuitul poartă este un circuit logic combinațional semnalul de ieșire la un moment dat va depinde numai de valoarea semnalelor de intrare la acel moment de timp.

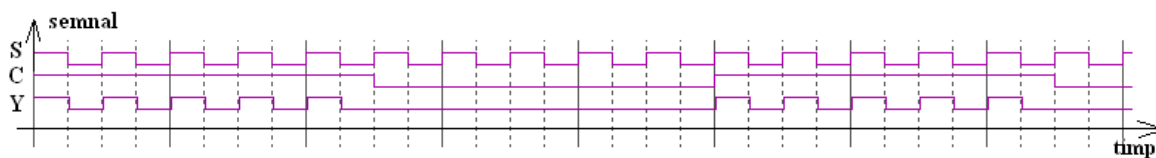


Figura 2.3. Diagrama de timp a circuitului poartă.

Astfel, observăm din figura 2.3. faptul că semnalul de ieșire Y copiază semnalul de intrare S numai atunci când semnalul de comandă C este unu.

TABELUL 2.2.

x_0	x_1	y_0
0	0	0
0	1	0
1	0	0
1	1	1

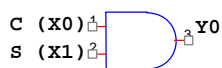


Fig. 2.4. Circuitul poartă

Dacă studiem tabelul de adevăr al funcției logice ȘI (AND) - tabelul 2.2. - vom constata că oricare din intrările acestei porți poate fi intrare de comandă, cealaltă intrare devenind intrare de semnal. De exemplu, dacă vom considera intrare de comandă, intrarea X_1 a porții, atunci vom constata că ieșirea Y este zero, indiferent de starea

intrării X_2 , dacă intrarea X_1 este zero și ieșirea Y copiază starea intrării X_2 dacă intrarea X_1 are valoarea unu. Similar, intrarea X_2 poate fi considerată intrare de comandă iar intrarea X_1 intrare de semnal. Rezultă deci că un circuit poartă este de fapt o poartă logică **ȘI** cu două intrări (figura 2.4.). Acest lucru se obține și dacă scriem ecuația logică a circuitului poartă:

$$Y = C * S \quad (2.2)$$

Un exemplu de circuit integrat, ce conține patru porți **AND** pe capsulă, este circuitul Low Power Schottky 74LS08 a cărui foaie de catalog este prezentată în anexa 1.

2.4. Circuitul de selecție

TABELUL 2.3.

zecimal	X_2	X_1	X_0	Y_0
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	1
6	1	1	0	0
7	1	1	1	0

Un circuit de selecție reprezintă un circuit logic combinațional care își schimbă starea la ieșire numai pentru o singură valoare dintr-o mulțime de valori prezentate la intrarea acestuia.

Vom presupune că, în mod obișnuit, starea la ieșirea circuitului de selecție este zero logic și că aceasta comută în unu logic dacă la intrare se aplică numărul care trebuie selectat.

De exemplu, dacă dorim să construim un circuit de selecție care să selecteze numărul „5” zecimal din mulțimea valorilor numerelor naturale de la zero la șapte zecimal, vom obține tabelul de adevăr prezentat în tabelul 2.3. Conform acestui tabel forma canonică normal disjunctivă a funcției circuitului se poate scrie ușor

deoarece funcția ia valoarea unu doar pentru o singură combinație a valorilor variabilelor de intrare x_2, x_1, x_0 (ecuația 2.3).

$$y_0 = x_2 \bar{x}_1 x_0 \quad (2.3)$$

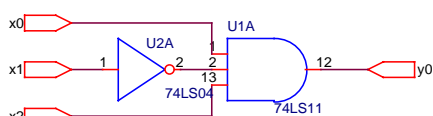


Figura 2.5. Circuit de selecție pentru valoarea 5 (101).

Rezultă că circuitul de selecție va fi un circuit **ȘI** cu intrarea corespunzătoare variabilei x_1 , negată, așa cum se arată în figura 2.5.

Pentru proiectarea unui circuit de selecție a unei combinații binare corespunzătoare numărului zecimal m din mulțimea de valori zecimale $[0 \dots n]$ se procedează conform modului descris în continuare. Numărul de intrări a circuitului **ȘI** folosit, este egal cu numărul cifrelor binare necesare pentru scrierea cifrei zecimale n , care desemnează capătul intervalului. Acest număr este dat de relația (2.4).

$$\text{numar int rari} = INT(\log_2 n) + 1 \quad (2.4)$$

Se scrie numărul zecimal m în binar, cu un număr de cifre binare egal cu cel obținut din relația (2.4) iar intrările corespunzătoare cifrelor binare egale cu zero se complementează (pe aceste intrări se pune câte un inversor).

De exemplu, construcția unui circuit de selecție a cifrei 7_z din intervalul $[0 \dots 59_z]$

pornește cu determinarea numărului de intrări a circuitului logic ȘI :

$$\text{numar int rari} = \text{INT}(\log_2 59) + 1 = \text{INT}(5,87) + 1 = 5 + 1 = 6$$

circuitul ȘI are șase intrări. Numărul 7_z scris cu șase cifre binare este : 000111_b.

Circuitul de selecție va avea trei intrări, cele corespunzătoare variabilelor x_5, x_4, x_3 (indicele variabilei corespunde rangului cifrei binare), inversate și trei intrări, cele corespunzătoare variabilelor x_2, x_1, x_0 , neinversate.

Dacă se dorește ca circuitul de selecție să aibă la ieșire valoarea logică unu care să se schimbe în zero la apariția combinației ce trebuie selectate, atunci în loc de circuit ȘI se folosește un circuit ȘI-NU.

2.5. Circuite de decodificare

Circuitele de decodificare sunt circuite logice combinaționale care primesc la intrare semnale logice în cod binar sau echivalent acestuia și furnizează la ieșire semnale logice în cod zecimal sau echivalent.

2.5.1. Circuitul de decodificare 1 din m

În cazul acestui circuit de decodificare, la intrarea circuitului se aplică un semnal în cod

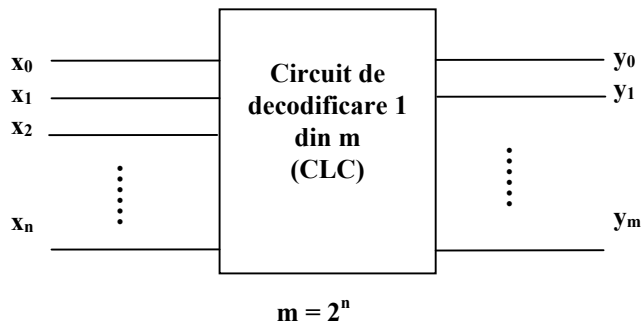


Fig. 2.6. Circuit de decodificare 1 din m

binar natural ceea ce face ca la ieșirea acestuia să se activeze pinul corespunzător numărului binar aplicat la intrare. Schema bloc a circuitului de codificare 1 din m este prezentată în figura 2.6.

Pentru exemplificare vom considera un circuit de decodificare cu trei intrări și opt ieșiri. Pentru un circuit de acest tip, atunci când circuitul are n intrări, numărul maxim de ieșiri va fi de $m = 2^n$, deoarece cu n numere binare se pot scrie 2^n combinații distincte. Deci pentru un circuit cu trei intrări putem avea cel mult $2^3 = 8$ ieșiri. Tabelul de adevăr al circuitului 1 din 8 este prezentat în tabelul 2.3. în care ieșirea activă are starea unu. Pentru a determina structura internă a circuitului pornim de la tabelul 2.4. Datorită faptului că fiecare funcție de ieșire y_1, y_2, \dots, y_7 are o singură valoare de unu pentru toate combinațiile posibile ale variabilelor de intrare x_1, x_2

TABELUL 2.4.

Intrări			Ieșiri							
x_2	x_1	x_0	v_7	v_6	v_5	v_4	v_3	v_2	v_1	v_0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

și x_3 , vom folosi forma canonică normal disjunctivă pentru a scrie ecuațiile funcțiilor logice de ieșire. Se vor obține opt ecuații distincte (ecuațiile 2.5.) ce vor fi implementate cu opt circuite ȘI (AND). Datorită faptului că variabilele de intrare se aplică simultan tuturor celor opt circuite, intrările acestora vor fi legate împreună, la variabila directă sau la variabila negată, conform ecuației corespunzătoare ieșirii respective. Se observă faptul că fiecare ieșire a circuitului de decodificare reprezintă câte un circuit de selecție: ieșirea y_0 reprezintă un circuit de selecție a numărului zero, ieșirea y_1 un circuit de selecție a numărului unu și așa mai departe. Circuitul obținut este prezentat în figura 2.7. iar diagrama de timp a intrărilor și ieșirilor, în figura 2.8.

$$\begin{aligned}
 y_0 &= \overline{x_2} \overline{x_1} \overline{x_0} \\
 y_1 &= \overline{x_2} x_1 \overline{x_0} \\
 y_2 &= \overline{x_2} x_1 x_0 \\
 y_3 &= x_2 \overline{x_1} \overline{x_0} \\
 y_4 &= x_2 \overline{x_1} x_0 \\
 y_5 &= x_2 x_1 \overline{x_0} \\
 y_6 &= x_2 x_1 x_0 \\
 y_7 &= \overline{x_2} \overline{x_1} x_0
 \end{aligned}
 \tag{2.5}$$

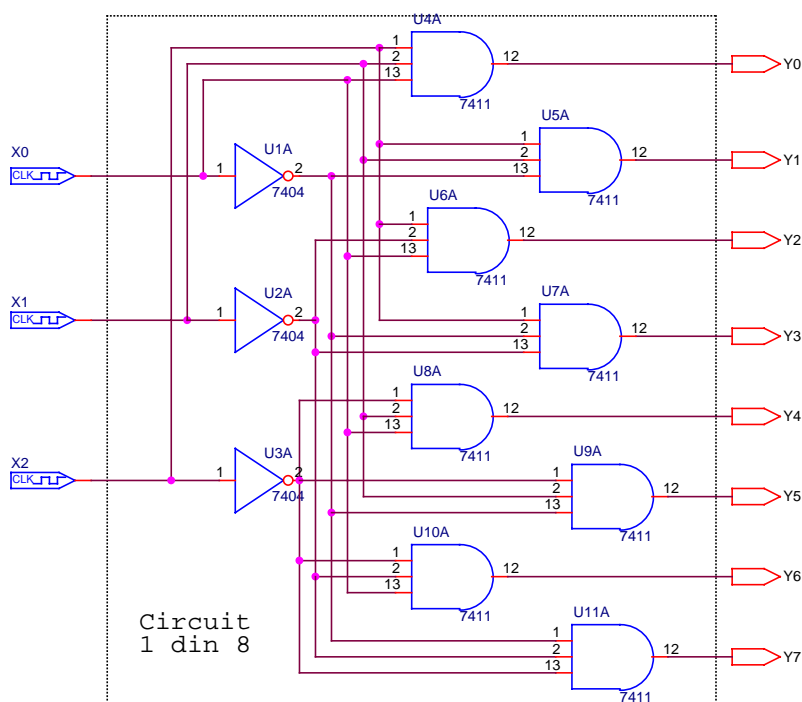


Figura 2.7. Structura circuitului 1 din 8 conform ecuațiilor 2.5.

Dacă ne uităm în tabelul 2.3. și observăm variația valorilor variabilelor de intrare, pe coloană, se observă faptul că variabila x_0 are variația cea mai rapidă, urmată de variabila x_1 cu

variație mai lentă și apoi x_2 . De asemenea se observă faptul că semnalele de intrare sunt periodice, deoarece valorile se repetă la intervale egale. Cu ajutorul acestor observații putem construi diagrama de timp a circuitului (figura 2.8.) care să reprezinte evoluția în timp a semnalelor din tabelul de adevăr (tabelul 2.4.). Pentru aceasta vom considera semnalele de intrare ca fiind semnale periodice dreptunghiulare (digitale sau numerice), semnalul x_0 având frecvența f , semnalul x_1 cu frecvența $f/2$ (deoarece perioada se dublează) și semnalul x_2 cu frecvența $f/4$.

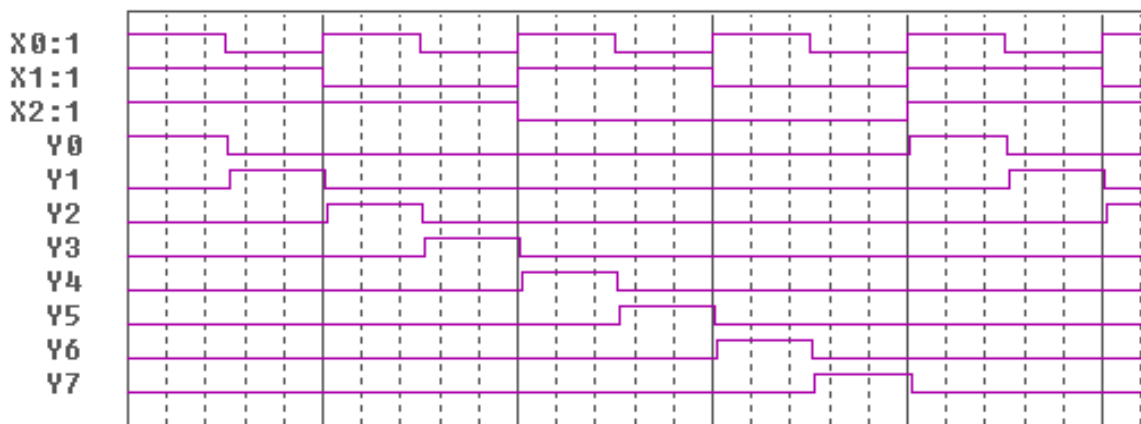
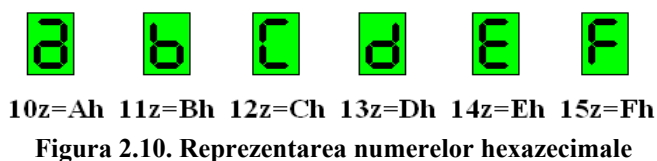
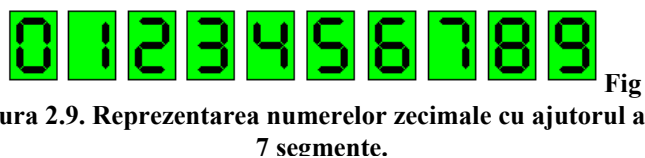
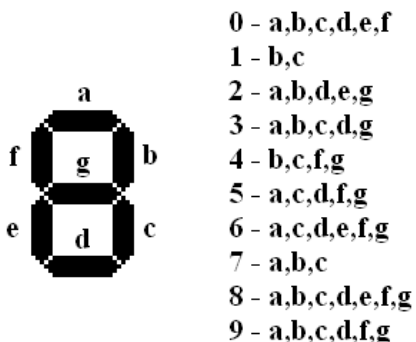


Fig. 2.8. Diagrama de semnal a circuitului de decodificare 1 din 8.

Un exemplu de circuit integrat unu din zece este circuitul 74LS42 a cărui foaie de catalog este prezentată în anexa 2.

2.5.2. Circuitul de decodificare BCD – 7 segmente



Circuitul de decodificare BCD – 7 segmente este un circuit logic combinațional care primește la intrare un semnal numeric, codificat BCD sau în cod binar natural și furnizează la ieșire semnalele necesare afișării cifrelor cu ajutorul a șapte segmente. Modul de reprezentare al cifrelor zecimale cu ajutorul a șapte segmente este prezentat în figura 2.9.

Dacă semnalele aplicate la intrarea circuitului sunt codificate în cod BCD (numere zecimale reprezentate binar) atunci acestea sunt în domeniul $0000b = 0z$ până la $1001b = 9z$. Pentru anumite circuite este posibil ca semnalul de intrare să

fie în cod binar natural în gama 0000b = 0z până la 1111b = 15z și atunci circuitul furnizează la ieșire semnalele necesare afișării cifrelor hexazecimale (figura 2.10.).

Elementele de afișare cu șapte segmente pot fi cu anod comun și în acest caz ieșirea activă (cea care trebuie să activeze un segment) ia valoarea zero logic (tensiune scăzută în logică pozitivă) sau cu catod comun, caz în care ieșirea activă trebuie să ia valoarea logică unu (tensiune ridicată). În tabelul 2.5. se prezintă tabelul de adevăr pentru un circuit de decodificare binar – șapte segmente destinat elementelor de afișare cu catod comun iar în figura 2.11. schema bloc a acestuia.

TABEL 2.5.

ZECIMAL	HEXA ZECIMAL	x ₃	x ₂	x ₁	x ₀	y _g	y _f	y _e	y _d	y _c	y _b	y _a
0	0	0	0	0	0	0	1	1	1	1	1	1
1	1	0	0	0	1	0	0	0	0	1	1	0
2	2	0	0	1	0	1	0	1	1	0	1	1
3	3	0	0	1	1	1	0	0	1	1	1	1
4	4	0	1	0	0	1	1	0	0	1	1	0
5	5	0	1	0	1	1	1	0	1	1	0	1
6	6	0	1	1	0	1	1	1	1	1	0	1
7	7	0	1	1	1	0	0	0	0	1	1	1
8	8	1	0	0	0	1	1	1	1	1	1	1
9	9	1	0	0	1	1	1	0	1	1	1	1
10	A	1	0	1	0	1	0	1	1	1	1	1
11	B	1	0	1	1	1	1	1	1	1	0	0
12	C	1	1	0	0	1	1	1	1	0	0	1
13	D	1	1	0	1	1	0	1	1	1	1	0
14	E	1	1	1	0	1	1	1	1	0	0	1
15	F	1	1	1	1	1	1	1	0	0	0	1

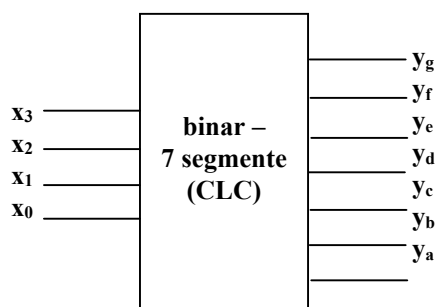


Fig. 2.11. Decodori binar – 7 segmente

Se propune ca exercițiu determinarea structurii interne a circuitului.

Un exemplu de circuit integrat BCD – 7 segmente este circuitul 74LS47 a cărui foaie de catalog este prezentată în anexa 3.

2.6. Circuite de multiplexare

Circuitele de multiplexare sau mai pe scurt, multiplexoarele, sunt circuite logice secvențiale care permit transmiterea semnalelor pe mai multe căi, pe o singură cale.

În cazul circuitelor digitale, cel mai simplu se realizează multiplexarea în timp a semnalelor. Astfel, pe un circuit se pot transmite mai multe semnale digitale diferite prin transmiterea succesivă a acestora, într-un anumit ritm. Frecvența cu care se comută semnalele pe linia de transmisie trebuie să aibă valoarea cel puțin egală cu de două ori frecvența cea mai mare dintre frecvențele semnalelor de multiplexat înmulțită cu numărul semnalelor multiplexate (2.6), în așa fel încât să se poată extrage semnalele originale din semnalul multiplexat, prin procedeul de demultiplexare.

$$f_c = 2 \cdot f_m \cdot n \tag{2.6}$$

unde: f_c este frecvența de comandă, f_m este frecvența cea mai mare dintre frecvențele semnalelor

de multiplexat iar n reprezintă numărul semnalelor multiplexate.

Pentru a explica funcționarea unui multiplexor vom considera schema simplificată a acestuia din figura 2.12. Din punct de vedere funcțional multiplexorul este echivalent cu un

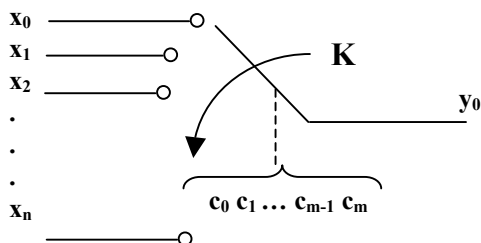


Figura 2.12. Schema funcțională a unui multiplexor

comutator rotativ (notat cu K în figura 2.12) care trece de la o intrare la alta cu o anumită frecvență dată de f_c . Pentru a realiza acest lucru, comutatorul este comandat de un semnal de comandă de frecvență f_c , semnal ce determină trecerea comutatorului de la o intrare la alta. Rezultă că semnalul de la o intrare oarecare x_i se va găsi la ieșirea y o durată de timp egală cu $1/f_c$ cât comutatorul se găsește pe acea intrare. Atunci când comutatorul a ajuns pe ultima intrare (x_n) se

reîntoarce la prima intrare și așa mai departe, atât timp cât se aplică semnal de comandă. Pe intrările de comandă $c_0, c_1, c_2, \dots, c_m$, se aplică secvențe binare ce comandă comutatorul, acesta conectând la ieșire intrarea corespunzătoare numărului furnizat de semnalul de comandă. Astfel, dacă pe intrarea de comandă se aplică numărul zero atunci intrarea x_0 va fi conectată la ieșire; dacă pe intrarea de comandă se aplică numărul binar corespunzător valorii unu atunci intrarea x_1 va fi conectată la ieșire, și așa mai departe. Cu alte cuvinte, valoarea zecimală a numărului binar aplicat pe intrarea de comandă, reprezintă indicele intrării ce va fi conectată la ieșire.

Cu ajutorul a m semnale de comandă trebuie să codificăm n poziții ale comutatorului pe cele n intrări. Dependența dintre m și n este evidentă (relația 2.7).

$$m = \log_2 n \quad \text{sau} \quad n = 2^m \quad (2.7)$$

De obicei, atunci când circuitul este folosit pentru multiplexarea semnalelor digitale, pe intrarea de comandă se aplică secvența, echivalentă în zecimal: 0, 1, 2, ..., n, 0, 1, 2, ..., cu frecvența f_c . În această situație semnalul obținut pe ieșirea y are forma prezentată în figura 2.13.

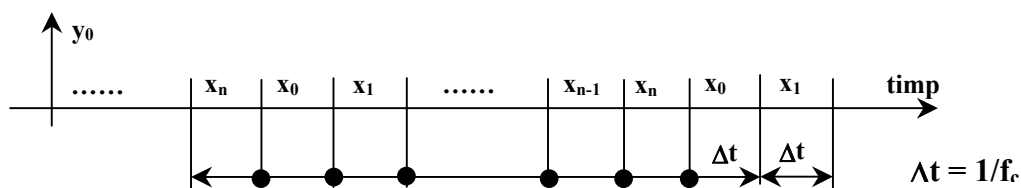


Figura 2.13. Structura semnalului multiplexat în timp.

Structura circuitului de multiplexare poate fi construită plecând de la schema funcțională a acestuia. Comutatorul comandat va fi construit cu ajutorul circuitelor poartă, câte un circuit poartă pentru fiecare intrare, iar circuitul de comandă a circuitelor poartă se va construi cu ajutorul unui circuit de decodificare unul din m . Structura rezultată este prezentată în figura 2.14. În această figură se prezintă schema de principiu a circuitului. De multe ori, datorită existenței doar anumitor tipuri de porți logice realizate fizic sau datorită anumitor condiții impuse la realizare, schema de principiu suferă anumite modificări. În figura 2.16. se prezintă forma adaptată a circuitului de multiplexare. Astfel, circuitul de decodificare unu din opt a fost înlocuit cu un circuit de decodificare unu din zece, la care intrarea de rangul cel mai mare (x_3) a fost

legată la masă.

Circuitul SAU cu opt intrări a fost înlocuit cu două circuite ȘI-NU cu patru intrări aplicându-se teorema De Morgan (2.8).

$$A + B + C + D = \overline{\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}} \quad (2.8)$$

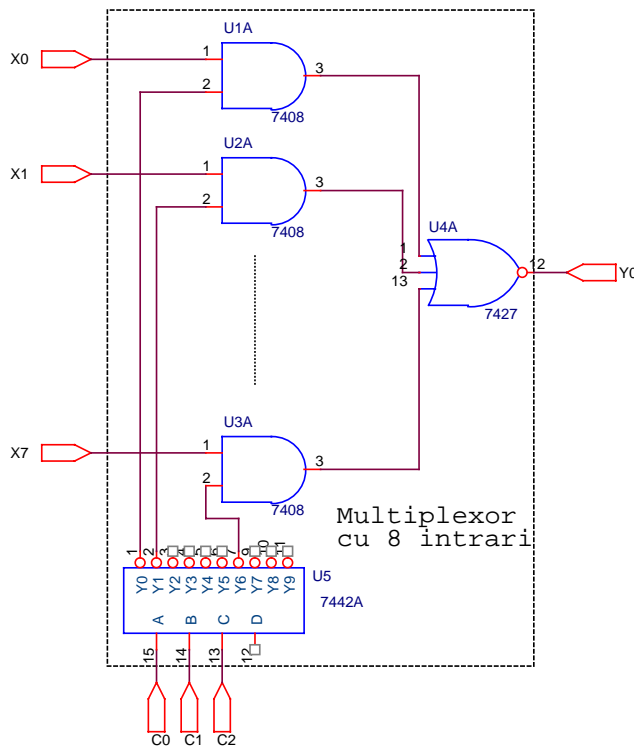


Figura 2.14. Structura circuitului de multiplexare

Pentru reprezentarea diagramelor de timp, pe intrările x_0, x_1, \dots, x_7 , se aplică semnale cu frecvențe descrescătoare, astfel: pe intrarea x_0 se aplică un semnal de frecvență f , pe intrarea x_1 se aplică un semnal de frecvență $f/2$ și așa mai departe, astfel încât pe intrarea x_7 se aplică un semnal cu frecvența de $f/128$.

Pe intrările de comandă c_0, c_1, c_2 , se aplică de asemenea semnale cu frecvențe descrescătoare, frecvența pe intrarea c_0 fiind egală cu aproximativ $0,7 * f/128$, în așa fel încât pe ieșirile y_0, y_1, \dots, y_7 , a circuitului de decodificare U5 să se obțină semnale succesive de comandă, după cum s-a explicat în paragraful 2.5.1.

Aceste semnale au fost alese în scop demonstrativ, pentru a arăta modul în care informația de intrare ajunge la ieșirea multiplexorului.

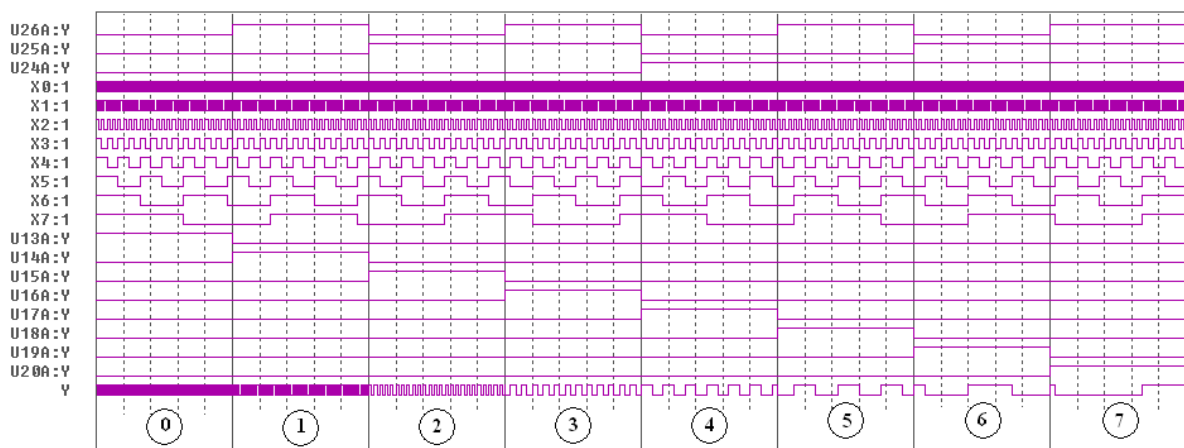


Figura 2.15. Diagrama de timp a multiplexorului cu 8 intrări.

În final, pe ieșirea circuitului de multiplexare cu opt intrări, se obține un semnal cu o frecvență descrescătoare de la frecvența f până la frecvența $f/128$ așa cum este arătat în figura

2.15. (se va compara și cu figura 2.13).

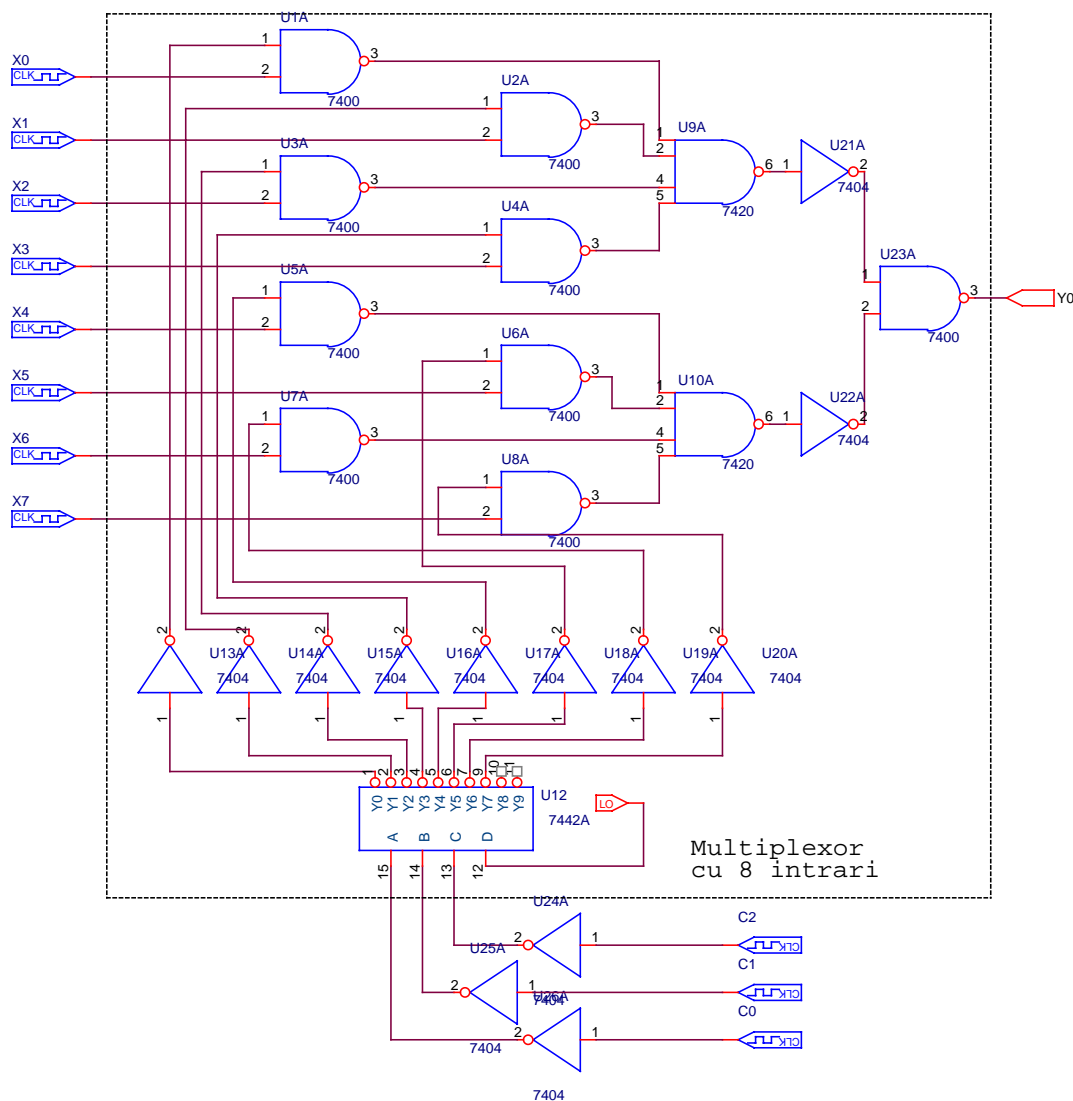
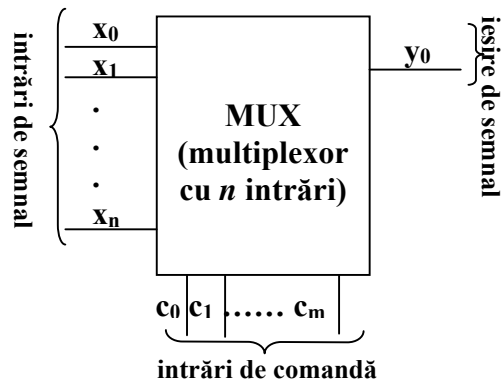


Figura 2.16. Schema de implementare a multiplexorului cu 8 intrări.

Un exemplu de circuit integrat de tip multiplexor este circuitul 74LS151 a cărei foaie de catalog este prezentată în anexa 4. Schema bloc a unui astfel de circuit este prezentată în figura 2.17.

Figura 2.17. Schema bloc a circuitului de multiplexare



O aplicație importantă a circuitului de multiplexare este reprezentată de serializarea informației. Informația este prezentată simultan, în paralel, la intrările x_0, x_1, \dots, x_n , și se transferă la ieșirea y , succesiv, în mod serial, în ritmul în care se schimbă semnalele de comandă la intrările de comandă c_0, c_1, \dots, c_m . Proprietatea de serializare a informației de către circuitele de multiplexare este larg folosită în transmisia la distanță a datelor.

2.7. Circuite de demultiplexare

Circuitele de demultiplexare sunt circuite logice combinaționale destinate refacerii semnalelor originale din semnalul multiplexat. Cu alte cuvinte, un circuit de demultiplexare are funcția inversă a unui circuit de multiplexare. În cazul circuitelor logice, circuitul de demultiplexare reface semnalele multiplexate în timp.

Schema funcțională a unui circuit de demultiplexare este prezentată în figura 2.18 iar schema bloc în figura 2.19.

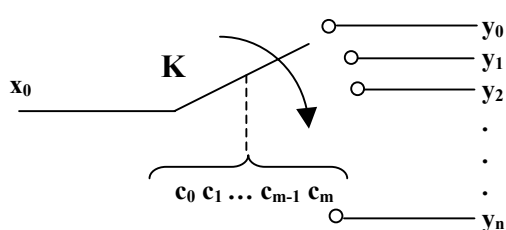


Figura 2.18. Schema funcțională a unui demultiplexor

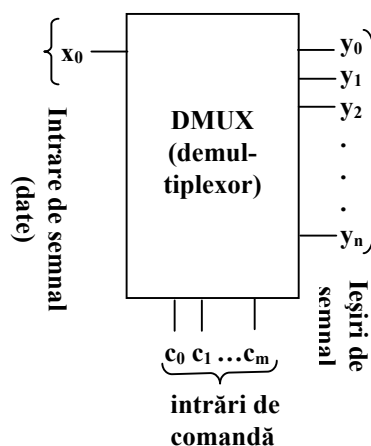


Figura 2.19. Schema bloc a demultiplexorului

Structura internă a demultiplexorului se construiește în același mod în care s-a construit cea a a multiplexorului (paragraful 2.6). Pentru un semnal de intrare, aplicat pe intrarea x_0 , cu frecvența maximă egală cu f_d , valoarea minimă a frecvenței semnalului de comandă este $f_c = 2 \times \text{numărul de ieșiri} \times f_d$ (vezi relația 2.6).

Schema demultiplexorului cu o intrare și opt ieșiri este cea prezentată în figura 2.20. Comutatorul este realizat cu ajutorul porților ȘI, câte o poartă pentru fiecare ieșire. Pe una din intrările porților este aplicat, în paralel, semnalul de date de intrare x_0 , iar pe celelalte intrări se aplică semnalele de comandă preluate de la un circuit de decodificare 1 din 10, la care intrarea D este pusă la masă (la potențial scăzut) în așa fel încât acesta să se transforme într-un decodificator 1 din 8. La intrările acestui circuit de decodificare se aplică semnalele de comandă ale demultiplexorului.

Pentru a realiza diagrama de timp (sau, cum se mai numește aceasta, diagrama de semnal) a demultiplexorului cu 8 ieșiri, pe intrarea de date x_0 se aplică un semnal de frecvență f_d iar pe intrările de comandă se aplică: un semnal de frecvență $f_c = 16 \times f_d$ pe intrarea c_0 , $f_c/2$ pe intrarea c_1 și $f_c/4$ pe intrarea c_2 . În acest fel, semnalul de pe intrarea x_0 se va distribui succesiv pe ieșirile $y_0, y_1, y_2, \dots, y_7$ la intervale de timp egale cu $1/f_c$. Rezultă că semnalul pe

una din ieșiri este reîmprospătat de asemenea cu frecvența $f_c/8$ deoarece reîmprospătarea se produce ciclic. La fiecare interval de timp egal cu $8/f_c$, dacă semnalul de intrare a demultiplexorului este în starea unu logic, ieșirea corespunzătoare va avea o tranziție din zero în unu logic pe durata $1/(2f_c)$ datorată circuitului de selecție a ieșirii, care aplică de asemenea valoarea unu logic pe poarta corespunzătoare acestei ieșiri. În acest fel, așa cum se observă și din figura 2.21, pe durata cât semnalul de intrare este unu logic, semnalul de ieșire este format dintr-un tren de impulsuri unu logic cu durata $1/(2f_c)$ la intervale de $8/f_c$. Pentru ca semnalul să fie reprodus corect la ieșire acesta trebuie memorat pe durata $8/f_c$, până o nouă reîmprospătare. Astfel de circuite de memorare vor fi studiate mai târziu în cadrul circuitelor logice secvențiale. Diagrama de timp realizată este prezentată în figura 2.21.

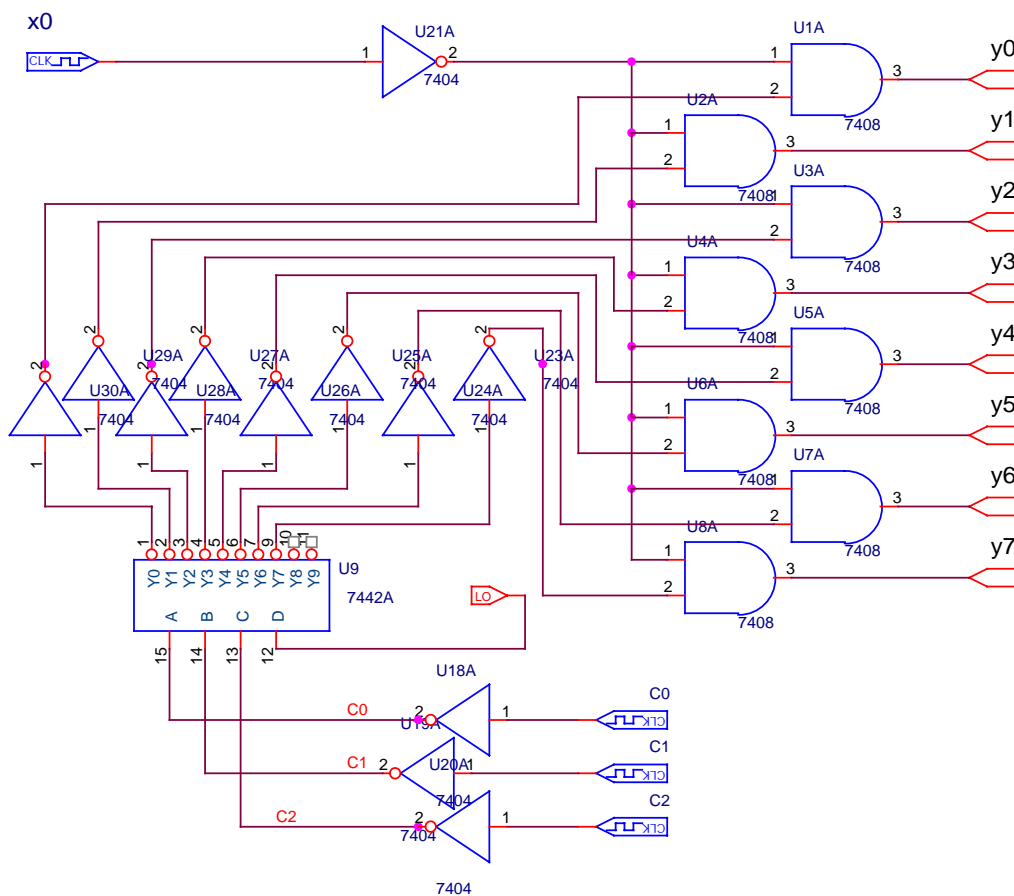


Figura 2.20. Structura internă a circuitului de demultiplexare.

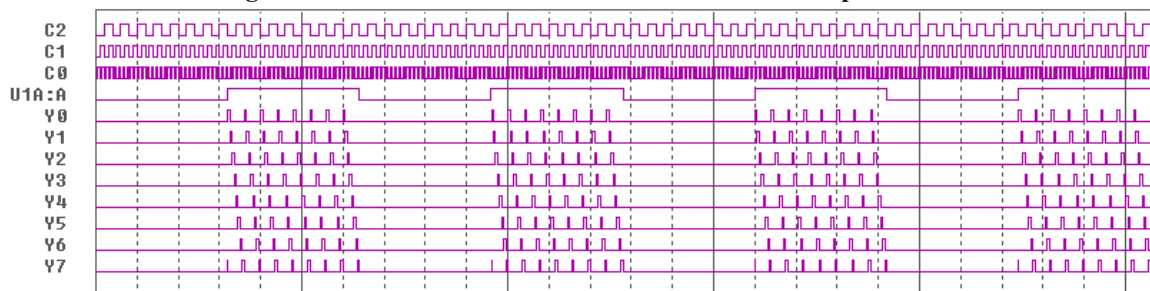


Figura 2.21. Diagrama de timp pentru circuitul de demultiplexare

Circuitul de demultiplexare poate fi folosit la deserializarea informației. În acest fel, informația serială sosită pe intrarea x_0 este transformată în informație prezentată în paralel pe ieșirile y_0, y_1, \dots, y_7 .

Un exemplu de circuit integrat de tip demultiplexor este circuitul 74LS154 a cărei foaie de catalog este prezentată în anexa 5.

Din informațiile prezentate în foile de catalog se va observa faptul că în structura circuitului integrat se folosesc circuite ȘI-NU cu mai multe intrări iar selecția unei ieșiri se face prin aplicarea la intrarea porții a combinației corespunzătoare a semnalelor de comandă și a semnalului de intrare, așa cum se arată în ecuațiile echivalente (2.9) pentru circuitul de demultiplexare cu opt ieșiri.

$$\begin{aligned}
 y_0 &= x_0 \cdot \overline{c_2} \cdot \overline{c_1} \cdot \overline{c_0} \\
 y_1 &= x_0 \cdot \overline{c_2} \cdot c_1 \cdot \overline{c_0} \\
 y_2 &= x_0 \cdot \overline{c_2} \cdot c_1 \cdot c_0 \\
 y_3 &= x_0 \cdot c_2 \cdot \overline{c_1} \cdot \overline{c_0} \\
 y_4 &= x_0 \cdot c_2 \cdot \overline{c_1} \cdot c_0 \\
 y_5 &= x_0 \cdot c_2 \cdot c_1 \cdot \overline{c_0} \\
 y_6 &= x_0 \cdot c_2 \cdot c_1 \cdot c_0 \\
 y_7 &= x_0 \cdot c_2 \cdot c_1 \cdot c_0
 \end{aligned}
 \tag{2.9}$$

Ca exercițiu se vor scrie ecuațiile similare pentru circuitul de multiplexare.

Ansamblul circuitelor de multiplexare și demultiplexare (figura 2.22) este folosit în două aplicații importante : pentru transmiterea la distanță a semnalelor și pentru scăderea densității traseelor electrice într-un circuit digital.

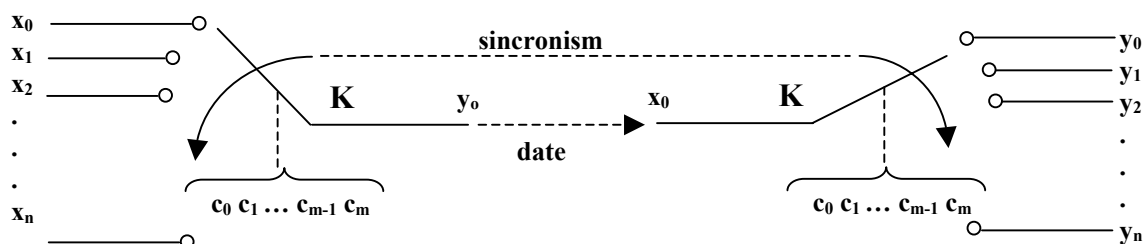


Figura 2.22. a. Ansamblul multiplexor, demultiplexor

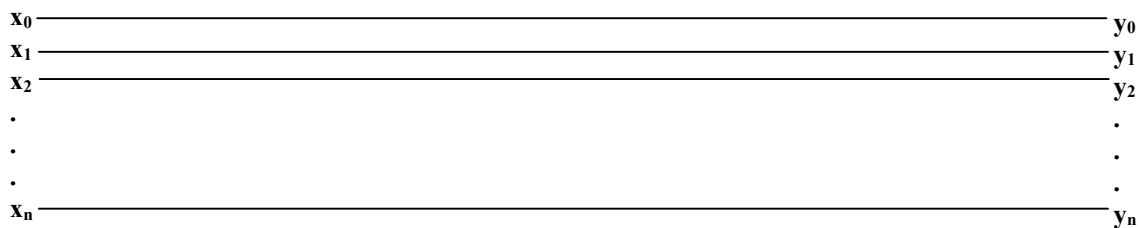


Figura 2.22. b. Schema echivalentă

În cazul transmiterii datelor la distanță cuvântul x_0, x_1, \dots, x_n , este serializat de către multiplexor și transmis la distanță unde este deserializat de către demultiplexor și prezentat la ieșirile y_0, y_1, \dots, y_n . Pentru ca transmisia să se facă corect este necesar ca cele două comutatoare să se miște sincron adică atât la multiplexor cât și la demultiplexor să se aplice aceleași semnale de comandă (condiția de sincronism). De asemenea între frecvența semnalelor aplicate pe intrările de date x_0, x_1, \dots, x_n și frecvența semnalelor de comandă trebuie să existe relația (2.3). Astfel, un cuvânt de n biți poate fi transmis la complet în $n/(2fc)$ secunde (unde n reprezintă numărul de biți iar f_c frecvența semnalului de comandă).

În cazul transmiterii semnalelor la distanță soluția serializării aduce avantajul economiei de material, când pentru transmiterea a n biți nu se folosesc n linii distincte ci doar o singură linie de date.

În situația în care suprafața pe care se pot găsi traseele electrice este prea mică sau atunci când numărul pinilor unui circuit integrat nu poate permite conectarea tuturor semnalelor la ieșirea acestuia, se folosește de asemenea multiplexarea în timp a semnalelor.

Indiferent de situația în care se folosește metoda multiplexării în timp a datelor, refacerea corectă a acestora presupune existența sincronizării între semnalele de comandă aplicate atât multiplexorului cât și demultiplexorului. În figura 2.23 se prezintă un ansamblu multiplexor-demultiplexor iar în figura 2.24 diagrama de semnal a acestui circuit.

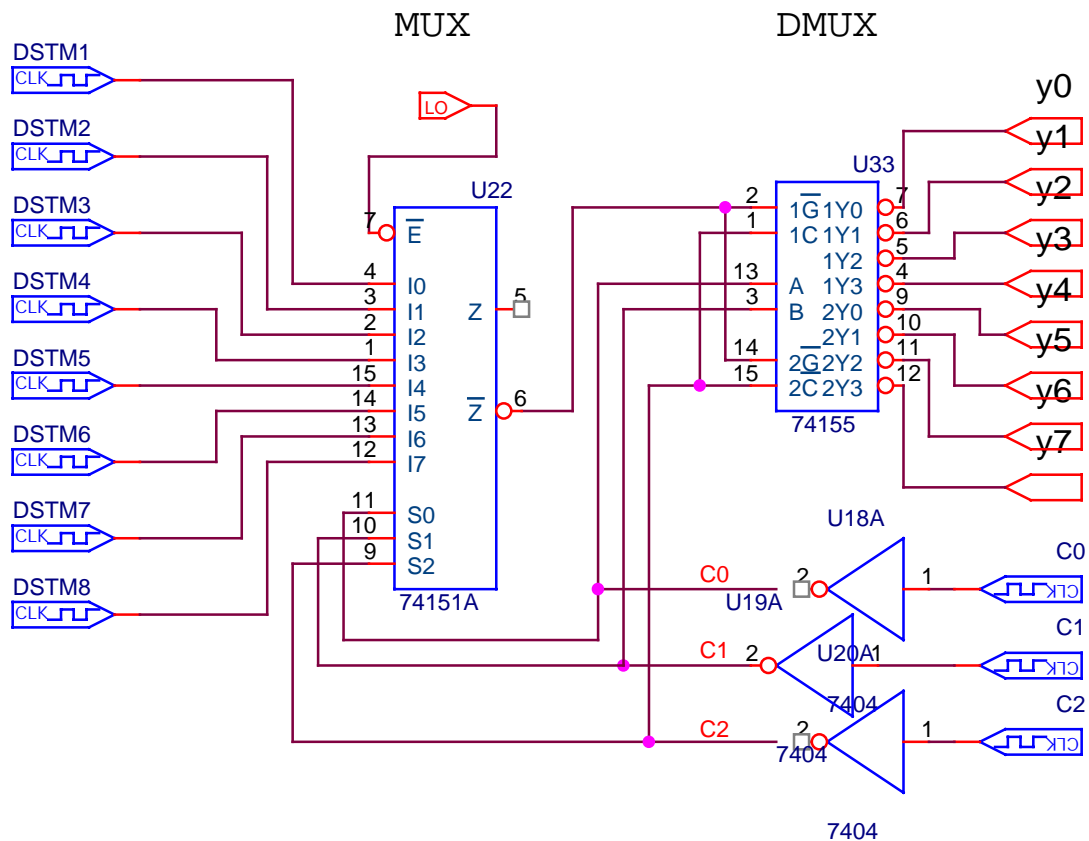


Figura 2.23. Ansamblul multiplexor-demultiplexor

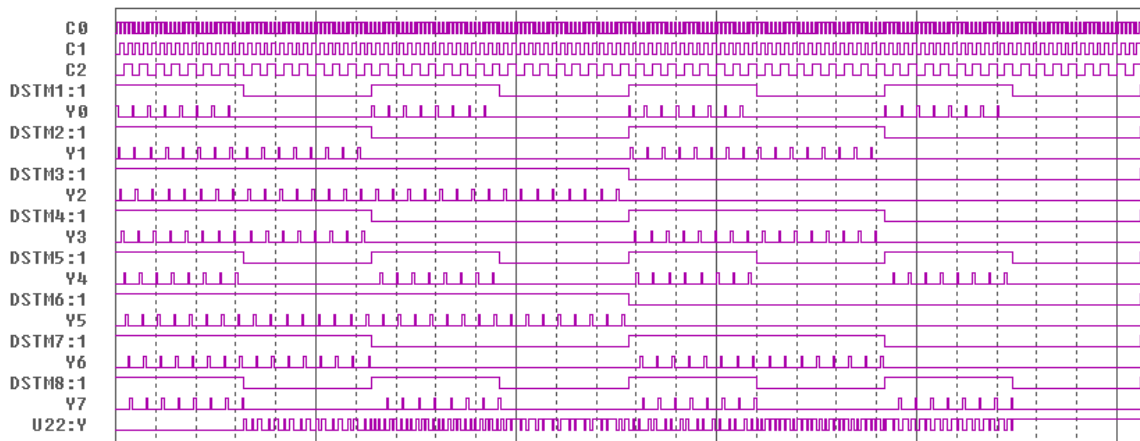


Figura 2.24. Diagrama de semnal a ansamblului multiplexor-demultiplexor

2.8. Circuite de codificare

Circuitele de codificare sunt circuite logice secvențiale care primesc la intrare semnale codificate într-un cod diferit de cel binar și furnizează la ieșire semnale în cod binar sau echivalent acestuia.

Un exemplu îl constituie circuitul de codificare zecimal – binar (BCD). Schema bloc a acestui circuit este prezentată în figura 2.25 iar tabelul de adevăr este tabelul 2.6.

Un exemplu de circuit integrat de codificare este circuitul 74LS148 a cărui foaie de catalog este prezentată în anexa 6.

TABELUL 2.6.

Intrări										Ieșiri			
X ₉	X ₈	X ₇	X ₆	X ₅	X ₄	X ₃	X ₂	X ₁	X ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	0	0	1	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	0	0	0	0	0	1	1	1	1

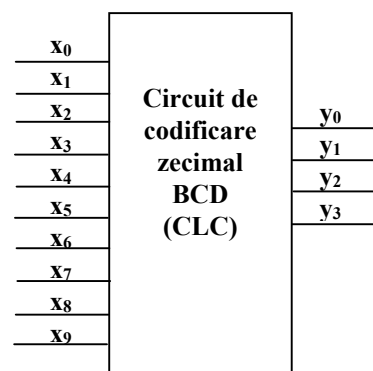


Figura 2.25. Circuit de codificare

2.9. Circuite aritmetice

Circuitele aritmetice sunt circuite logice secvențiale destinate efectuării operațiilor aritmetice elementare.

2.9.1. Comparatoare

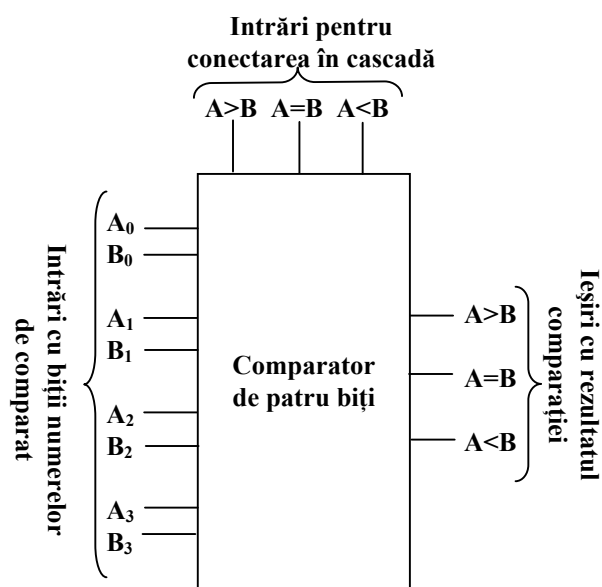


Figura 2.26. Comparator de patru biți

Circuitele de comparare permit compararea rapidă a două numere binare A și B , aplicate pe intrare, pentru a determina dacă între cele două numere există una din relațiile: $A=B$, $A>B$ sau $A<B$. Spre exemplu să considerăm comparatorul de patru biți din figura 2.26. Pe intrările A_0, A_1, A_2 și A_3 se aplică primul număr de comparat iar pe intrările B_0, B_1, B_2 și B_3 cel de-al doilea număr. Cifra binară cu indicele zero este cifra de rang minim a numărului (cifra cea mai puțin semnificativă). Rezultatul comparării este furnizat la ieșirile $A=B$, $A>B$ și $A<B$.

În vederea comparării numerelor cu lungimi mai mari, se conectează mai multe comparatoare în cascadă. Astfel,

pentru a se ține seama de rezultatele comparării rangurilor precedente, circuitul este prevăzut cu borne de intrare suplimentare ($A<B$, $A=B$ și $A>B$) care se conectează la bornele de ieșire a comparatoarelor precedente.

Structura internă a circuitului este determinată de ecuațiile (2.10).

$$\begin{aligned}
 (A = B)_{ies} &= (A = B)_{intr} \cdot \prod_{j=0}^3 (\overline{A_j \oplus B_j}) \\
 (A > B)_{ies} &= \overline{\prod_{j=0}^3 (\overline{A_j \oplus B_j})} [(A = B)_{intr} + (A < B)_{intr}] + \left[B_3 \overline{A_3} + \sum_{i=0}^2 B_i \overline{A_i} \prod_{k=j+1}^3 (A_k \oplus B_k) \right] \\
 (A < B)_{ies} &= \prod_{j=0}^3 (\overline{A_j \oplus B_j}) [(A = B)_{intr} + (A > B)_{intr}] + \left[A_3 \overline{B_3} + \sum_{i=0}^2 A_i \overline{B_i} \prod_{k=j+1}^3 (A_k \oplus B_k) \right]
 \end{aligned} \tag{2.10}$$

Un exemplu de circuit integrat comparator pe patru biți este circuitul 74LS85 a cărei foaie de catalog este prezentată în anexa 7.

2.9.2. Generatorul și verificatorul de paritate

Paritatea este folosită în scopul verificării integrității datelor în sistemele numerice.

Paritatea este reprezentată de un bit suplimentar, atașat biților de date astfel: pentru paritate pară numărul total de biți de valoare unu, inclusiv bitul de paritate, este în număr par iar pentru paritate impară, impar. De exemplu, dacă șirul biților de date este „01100100”, șir care conține un număr impar de cifre unu, atunci bitul de paritate adăugat va fi: „1” pentru paritate pară în așa fel încât numărul total de biți să fie par și „0” pentru paritate impară. La verificarea parității se determină numărul de biți de valoare unu din șir, inclusiv bitul de paritate și se compară cu numărul (par sau impar) de biți stabiliți prin paritate. Dacă aceștia coincid atunci se consideră că șirul de date este corect.

De obicei circuitele de generare și verificare a parității tratează numere de opt biți de date. Un astfel de circuit este prezentat în figura 2.27 iar funcționarea acestuia este descrisă în tabelul 2.7.

Circuitul din figura 2.26 funcționează în două regimuri, ca generator și ca verificator. În regim de generator, pe intrările x_0, x_1, \dots, x_7 , se aplică biții numărului pentru care se generează paritatea iar la intrările paritate/imparitate se aplică semnalele unu/zero pentru

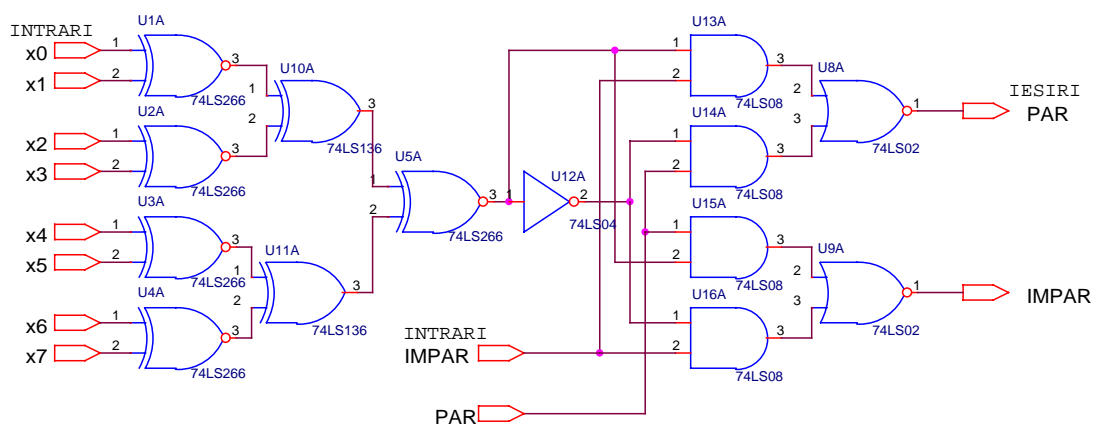
generarea parității pare, respectiv zero/unu pentru generarea parității impare.

În regim de verificare a parității, la intrările x_0, x_1, \dots, x_7 , se aplică biții numărului a cărui paritate se verifică iar pe intrările paritate/imparitate se aplică semnalele de paritate pară sau impară, în funcție de paritatea ce se dorește a fi verificată, așa cum s-a arătat mai sus. La ieșirile de

paritate/imparitate trebuie să apară, în cazul în care valoarea determinată a parității corespunde cu cea aplicată pe intrările paritate/imparitate (nu s-au detectat erori), unu/zero în

TABELUL 2.7.

Numărul de biți 1 la intrările x_0, x_1, \dots, x_n	Intrări		Ieșiri	
	Paritate pară	Paritate impară	Paritate pară	Paritate impară
Par	H (high)	L	H	L
Impar	H (high)	L	L	H
Par	L (low)	H	L	H
Impar	L (low)	H	H	L
Indiferent	H (high)	H	L	L
indiferent	L (low)	L	H	H



2.27. Circuitul pentru generarea și verificarea parității

cazul verificării parității pare, respectiv zero/unu în cazul verificării parității impare.

Un exemplu de circuit integrat pentru generarea/verificarea parității este circuitul 74LS280 a cărui foaie de catalog este prezentată în anexa 8.

2.9.3. Sumatoare

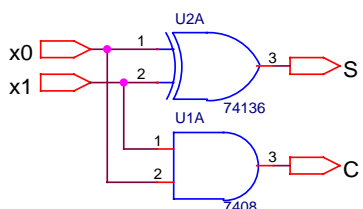


Figura 2.28. Semisumatorul de un bit

Sumatoarele sunt circuite logice combinaționale care realizează adunarea a două numere binare cu un anumit număr de biți.

De exemplu, semisumatorul elementar este un circuit logic combinațional cu două ieșiri, care adună doi biți de date și furnizează la ieșire un bit al sumei (S) și un bit de transport (C). Schema electrică a semisumatorului de un bit este prezentată în figura 2.28.

Ecuțiile logice ale circuitului se pot scrie (2.11) :

$$\begin{aligned} S &= x_0 \oplus x_1 \\ C &= x_0 \cdot x_1 \end{aligned} \tag{2.11}$$

TABELUL 2.8.

x_0	x_1	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tabelul de adevăr al semisumatorului de un bit este prezentat în tabelul 2.8.

Sumatorul elementar complet un circuit logic combinațional care adună trei biți : doi biți de date și unul de transport la intrare și furnizează la ieșire un bit sumă și unul de transport.

În figura 2.29 se prezintă schema unui astfel de sumator iar în figura 2.30 schema bloc.

Ecuțiile sumatorului elementar complet pot fi deduse din schema logică a circuitului. Se propune ca exercițiu deducerea acestor ecuații.

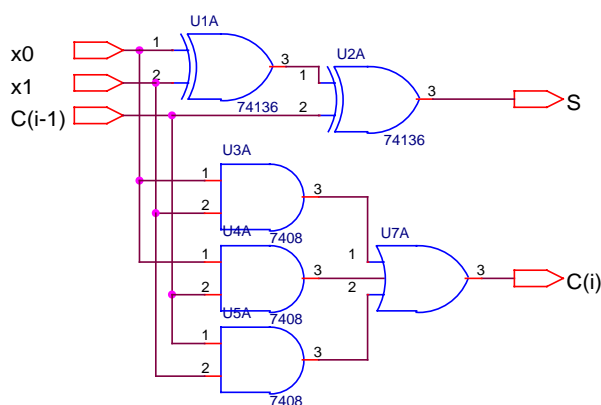


Figura 2.29. Sumator elementar complet de doi biți.

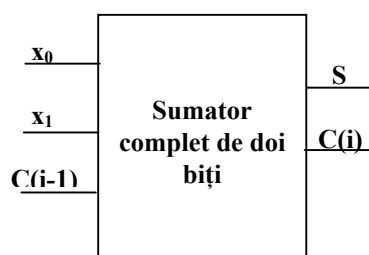


Figura 2.30. Schema bloc a sumatorului elementar complet.

Un exemplu de circuit integrat, sumator complet pe patru biți, este circuitul 74LS83 a cărui foaie de catalog este prezentată în anexa 9.

CAPITOLUL 3

Circuite logice secvențiale

3.1. Introducere

Circuitele logice secvențiale (CLS) sunt circuite logice la care starea ieșirilor la un moment dat depinde de starea intrărilor la acel moment de timp și de stările anterioare ale circuitului. Din acest motiv se spune că circuitele logice secvențiale sunt circuite cu memorie.

Schema bloc a unui circuit logic secvențial este prezentată în figura 3.1.

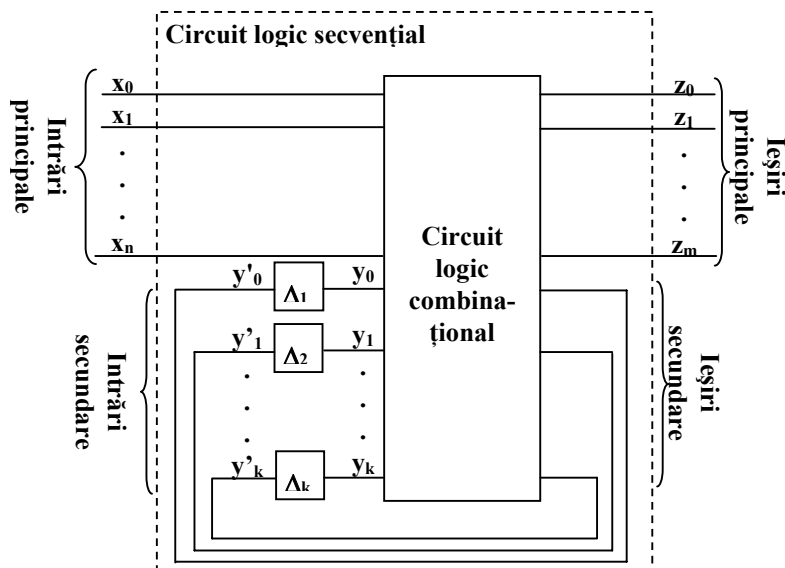


Figura 3.1. Reprezentarea schematică a unui circuit logic secvențial

Circuitul logic secvențial (CLS) se obține dintr-un circuit logic combinațional (CLC) la care se adaugă o serie de elemente de circuit secundare (memorie), care reprezintă conexiuni de reacție inversă.

Circuitul logic secvențial reprezentat în figura 3.1 are n intrări principale sau primare, notate cu x_0, x_1, \dots, x_n , accesibile din exterior și m ieșiri principale sau primare, notate cu z_0, z_1, \dots, z_m , de asemenea accesibile din exterior.

Memoria circuitului secvențial este realizată de către elementele de circuit secundare, ale căror ieșiri y'_0, y'_1, \dots, y'_k , sunt aduse prin legături inverse la intrarea circuitului, formând intrările secundare ale circuitului secvențial, y_0, y_1, \dots, y_k . Starea ieșirilor y'_0, y'_1, \dots, y'_k , formează starea (internă) următoare a circuitului, iar starea intrărilor y_0, y_1, \dots, y_k , formează starea (internă) prezentă a circuitului secvențial. Starea următoare devine stare prezentă după un

timp determinat de întârzierile cauzate de către elementele de întârziere special introduse în buclele de reacție sau de întârzierile de propagare a semnalelor, inerente circuitelor fizice.

Relația ce există între intrare, ieșire, starea prezentă și starea următoare poate fi exprimată fie prin tabele de stare, fie prin diagrame de stare.

Ieșirile unui circuit de comutare secvențial pot fi exprimate în general ca funcții booleene de intrările și starea internă a acestuia :

$$\begin{aligned} z_1 &= z_1(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_k) \\ z_2 &= z_2(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_k) \\ &\vdots \\ z_m &= z_m(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_k) \end{aligned} \quad (3.1)$$

Pentru a descrie complet comportarea unui circuit secvențial trebuie să se specifice pe lângă ecuațiile ieșirilor (3.1) și comportarea sa internă, adică să se indice corespondența între starea intrărilor principale și secundare, denumită și starea totală a circuitului, și starea următoare a circuitului.

Se presupune în cele ce urmează că circuitul are o comportare deterministă, adică pentru o anumită stare a intrărilor (un set de semnale $\mathbf{x}_0, \mathbf{x}_1, \dots, \mathbf{x}_n$) și o anumită stare internă (un set de valori pentru $\mathbf{y}_0, \mathbf{y}_1, \dots, \mathbf{y}_k$) există o singură tranziție posibilă, într-o stare $\mathbf{y}'_0, \mathbf{y}'_1, \dots, \mathbf{y}'_k$. În acest caz, o variabilă de stare \mathbf{y}'_k poate fi exprimată ca o funcție booleană de intrările circuitului și starea sa internă :

$$\begin{aligned} y'_1 &= y'_1(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_k) \\ y'_2 &= y'_2(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_k) \\ &\vdots \\ y'_k &= y'_k(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_k) \end{aligned} \quad (3.2)$$

Ecuațiile (3.2) poartă denumirea de ecuațiile stării următoare. Circuitul secvențial se află într-o stare stabilă atunci când pentru o anumită stare a intrărilor, starea sa (internă) prezentă este identică cu starea (internă) următoare, adică $y_i = y'_i$, pentru $i = 1, 2, \dots, k$. Dacă pentru o anumită stare a intrărilor, starea prezentă a circuitului diferă de starea sa următoare, adică $y_i \neq y'_i$ cel puțin pentru un anumit $i \in \{1, 2, \dots, k\}$, circuitul se află într-o stare instabilă. Pentru ca un circuit secvențial să se comporte determinist, trebuie ca pentru fiecare stare posibilă a intrărilor să existe cel puțin o stare internă stabilă.

Circuitele secvențiale la care ecuațiile ieșirii sunt de forma (3.1) iar ecuațiile stării următoare sunt de forma (3.2) se numesc circuite secvențiale de tipul Mealy, iar modelul lor matematic, automat de tipul Mealy.

Există circuite secvențiale la care stările ieșirilor nu depind de stările intrărilor principale, ci numai de stările intrărilor secundare, adică de starea internă a circuitului. În acest caz, ecuațiile ieșirii (3.1) se transformă în ecuațiile:

$$\begin{aligned}
z_1 &= z_1(y_1, y_2, \dots, y_k) \\
z_2 &= z_2(y_1, y_2, \dots, y_k) \\
&\vdots \\
z_m &= z_m(y_1, y_2, \dots, y_k)
\end{aligned}
\tag{3.3}$$

Circuitele secvențiale la care ecuațiile ieșirii sunt de forma (3.3) iar ecuațiile stării următoare de forma (3.2) se numesc circuite secvențiale de tipul Moore, iar modelul lor matematic, automat de tipul Moore.

Atunci când numărul de stări interne ale unui circuit secvențial este finit, circuitul este denumit circuit secvențial finit iar modelul său matematic, automat finit.

În continuare se vor trata numai circuitele secvențiale binare, la care fiecare dintre variabilele de intrare, de ieșire, respectiv de stare pot avea numai două valori, zero și unu, cu număr finit de stări.

Temporizarea semnalelor este foarte importantă în circuitele secvențiale. În acest sens, circuitele logice secvențiale sunt clasificate în două categorii:

- circuite secvențiale asincrone;
- circuite secvențiale sincrone.

În circuitele secvențiale *asincrone* starea curentă (intrările secundare provenite pe calea de reacție) poate fi modificată în orice moment ca efect al schimbării variabilelor aplicate la intrarea primară. Elementul de memorie de pe calea de reacție este în mod obișnuit un dispozitiv de întârziere; întârzierea este realizată prin propagarea semnalului printr-un șir de porți logice. Întârzierea prin porțile logice nu poate fi controlată și de aceea circuitele secvențiale asincrone pot deveni instabile. Proiectarea circuitelor secvențiale asincrone este complicată, de aceea majoritatea circuitelor secvențiale utilizate sunt de tip sincron. La circuitele logice secvențiale sincrone spre deosebire de cele asincrone, apare o intrare suplimentară, intrarea semnalului de ceas.

Circuitele secvențiale *sincrone* sunt circuite la care schimbarea stării și a ieșirii are loc la momente de timp bine definite. Aceste momente sunt asociate cu frontul crescător sau cu frontul căzător al unui semnal de temporizare cunoscut ca semnal de *ceas (clock, tact)*. În mod obișnuit semnalul de *ceas (clock)* este un semnal dreptunghiular ale cărui elemente sunt redate în fig. 3.2.

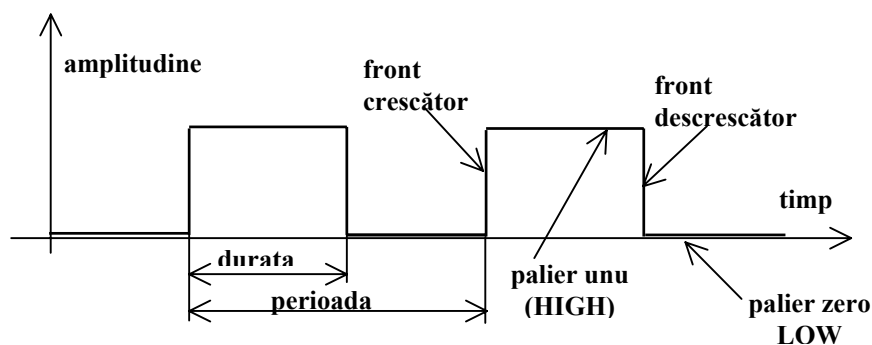


Figura 3.2. Elementele semnalului de ceas.

Când semnalul de ceas face o tranziție de la zero la unu, avem un **front crescător**; când semnalul de ceas face o tranziție de la unu la zero, avem un **front căzător** (sau descrescător).

Din diagrama de timp a semnalului se poate observa că **perioada** semnalului de clock este intervalul de timp dintre două tranziții succesive în același sens (între două fronturi crescătoare sau între două fronturi căzătoare).

Tranzițiile în circuitele secvențiale sincrone au loc doar în momentele când semnalul de clock are fie un front crescător, fie un front căzător. La ieșirea unui circuit sincron nu are loc nici o schimbare între două fronturi succesive, indiferent de valoarea variabilelor aplicate la intrare.

Frecvența semnalului de ceas este inversul perioadei semnalului de ceas.

Lățimea semnalului de ceas este definită ca fiind intervalul de timp în care semnalul are valoarea unu. Raportul dintre lățimea semnalului și perioada acestuia este numit **factor de umplere**.

Un semnal de clock este **activ pe front crescător** dacă starea circuitului sincron se schimbă pe frontul crescător al semnalului de clock. Dacă starea circuitului sincron se schimbă pe frontul căzător, semnalul de clock este **activ pe front căzător**.

Cel mai simplu circuit secvențial este un dispozitiv capabil să memoreze un bit de informație; circuitul este cunoscut ca bistabil sincron sau *flip-flop*.

3.2. Circuite basculante bistabile (CBB)

Circuitele basculante bistabile sunt circuite secvențiale elementare cu numai două stări stabile, folosite ca elemente de memorie pentru circuitele secvențiale mai complexe, în scopul memorării stării interne a acestora. Circuitele basculante bistabile pot fi construite pentru a funcționa fie numai în regim asincron, fie numai în regim sincron, fie atât în regim asincron cât și în regim sincron, funcție de tipul circuitelor secvențiale în care sunt folosite. De obicei, pentru circuitele secvențiale sincrone se folosesc ca elemente de memorie, circuite basculante, care pot funcționa atât în regim sincron cât și asincron, intrările asincrone fiind utilizate pentru aducerea circuitului în starea inițială independent de impulsul de tact.

După modul de acțiune a impulsurilor de ceas, pot fi distinse: circuite basculante bistabile asincrone sau statice, care nu sunt comandate prin impuls de ceas și circuite basculante bistabile comandate prin impuls de ceas.

3.2.1. Circuite basculante bistabile (CBB) asincrone

3.2.1.1. Circuite basculante bistabile asincrone de tip RS

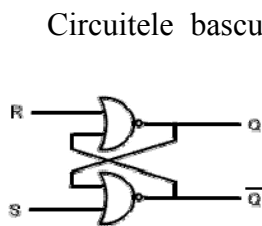


Figura 3.3. Latch SR

Circuitele basculante bistabile de tip RS, numite și circuite **latch** sau circuite de zăvorâre sunt circuite logice secvențiale capabile să stocheze un bit de informație (o cifră "0" sau o cifră "1"). Din cauza capacității de stocare circuitul latch mai este numit și dispozitiv bistabil de memorare.

Circuitul latch Set-Reset, numit pe scurt latch SR, are două intrări (S și R), o ieșire nenegată (Q) și o ieșire negată (\bar{Q})

ca în figura 3.3. Când ieșirea Q este în starea unu se spune că circuitul latch este *setat*; când ieșirea Q este în starea zero, se spune că circuitul latch este șters sau *resetat*.

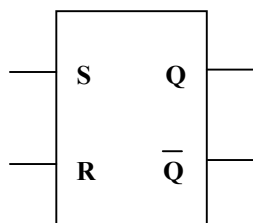


Figura 3.4.
Simbolul unui latch SR

Simbolul unui latch SR este prezentat în figura 3.4.

Tabelul de adevăr indică modul în care se modifică ieșirile în raport cu schimbările survenite la intrări. Tabelul de adevăr al unui latch SR este redat în tabelul 3.1.

Când ambele intrări S și R sunt în zero logic, nu are loc nici o modificare în starea circuitului; se spune că circuitul păstrează starea. Când S=0 și R=1, ieșirea este ștersă, circuitul latch intră în starea *reset*, iar operația este numită *resetare*. Când S=1 și R=0, ieșirea este *setată*, iar circuitul latch intră în starea *setat*. Când ambele intrări S și R sunt 1, circuitul devine instabil - combinația R=1 și S=1 nu este

permisă la acest circuit.

TABELUL 3.1

S	R	Q	\bar{Q}	Operație
0	0	Q anterior	\bar{Q} anterior	Menținere
0	1	0	1	Reset
1	0	1	0	Set
1	1	?	?	Instabil

Introducând o variabilă de timp în tabelul de adevăr, este posibil să fie folosite combinațiile la intrare și starea prezentă a circuitului la momentul t (Q_t) pentru a determina starea următoare a circuitului la momentul t+1 (Q_{t+1}). Acest tip de tabel este numit tabel caracteristic și este ilustrat în tabelul 3.2.

TABELUL 3.2

Intrare curentă		Stare prezentă	Stare următoare	Operație
S	R	Q_t	Q_{t+1}	
0	0	0	0	Menținere
0	0	1	1	Menținere
0	1	0	0	Reset
0	1	1	0	Reset
1	0	0	1	Set
1	0	1	1	Set
1	1	0	Oscilații	Nepermis
1	1	1	Oscilații	Nepermis

TABELUL 3.3

Stare prezentă	Intrare		Stare următoare
	Q_t	S	R
0	0	x	0
0	1	0	1
1	0	1	0
1	x	0	1

(x=indiferent, 0 sau 1)

Un alt tip de tabel utilizat, echivalent cu tabelul caracteristic, este tabelul de excitație; acesta redă valorile variabilelor de intrare pentru toate tranzițiile posibile la ieșire (tabelul 3.3).

În ceea ce privește starea nepermisă pentru variabilele de intrare (S=1, R=1), este în sarcina proiectantului ca această combinație să nu apară niciodată la intrare.

3.2.1.2. Circuite basculante bistabile asincrone de tip JK

Pentru a evita nedeterminările ce apar în urma aplicării al intrările **S** și **R** nivelul ridicat unu, $S = R = 1$, se poate modifica schema circuitului astfel încât el să aibă o evoluție cunoscută și în cazul unei astfel de comenzi.

Schema bloc a unui bistabil de tip JK este prezentată în figura 3.5 iar tabelul caracteristic în tabelul 3.4.

TABELUL 3.4

Intrare curentă		Stare prezentă	Stare următoare	Operație
J	K	Q_t	Q_{t+1}	
0	0	0	0	Mentținere
0	0	1	1	Mentținere
0	1	0	0	Reset
0	1	1	0	Reset
1	0	0	1	Set
1	0	1	1	Set
1	1	0	1	Basculează între stări
1	1	1	0	Basculează între stări

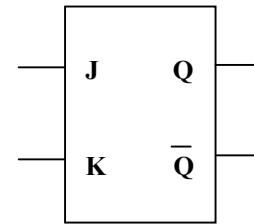


Figura 3.5.
Simbolul unui CBB de tip JK

Așa cum rezultă din cele arătate mai sus, la circuitul basculant bistabil JK, intrarea J este echivalentă cu intrarea S iar intrarea K este echivalentă cu intrarea R de la bistabilul RS.

3.2.1.3. Circuite basculante bistabile asincrone de tip T

Circuitul basculant bistabil de tip T este prezentat în figura 3.6 iar tabelul caracteristic în tabelul 3.5.

TABELUL 3.5

Intrare curentă	Stare prezentă	Stare următoare	Operație
T	Q_t	Q_{t+1}	
0	0	0	Mentținere
0	1	1	Mentținere
1	0	1	Basculează între stări
1	1	0	Basculează între stări

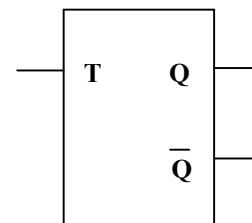


Figura 3.6.
Simbolul unui CBB de tip T

Acest bistabil este folosit în special în circuitele de numărare secvențiale, datorită proprietății sale de divizare la doi a numărului de impulsuri aplicate la intrarea sa (figura 3.7).

Bistabilul de tip T (T = trigger) nu este disponibil ca atare, dar este realizat prin intermediul altor bistabili (figura 3.8).

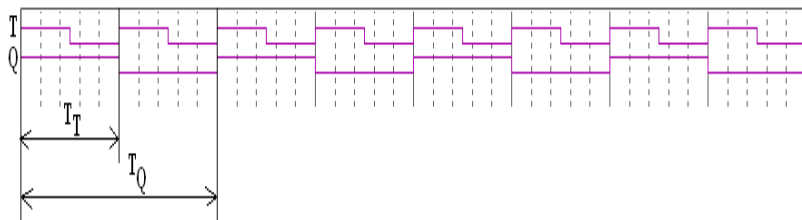


Figura 3.7. Divizarea frecvenței unui semnal aplicat la intrarea unui bistabil T

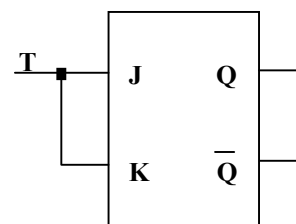
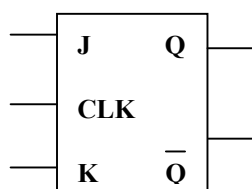


Figura 3.8. Bistabil T realizat cu bistabil JK

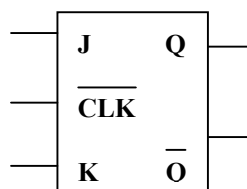
3.2.2. Circuite basculante bistabile (CBB) sincrone

În cazul circuitelor basculante bistabile sincrone apare suplimentar la intrarea acestora semnalul de tact sau de ceas (clock). Schimbarea stării ieșirii unui astfel de circuit basculant bistabil se face în funcție de semnalul de tact (ceas) care este semnalul de comandă. Comanda se poate face pe palier sau pe front.

În cazul comenzii pe palier, simbolul folosit pentru semnalul de tact este prezentat în figura 3.9. În cazul comenzii pe palier este important ca semnalele aplicate pe intrările circuitului basculant bistabil să fie stabile în momentul începerii palierului. În caz contrar se pot produce mai multe tranziții pe un singur palier.



Activ pe palier HIGH



Activ pe palier LOW

Figura 3.9. Simbolul pentru bistabili JK activi pe palier

Principala diferență între circuitele latch și circuitele flip-flop este metoda folosită pentru a determina modificări de stare la ieșire :

- circuitele latch sunt active pe palier; ieșirile circuitului comută la nivel de tensiune (palier) și nu la o tranziție de semnal ;
- circuitele flip-flop sunt active pe front; ieșirile circuitului comută la tranziția semnalului, fie din 1 în 0 (front negativ) fie din 0 în 1 (front pozitiv).

În simbolul logic, circuitele active pe front sunt reprezentate cu un triunghi mic, în interiorul blocului, la intrarea de clock. Prezența sau absența unui cerculeț în afara blocului, la intrarea de clock indică tipul frontului activ (front negativ, respectiv front pozitiv).

Simbolurile logice utilizate pentru circuite active pe front sunt prezentate în fig. 3.10.



Activ pe front pozitiv
(crescător)

Activ pe front negativ
(descrescător)

Figura 3.10. Simbolul pentru bistabili JK activi pe front

3.2.2.1. Circuite basculante bistabile sincrone de tip D

Circuitele basculante bistabile sincrone de tip D sunt circuite secvențiale capabile să memoreze (stocaze) un bit de informație (o cifră binară).

Simbolul circuitului basculant bistabil sincron, cu comutare pe frontul căzător al semnalului de ceas, de tip D, este prezentat în figura 3.11 iar modul de lucru în tabelul 3.6.

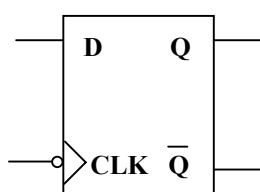


Figura 3.11. Simbolul CBB tip D

TABELUL 3.6.

D_n	CLK	Q_n	\overline{Q}_n	Operație
0	↓	0	1	Reset – memorează 0
1	↓	1	0	Set - memorează 1
x	0	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea
x	1	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea

Modul în care operează un circuit basculant bistabil sincron de tip D este ilustrat, de asemenea, prin diagrama de semnal din fig. 3.12.

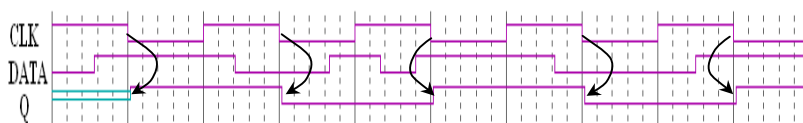


Figura 3.12. Diagrama de semnal pentru un CBB de tip D

În figura 3.12, semnalul la ieșirea bistabilului de tip D (semnalul notat cu Q) se modifică pe frontul căzător al semnalului de ceas (CLK). În acest fel, dacă la intrarea D circuitului basculant bistabil se produce o modificare a semnalului aceasta nu se va reflecta la ieșirea bistabilului decât în momentul comutării pe front descrescător a semnalului de tact (CLK). Din acest motiv, pot exista la intrarea D a bistabilului, comutări care nu se vor reflecta în semnalul de ieșire (Q).

Așadar, așa cum rezultă din tabelul 3.6 și din figura 3.12, semnalul de ieșire copiază semnalul de intrare la tranziția din unu în zero a semnalului de tact și-l memorează până la

următoarea eșantionare a semnalului de intrare (următoarea tranziție pe front descrescător a semnalului de tact).

Porțiunea de început a semnalului de ieșire Q , până în momentul comutării pe front negativ a semnalului de - ceas când se copiază valoarea logică a semnalului de intrare, are o valoare necunoscută (unu sau zero) și din acest motiv este reprezentată în diagrama de semnal cu două linii paralele.

3.2.2.2. Circuite basculante bistabile sincrone de tip JK

Cel mai folosit tip de circuit basculant bistabil este cel de tip **JK**. Funcționarea acestuia este identică cu cea a circuitelor basculante bistabile de tip **SR** pentru stările de setare, resetare și menținere. Intrarea J operează ca intrarea S , iar intrarea K operează ca intrarea R . Diferența între acestea este reprezentată de faptul că circuitele **JK** nu au stare nepermisă la intrare. Simbolul unui circuit basculant bistabil **JK** cu comutare pe front este redat în fig. 3.10.

Tabelul de adevăr care definește funcționarea circuitului basculant bistabil de tip **JK** cu comutare pe front negativ este tabelul 3.7.

TABELUL 3.7.

$J_n K_n$	CLK	Q_n	\overline{Q}_n	Operație
00	↓	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea
01	↓	0	1	Reset
10	↓	1	0	Set
11	↓	\overline{Q}_{n-1}	Q_{n-1}	Basculează între stări
xx	0	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea
xx	1	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea

Un exemplu de circuit integrat, circuit basculant bistabil de tip JK, este circuitul 74LS73 a cărei foaie de catalog este prezentată în anexa 10.

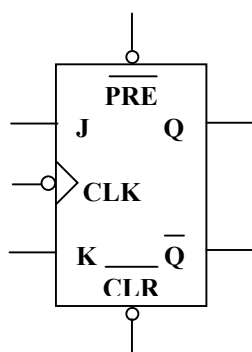


Figura 3.13. Simbol logic al unui flip-flop JK activ pe front pozitiv cu intrări asincrone active în 0

3.2.2.3. Circuite basculante bistabile sincrone cu intrări asincrone

Circuitele basculante bistabile prezentate până aici sunt circuite ale căror intrări acționează sincron cu un front activ al semnalului aplicat la intrarea clock. Cele mai multe circuite flip-flop integrate au și intrări asincrone; acestea influențează starea circuitului independent de semnalul de clock. Intrările sunt numite de către fabricanți înscriere (*preset*) și ștergere (*clear*).

Intrările asincrone sunt de obicei active în zero logic; un zero aplicat la intrarea de înscriere va determina comutarea imediată a ieșirii în unu logic ($Q=1$), și un zero logic aplicat la intrarea de ștergere va determina comutarea imediată a ieșirii în

zero logic ($Q=0$). Când intrările sunt active pe zero logic, acestea sunt notate \overline{PRE} și \overline{CLR} . Simbolul logic al unui flip-flop JK activ pe front negativ cu intrări asincrone active în zero logic este prezentat în fig. 3.13.

3.3. Numărătoare

3.3.1. Introducere

Un numărător reprezintă un circuit logic secvențial care primește la intrare un semnal periodic și furnizează la ieșire un anumit număr de stări distincte.

Cele mai cunoscute sunt numărătoarele binare care furnizează la ieșire o secvență de numere binare.

Un numărător format cu n celule (circuite basculante bistabile) poate avea cel mult $p=2^n$ stări. Numărul de stări distincte posibile este cunoscut ca **număr modulo**.

Un numărător modulo- p poate fi referit și ca **divizor cu p** deoarece la ieșirea circuitului basculant bistabil cel mai îndepărtat de intrarea de semnal se produce un puls la fiecare p pulsuri ale semnalului de intrare aplicat primei celule.

Un numărător cu n celule va fi un numărător modulo 2^n .

3.3.2. Numărătoare asincrone

Numărătoarele asincrone pot fi realizate atât cu circuite basculante bistabile asincrone cât și sincrone.

Un numărător asincron de trei biți realizat cu circuite basculante bistabile sincrone este arătat în figura 3.14 iar formele de undă ale numărătorului în figura 3.15.

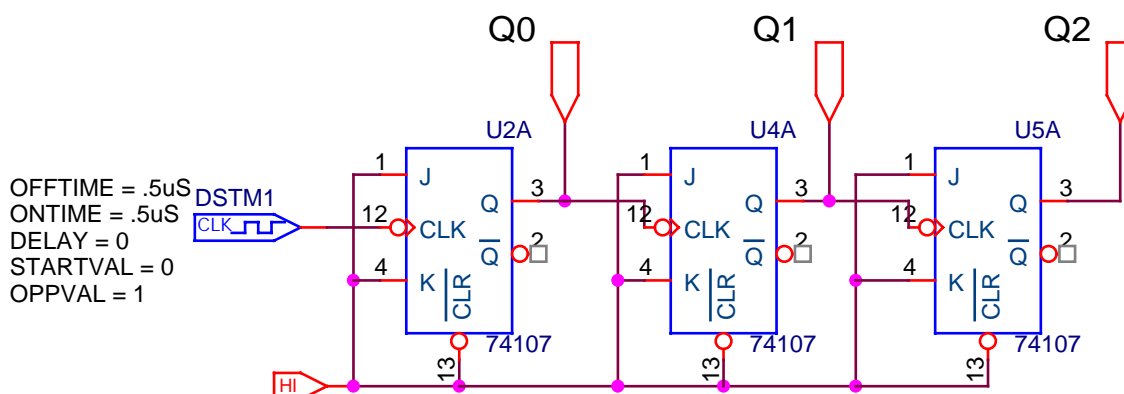


Figura 3.14. Numărător binar asincron, direct, pe trei biți.

Numărătorul constă din trei circuite basculante bistabile sincrone, conectate asincron în sensul că ieșirea Q a unui bistabil este conectată la intrarea de tact CLK a următorului bistabil și are trei biți de ieșire (Q_0 – bitul de rangul cel mai mic, cel mai puțin semnificativ bit, Q_1 și Q_2 – cel mai semnificativ bit); circuitul este un numărător pe trei nivele. Semnalul clock aplicat la intrare nu acționează decât asupra primului bistabil și din

această cauză numărătorul este asincron. Circuitele flip-flop sunt active pe frontul negativ al semnalului de tact. Intrările J și k sunt conectate împreună la unu logic, astfel bistabilele vor comuta alternativ dintr-o stare în cealaltă.

În diagrama de timp a numărătorului binar asincron din figura 3.15 s-a presupus că starea inițială a numărătorului este zero, adică: $Q_2 = 0, Q_1 = 0, Q_0 = 0$. Secvența de numărare este prezentată în figura 3.16 unde Q_0 este LSB (*Last Significant bit*).

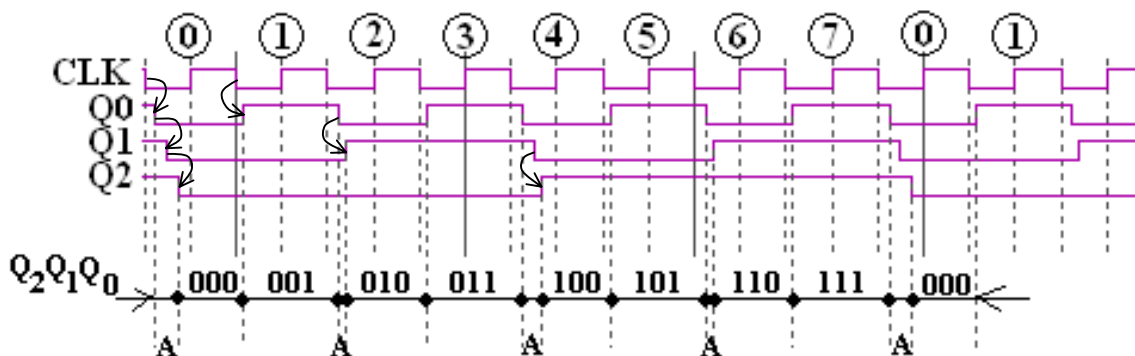


Figura 3.15. Diagrama de timp a numărătorului asincron pe trei biți.

Circuitul este un numărător direct modulo opt. Direct se referă la ordinea de numărare - numărare crescătoare.

Semnalul de ceas (clock) aplicat din exterior este conectat doar la intrarea de sincronizare a primului bistabil. Primul bistabil va schimba starea pe fiecare front descrescător al impulsului de ceas, iar al doilea bistabil va schimba starea doar atunci când ieșirea Q a primului bistabil va avea o tranziție din unu în zero. Din cauza întârzierilor inerente de propagare prin circuitele basculante bistabile, tranzițiile ieșirii Q nu vor avea niciodată loc în același moment cu tranzițiile semnalului clock aplicat la intrare (zonele notate cu A pe diagrama din figura 3.15), prin urmare, circuitele basculante nu vor comuta sincron, ci acestea vor opera în mod asincron. Pe duratele notate cu A în diagrama din figura 3.15 starea ieșirii numărătorului este necontrolabilă neputându-se preciza care este valoarea ieșirilor $Q_2Q_1Q_0$.

Numărătoarele asincrone sunt cunoscute și ca numărătoare cu propagare deoarece efectul semnalului de ceas aplicat primei celule nu este resimțit imediat de circuitul basculant bistabil de la nivelul următor, fapt datorat întârzierilor de propagare.

Din analiza formelor de undă se poate observa că ieșirea Q_0 este ieșirea mai puțin semnificativă (LSB) și că frecvența semnalului la această ieșire este egală cu $1/2$ din frecvența semnalului de intrare (clock). Se poate observa în continuare că ieșirea Q_2 este ieșirea mai semnificativă (MSB) și frecvența acestui semnal este $1/8$ din frecvența semnalului de la

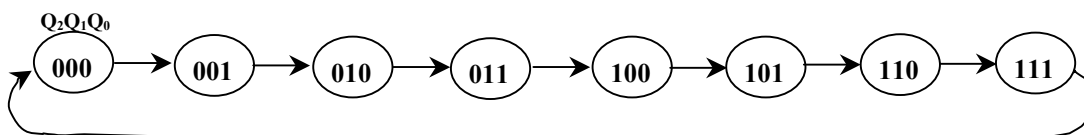


Figura 16. Secvența stărilor la ieșirea numărătorului binar pe trei biți.

intrare.

Dacă modificăm circuitul din figura 3.14 și conectăm ieșirea \bar{Q} a bistabilului precedent la intrarea CLK a bistabilului următor, se obține circuitul din figura 3.17.

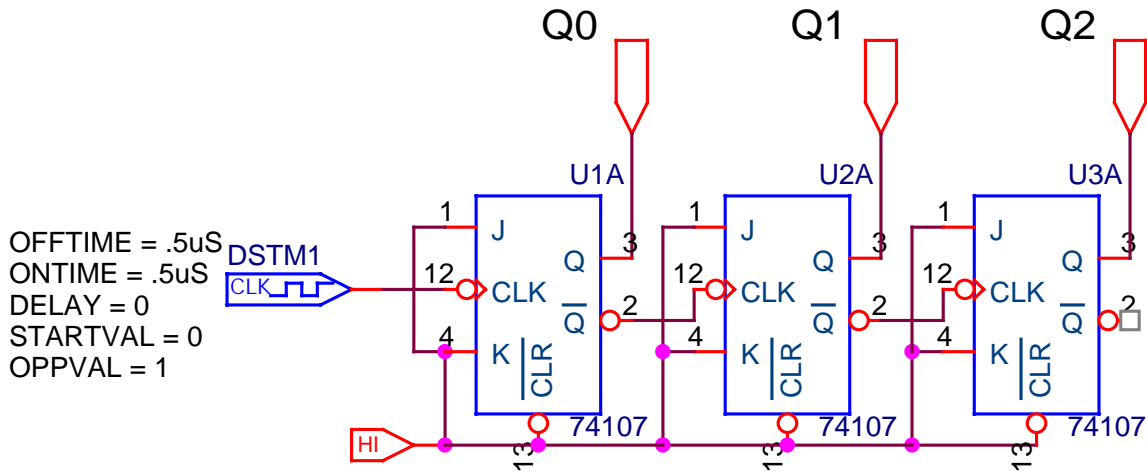


Figura 3.17. Numărător binar asincron, invers.

Diagrama de timp a circuitului din figura 3.17 este prezentată în figura 3.18.

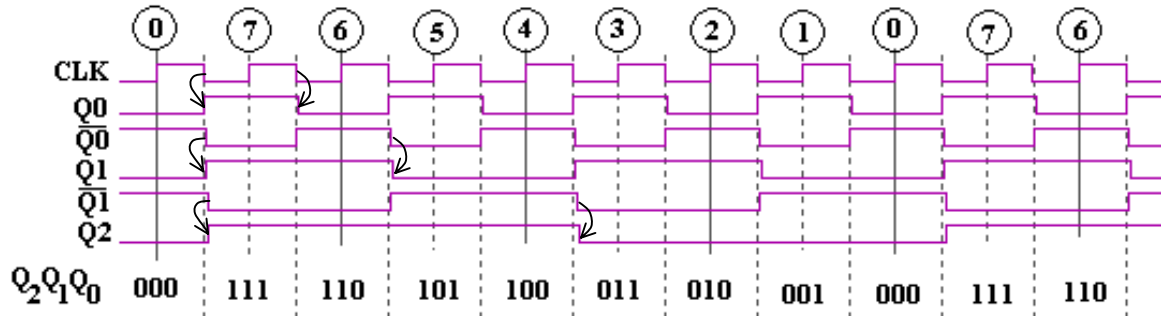


Figura 3.18. Diagrama de timp a numărătorului binar asincron invers.

După cum se vede din figura 3.18, secvența de numărare pentru numărătorul din figura 3.18 este: 111, 110, 101, 100, 011, 010, 001, 000, 111, ..., adică pe frontul căzător al fiecărui impuls de tact, numărătorul generează secvența numerelor naturale în ordine inversă. Din acest motiv un astfel de numărător se numește numărător binar asincron invers. Datorită faptului că la intrarea de tact CLK a bistabilului următor se leagă ieșirea negativă \bar{Q} a bistabilului anterior, bistabilul următor va comuta pe frontul negativ al semnalului de pe această ieșire. Dacă privim diagrama din figura 3.18 putem spune de asemenea că bistabilul următor comută pe frontul *pozitiv* al semnalului de pe ieșirea Q a bistabilului precedent.

Combinând cele două scheme se poate obține un numărător binar reversibil (figura 3.19). Un astfel de numărător are o intrare suplimentară $UP/DOWN$ prin intermediul căreia

se poate comanda numărarea directă (UP) sau inversă (DOWN) a circuitului.

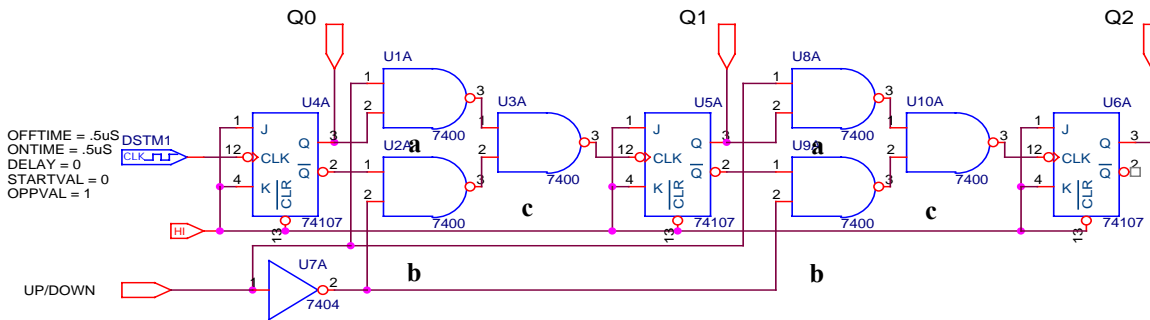


Figura 3.19. Numărător binar asincron, reversibil, cu trei biți.

Ecuția circuitului format cu porțile *a*, *b* și *c* este dată de relația (3.4).

$$CLK = Q \cdot UP / \overline{DOWN} + \overline{Q} \cdot \overline{UP} / \overline{\overline{DOWN}} \quad (3.4)$$

Aplicând transformările De Morgan $y = x_1 + x_0 = \overline{\overline{x_1} \cdot \overline{x_0}}$, se obține:

$$CLK = \overline{\overline{Q \cdot UP / \overline{DOWN}} \cdot \overline{\overline{\overline{Q} \cdot \overline{UP} / \overline{\overline{DOWN}}}}} \quad (3.5)$$

Când semnalul UP / \overline{DOWN} are valoarea logică unu, poarta ȘI-NU notată cu *a* se deschide iar poarta notată cu *b* se blochează. Semnalul de la ieșirea *Q* a bistabilului anterior ajunge pe intrarea *CLK* a bistabilului următor și în felul acesta numărătorul numără direct.

Dacă semnalul UP / \overline{DOWN} are valoarea logică zero, poarta logică *a* se blochează iar poarta logică *b* se deschide iar numărătorul numără invers.

Numărătoarele asincrone exemplificate până acum sunt realizate cu bistabile sincrone de tip *JK* conectate ca bistabile de tip *T* (intrările *J* și *K* conectate împreună) deoarece acest tip de bistabil este cel mai răspândit. Atunci când numărătorul este realizat în varianta integrată se folosesc circuite basculante de tip *T*.

3.3.3. Numărătoare sincrone

Principalul dezavantaj al numărătoarelor asincrone este reprezentat de faptul că circuitele basculante bistabile ce compun numărătorul nu basculează simultan ceea ce duce la apariția unor stări necontrolate (figura 3.15). Dacă acest lucru influențează în mod negativ

funcționarea circuitului digital în care este folosit numărătorul, atunci numărătorul trebuie să fie de tip sincron, deoarece la acest tip de numărător toate circuitele basculante bistabile comută simultan.

Pentru a obține un numărător sincron se pot folosi atât circuite basculante bistabile asincrone cât și sincrone. Semnalul de comandă se aplică simultan tuturor bistabililor ce formează numărătorul, pe intrările J și K dacă bistabilii sunt de tip asincron sau pe intrările J și K și intrarea de ceas (CLK) dacă bistabilii sunt de tip sincron, conform relațiilor (3.6).

$$\begin{aligned}
 J_0 K_0 &= CLK \\
 J_1 K_1 &= Q_0 \cdot CLK \\
 J_2 K_2 &= Q_0 \cdot Q_1 \cdot CLK \\
 &\vdots \\
 J_n K_n &= Q_0 \cdot Q_1 \cdot Q_2 \cdots Q_{n-1} \cdot CLK
 \end{aligned}
 \tag{3.6}$$

unde indicele din relația (3.4) reprezintă rangul bistabilului din lanțul ce formează numărătorul, cel mai puțin semnificativ fiind cel de rang zero iar cel mai semnificativ fiind cel de rang n .

În figura 3.20 este prezentată o variantă de numărător binar sincron direct, de trei biți, la care semnalul de comandă se aplică atât pe intrările JK cât și pe intrarea CLK .

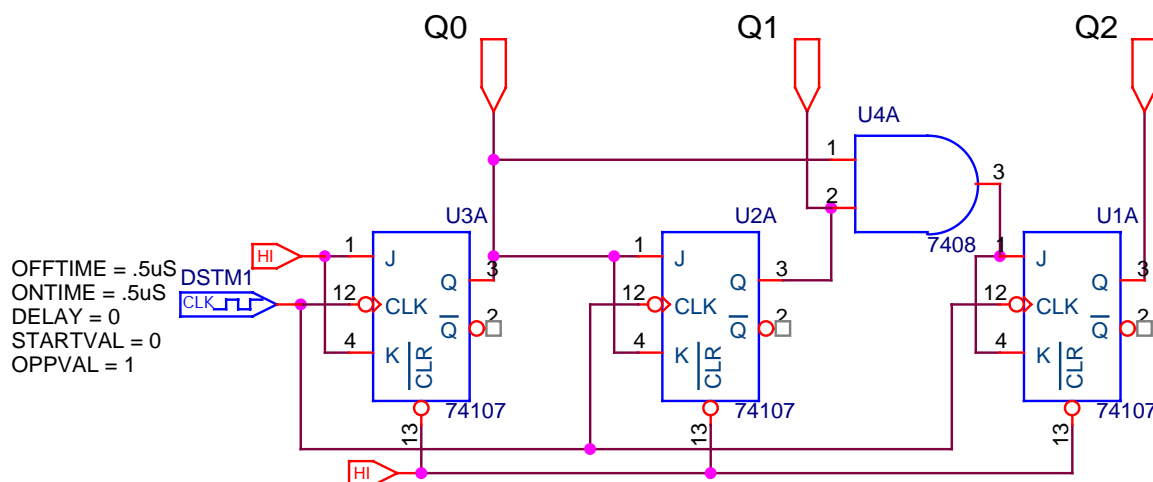


Figura 3.20. Numărător binar sincron, direct, de trei biți

În figura 3.20, primul bistabil, a cărui ieșire este notată cu Q_0 , va comuta pe fiecare front negativ al impulsului de tact CLK . Următorul bistabil, a cărui ieșire este notată cu Q_1 va comuta de asemenea la frontul negativ al impulsului de tact, atunci când semnalul Q_0 are valoarea logică unu iar bistabilul de rang maxim, a cărui ieșire este notată cu Q_2 va comuta de asemenea pe frontul negativ al semnalului de tact, atunci când semnalul $Q_0 Q_1$ are valoarea logică unu.

Diagrama de timp a numărătorului sincron, direct, pe trei biți este prezentată în figura 3.21.

Datorită faptului că bistabilele comută toate pe același semnal (semnalul de tact) nu mai apar întârzierile cumulative datorate propagării semnalului prin lanțul de circuite basculante bistabile. Singurele diferențe ce pot apărea la comutarea semnalelor de la ieșirea numărătorului se pot datora eventualelor diferențe între timpii de propagare a semnalelor prin circuitele basculante bistabile.

Dacă circuitele basculante bistabile din care este construit numărătorul sunt toate de același tip, atunci diferențele sunt neglijabile. În cazul în care numărătorul este realizat pe un

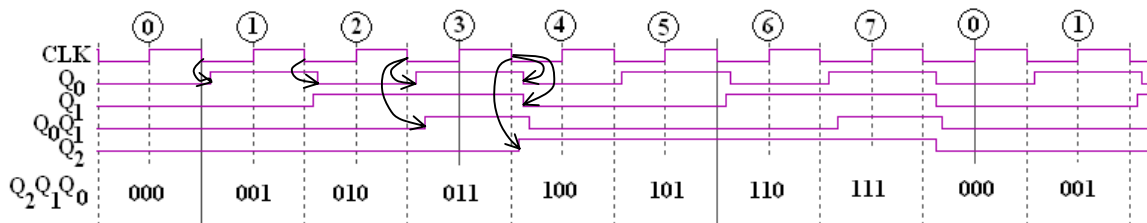


Figura 3.21. Diagrama de semnal a numărătorului sincron, direct de trei biți.

circuit integrat, sincronizarea semnalelor de ieșire ale numărătorului este foarte bună datorită faptului că într-un circuit integrat, diferențele între elementele componente sunt foarte mici.

În figura 3.22. se prezintă un numărător binar sincron invers, de trei biți la care semnalul de comandă se aplică numai pe intrarea de tact (*CLK*).

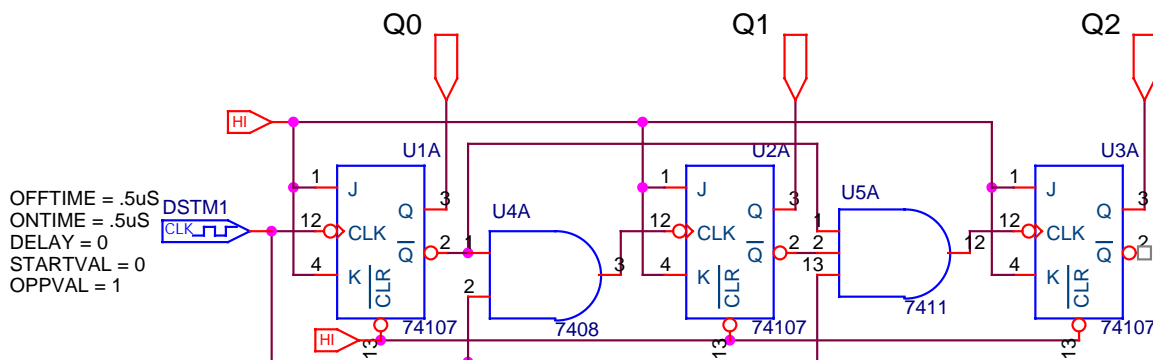


Figura 3.22. Numărător binar sincron, invers, de trei biți.

Combinând cele două scheme se obține un numărător reversibil de trei biți (figura 3.23).

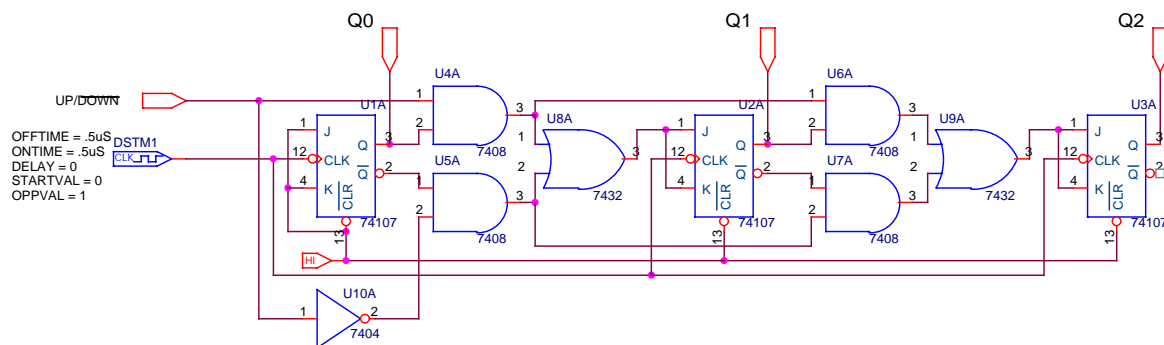


Figura 3.23. Numărător binar sincron, reversibil, de trei biți.

Un exemplu de circuit integrat, numărător binar reversibil, este circuitul 74LS169 a cărui foaie de catalog este prezentată în anexa 11.

3.3.4. Numărătoare divizoare prin m

Numărătoarele binare prezentate până în acest punct divizează semnalul de intrare cu până la p (modulo p), numărul p fiind o putere a lui doi. Dacă numărătorul are n celule, atunci $p=2^n$ – numărătorul binar de trei biți este un numărător modulo opt ($2^3 = 8$) sau divizor prin 8.

Pentru a construi un numărător divizor printr-o altă valoare decât o putere a lui doi se procedează așa cum se arată în continuare.

Un numărător divizor prin m , unde m este un număr diferit de o putere a lui doi, se realizează pornind de la un numărător binar direct, divizor prin p similar cu cele prezentate în paragrafele 3.3.2 și 3.3.3, unde p este un număr putere a lui doi de valoare superioară lui m .

De exemplu, dacă dorim să realizăm un numărător divizor prin zece se pornește de la un numărător binar divizor prin șaisprezece (realizat cu ajutorul a patru circuite basculante bistabile). Numărătorul folosit trebuie să fie realizat cu circuite basculante bistabile care să aibă o intrare asincronă de ștergere (\overline{CLR}) în așa fel încât numărătorul să genereze stările de la zero la $m-1$, iar apariția stării m să ducă la inițializarea numărătorului, adică întoarcerea acestuia în starea zero, așa cum se arată în figura 3.24. Un numărător care generează în ordine crescătoare stările de la zero la $m-1$, va avea m stări și deci va fi un numărător divizor prin m .

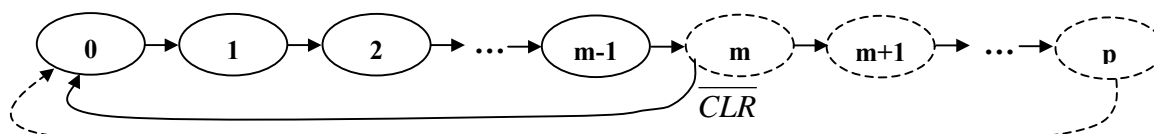


Figura 3.24. Secvența stărilor unui numărător divizor prin m (cu linie punctată sunt reprezentate stările eliminate prin inițializarea numărătorului)

Inițializarea numărătorului se face cu ajutorul unui circuit de selecție (paragraful 2.4) la intrările cărui se aplică semnalele de ieșire ale numărătorului. Ieșirea circuitului de selecție, care este conectată la intrările de inițializare a bistabililor, furnizează valoarea unu logic atunci când numărătorul generează o stare diferită de m și furnizează zero logic (valoare care duce la inițializarea bistabililor) pentru starea m la ieșirea numărătorului.

Revenind la exemplul nostru, numărătorul divizor prin zece ($m = 10_z$) este construit dintr-un numărător binar direct cu patru celule și un circuit de selecție pentru cifra zece (1010b) conectate așa cum se arată în figura 3.25.

Un astfel de numărător divizor prin m poate fi construit și cu ajutorul numărătoarelor inverse. În general sistemele cu microcontrolere sau microprocesoare folosesc astfel de numărătoare pentru contorizarea evenimentelor sau pentru măsurarea intervalelor de timp.

În situația în care se folosește un numărător invers, trebuie ținut cont de faptul că numărul de stări de la punctul inițial (valoarea zero) până la valoarea m la care se face inițializarea numărătorului diferă de numărul de stări în cazul numărătorului direct.

Astfel, în cazul numărătorului binar direct, de la starea inițială (zero) până la starea m la care se face inițializarea, sunt m stări distincte iar în numărătorului binar invers, de la starea inițială (zero) la starea m sunt $p-m$ stări, unde p reprezintă numărul maxim de stări a

numărătorului (de exemplu pentru un numărător cu patru bistabili $p = 16$).

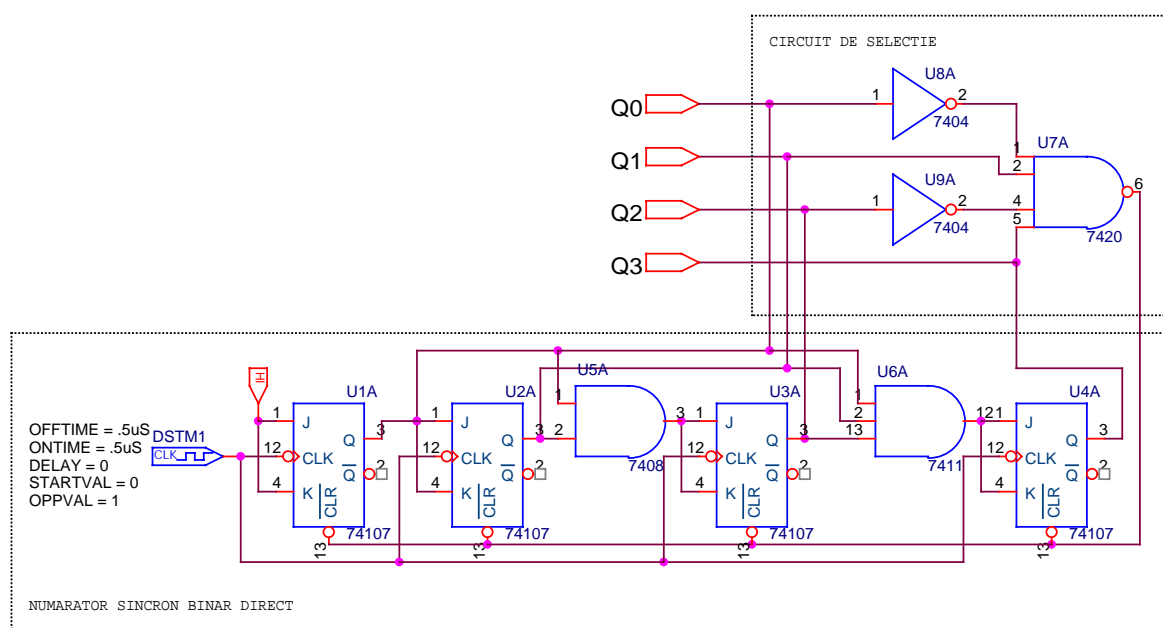


Figura 3.25. Numărător sincron divizor prin zece (numărător decadic).

Diagrama de semnal a numărătorului decadic este prezentată în figura 3.26.

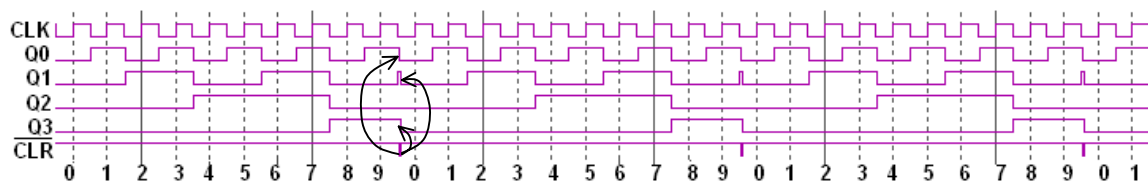


Figura 3.26. Diagrama de timp a numărătorului decadic

3.4. Registre paralele

Registreele paralele sunt circuite logice secvențiale pentru memorarea cuvintelor binare. Fiecare bit al unui cuvânt este depozitat într-o celulă flip-flop. Atât intrările cât și ieșirile sunt paralele, toți biții de date apar la ieșirile paralele imediat după ce a avut loc citirea simultană a intrărilor paralele. Circuitul din figura 3.27 este un registru paralel de 4 biți construit cu celule flip-flop D (realizate cu circuite basculante bistabile de tip *JK* sincrone).

Numărătorul 74LS169 prezentat în anexa 11 funcționează și ca registru paralel. În acest fel valoarea inițială a numărătorului poate fi modificată după dorință dacă circuitul reîncarcă această valoare atunci când ajunge la ultima stare (pe care o vom nota cu p). Pentru reîncărcarea în mod paralel a valorii prezente la intrare, atunci când numărătorul ajunge la ultima stare, se leagă ieșirea **RIPPLE CARRY OUT** la intrarea **ENABLE P** iar intrarea **LOAD** se leagă la intrarea de tact (**CLOCK**). Dacă valoarea încărcată o notăm cu i , atunci numărătorul va furniza la ieșire $p-i$ secvențe în numărare directă ($i, i+1, i+2, \dots, p-1, i, i+1 \dots$)

și $i+1$ secvențe în numărare inversă ($i, i-1, i-2, \dots, 0, i, i-1, \dots$). Acesta reprezintă un alt mod de realizare a unui numărător divizor prin m .

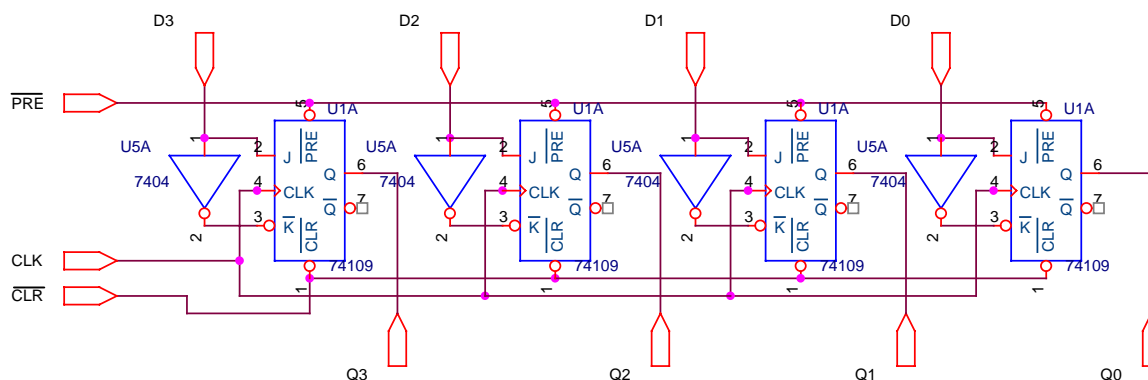


Figura 3.27. Registru paralel de patru biți.

Intrările D ale fiecărui flip-flop constituie intrările paralele; ieșirile Q ale fiecărui flip-flop constituie ieșirile paralele. De îndată ce registrul primește front activ de clock, toate datele de la intrările D sunt înscrise în celulele bistabile și apar la ieșirile Q corespunzătoare simultan. Ieșirile pot fi resetate în mod asincron dacă se aplică un zero logic la intrarea \overline{CLR} sau setate dacă se aplică un zero logic la intrarea \overline{PRE} .

Caracteristica reprezentativă a acestor registre este faptul că toate datele sunt memorate și transferate la ieșire sincron.

Un exemplu de circuit integrat, registru paralel, este circuitul 74LS175 a cărui foaie de catalog este prezentată în anexa 12.

3.5. Registre seriale

Registrele seriale sunt dispozitive logice secvențiale capabile să deplaseze, la un moment dat, informația cu o poziție spre stânga sau spre dreapta. Acestea se mai numesc și **registre de deplasare**.

Configurația logică a unui registru de deplasare constă dintr-un șir de circuite flip-flop conectate în cascadă; ieșirea unui flip-flop este conectată la intrarea celulei flip-flop vecine. În registrele de deplasare operația are loc sincron; toate circuitele flip-flop sunt declanșate de un același semnal de clock. Mișcările de bază posibile într-un registru de deplasare pe 4 biți sunt prezentate în figura 3.28.

Registrele seriale sunt capabile să serializeze informația paralelă sau să deserializeze informația serială similar cu circuitele de multiplexare sau de demultiplexare. Astfel, dacă informația poate fi încărcată paralel în registrul serial, ea poate fi furnizată la unul din capetele registrului, în format serial, bit cu bit (figura 3.28b).

De asemenea, informația încărcată serial, bit cu bit, la unul din capetele registrului, poate fi furnizată în mod paralel după încărcarea completă a registrului (figura 3.28 a).

Deplasarea spre stânga a informației, în situația în care pe intrare se aplică zero logic, este echivalentă cu înmulțirea întregă cu doi iar deplasarea spre dreapta a informației, în aceleași condiții, când pe intrare se aplică zero logic, este echivalentă cu împărțirea la doi.

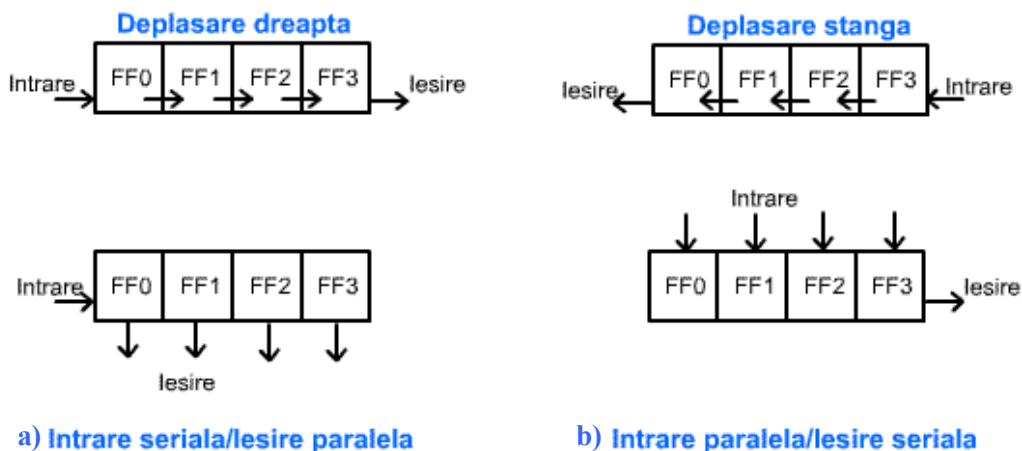


Fig. 3.28. Mișcări de bază într-un registru de deplasare pe 4 biți

De exemplu, considerând un registru cu opt celule avem situațiile prezentate în tabelul 3.8.

TABELUL 3.8.a

deplasare spre dreapta					
acțiune	bit intrare (intrare serială)	conținut registru		bit ieșire (ieșire serială)	echivalent zecimal al conținutului registrului
		MSB	LSB		
inițial	0	01011001		0	89
deplasare (1)	0	00101100		1	44
deplasare (2)	0	00010110		0	22
deplasare (3)	0	00001011		0	11
deplasare (4)	0	00000101		1	5
deplasare (5)	0	00000010		1	2
deplasare (6)	0	00000001		0	1
deplasare (7)	0	00000000		1	0
deplasare (8)	0	00000000		0	0

În cazul deplasării spre dreapta, bitul cel mai puțin semnificativ iese primul (tabelul 3.8. a) iar în cazul deplasării spre stânga, bitul cel mai semnificativ iese primul (tabelul 3.8. b).

Un astfel de registru va avea o intrare de comandă care va stabili modul de funcționare al registrului serial. Cele două moduri de funcționare posibile sunt : încărcare paralelă când datele prezente la intrările paralele ale registrului sunt încărcate în bistabilii registrului (similar cu registrele paralele) și deplasare stânga sau dreapta.

Registrele care sunt prevăzute cu posibilitatea de deplasare în ambele direcții (registre bidirecționale) trebuie să aibă încă o intrare de comandă care să stabilească sensul deplasării.

Mai multe registre seriale se pot conecta în serie prin legarea ieșirii seriale a

registrului de rang inferior la intrarea serială a registrului de rang superior și conectarea în paralel a semnalelor de comandă în scopul obținerii registrelor seriale de dimensiuni mai mari.

O altă aplicație importantă a registrelor seriale este cea de linie de întârziere a datelor, acestea permițând obținerea unor timpi de întârziere diferiți prin modificarea perioadei semnalului de tact aplicat registrului serial.

TABELUL 3.8.b

deplasare spre stânga					
acțiune	bit ieșire (ieșire serială)	conținut registru		bit intrare (intrare serială)	echivalent zecimal al conținutului registrului
		MSB	LSB		
inițial	0	0	10111001	0	89
deplasare (1)	0	1	01110010	0	178
deplasare (2)	1	0	11001100	0	100
deplasare (3)	0	1	10010000	0	200
deplasare (4)	1	0	10010000	0	144
deplasare (5)	1	0	00100000	0	32
deplasare (6)	0	0	01000000	0	64
deplasare (7)	0	1	10000000	0	128
deplasare (8)	1	0	00000000	0	0

Structura unui registru serial de patru biți cu încărcarea paralelă și deplasarea la dreapta a informației este prezentat în figura 3.29.

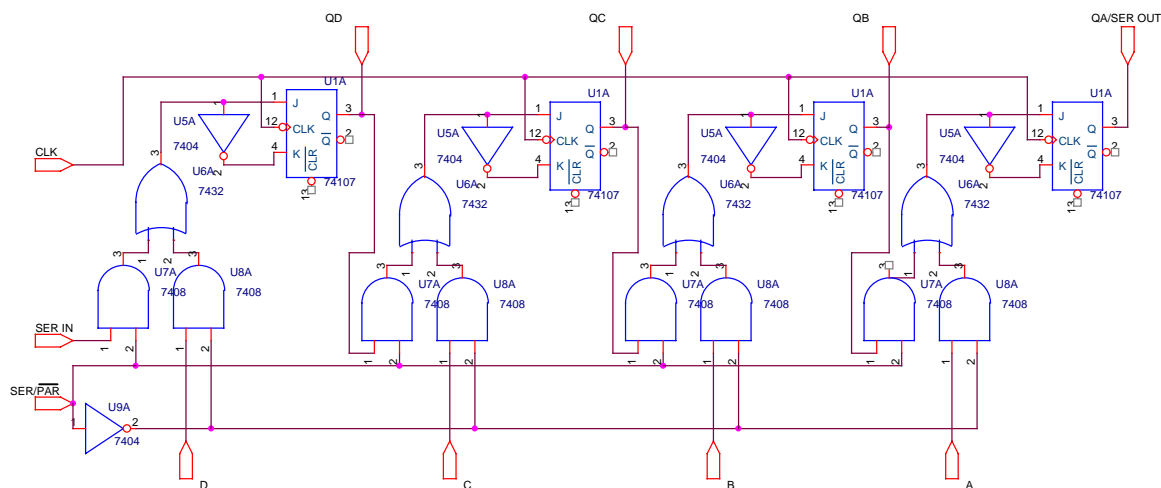


Figura 3.29. Registru serial de patru biți cu deplasare dreapta.

În figura 3.29 semnalul $SER\ IN$ reprezintă intrarea serială, semnalul SER/\overline{PAR} este semnalul de comandă pentru încărcarea paralelă ($SER/\overline{PAR}=0$) sau deplasare dreapta ($SER/\overline{PAR}=1$), CLK este intrarea de tact (ceas), A, B, C și D sunt intrările paralele iar $QA,$

QB , QC și QD sunt ieșirile paralele. Ieșirea QA reprezintă de asemenea ieșirea serială a registrului.

Schimbând conexiunile de la ieșirile și intrările bistabililor, prin intermediul circuitelor combinaționale de comandă, adică ieșirea bistabilului QA se leagă la intrarea bistabilului QB , ieșirea bistabilului QB se leagă la intrarea bistabilului QC și ieșirea bistabilului QC se leagă la intrarea bistabilului QD , ieșirea bistabilului QD devenind ieșirea serială iar intrarea bistabilului QA devenind intrare serială, se obține un registru serial cu deplasare spre stânga.

De asemenea este ușor de văzut modul în care se poate realiza un registru de deplasare bidirecțional. Acest lucru se propune ca exercițiu.

Laborator

Prezentarea pupitrului pentru realizarea experimentelor NX – 4i

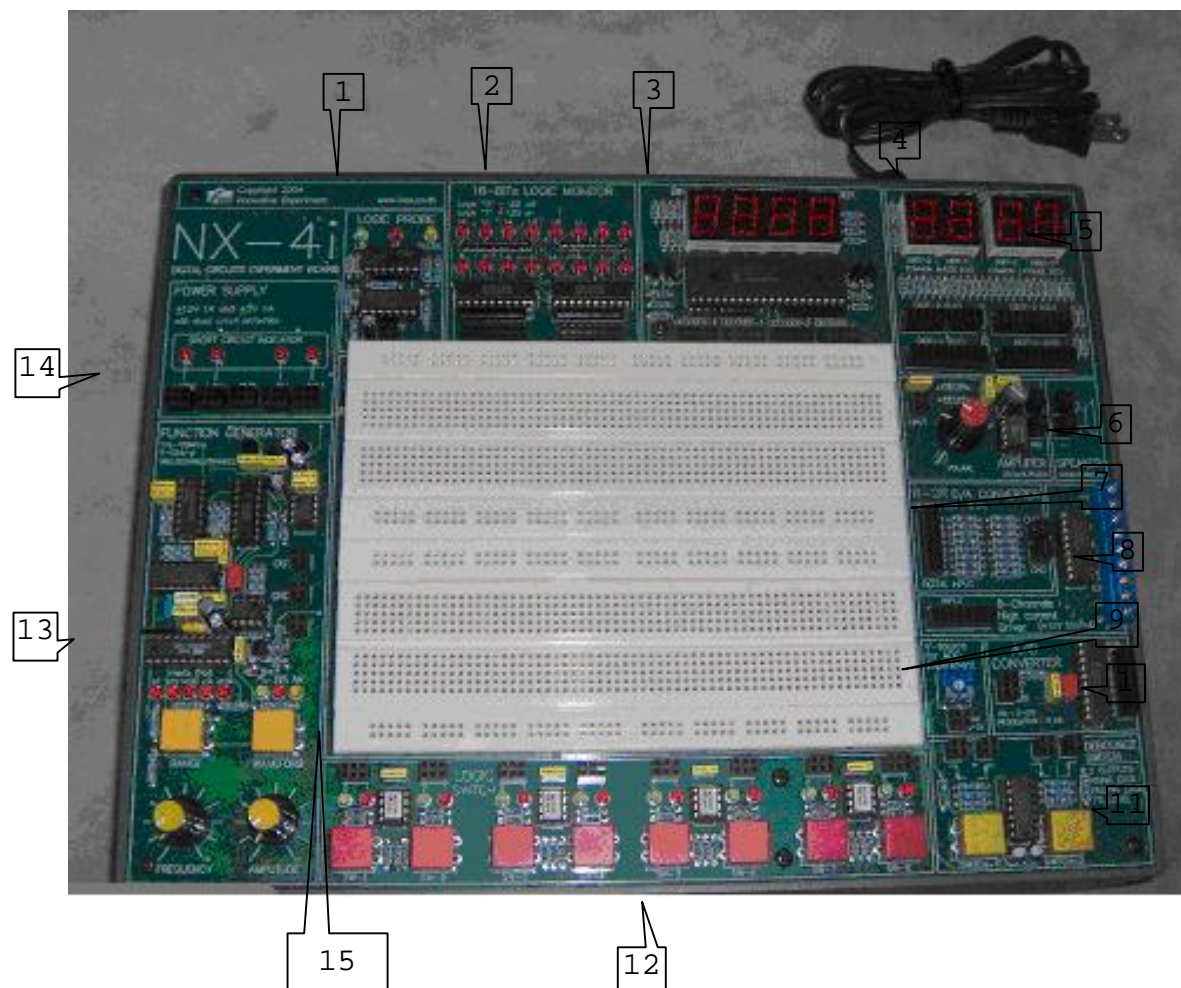


Fig. 1

Elementele componente ale pupitrului de experimente sunt următoarele:

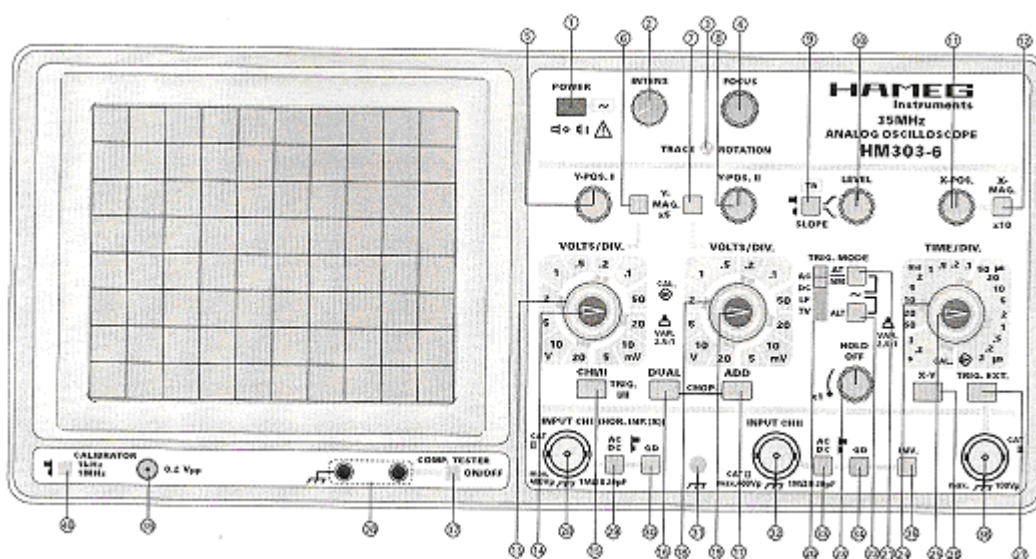
1. Indicator logic TTL cu trei stări HI, LOW și Pulse;
2. Afișaj cu leduri pe 16 biți (16 leduri);
3. Afișaj cu leduri 7 segmente cu 2 cifre, cu conectare în anod și catod comun ;
4. Comutator de pornire a pupitrului(nu este vizibil in imagine);
5. Decodor binar – hexazecimal cu afișare cu leduri 7 segmente/4 cifre;
6. Amplificator audio 250 mW cu difuzor;
7. Convertor semnal digital – analog pe 8 biți;

8. Circuit de control a unui echipament cu consum de curent important (ex. motor pas cu pas) ;
9. Sursa de tensiune reglabilă de referință 0 – 5 V;
10. Convertor semnal analog – digital;
11. Două comutatoare(generatoroare de semnal dreptunghiular) de semnal logic;
12. 8 comutatoare logice cu indicator ;
13. Generator de semnal în banda 1Hz-100kHz cu selectare a trei forme de undă: sinusoidală, dreptunghiulară și triunghiulară și reglaj al amplitudinii și frecvenței.
14. Tensiuni de alimentare de +/-12V si +/-5V la 1 A
15. Banc de lucru cu 1600 de puncte de conexiune pentru experimente

Pentru realizarea experimentelor se folosesc și următoarele aparate de măsură a parametrilor:

- Multimetru digital DVM 300 cu caracteristicile : măsoară tensiuni continue până la 500V, măsoară tensiuni alternative până la 500V, măsoară curenți continui până la 200mA, măsoară rezistoare pana la 2M Ω , protecție la suprasarcină cu siguranță fuzibilă, testează diode, afișaj cu LCD;
- Osciloscop HAMEG HM 303 cu caracteristicile:
 - Achiziție de semnal pe 2 canale ;
 - Domeniul de frecvență 2xDC – 35MHz ;
 - Timp de creștere, supracreștere <10ns;
 - Coeficient de deviere 12 pași calibrați 5mV/div – 20V/div ;
 - Precizie +/-3% ;
 - Impedanța de intrare 1M Ω //20pF ;
 - Tensiune de intrare max 400V ;
 - Baza de timp în 20 de pași calibrați 0,2s/div – 0,1 μ s/div

Imaginea frontală a osciloscopului și semnificația comutatoarelor mai importante sun specificate mai jos.



1. Power – Pornește/oprește osciloscopul
2. Intens – reglajul strălucirii transei
4. Focus – reglajul focalizării transei
5. Y-POS. I – reglajul poziției verticale pentru canalul I
8. Y-POS. II – reglajul poziției verticale pentru canalul II
11. X-POS. – reglaj poziție orizontală transă
13. VOLTS/DIV. – Atenuator canalul I. Reglează sensibilitatea Y în mV/div. În secvențe 1-2-5
16. DUAL – Buton neapăsat: doar un canal; buton apăsat canal I și II în mod alternant
17. ADD – Doar ADD apăsat adunare algebrică, combinat cu INV. scădere
18. VOLTS/DIV. – Atenuator canalul II. Reglează sensibilitatea Y în mV/div. În secvențe 1-2-5
24. TIME/DIV. – Selecție frecvență bază de timp cu perioada între 0.2 s/div. – 0.1 μ s/div.
28. INPUT CH I (conector BNC) – Intrare semnal canal I . Impedanță de intrare $1M\Omega$
32. INPUT CH I (conector BNC) – Intrare semnal canal I . Impedanță de intrare $1M\Omega$
35. INV. – Inversează CH II pe ecran. În combinație cu buton ADD diferență CH I, CH II
39. 0.2 Vpp (bornă test) – ieșire semnal dreptunghiular de calibrare 0.2 Vpp
40. CALIBRATOR 1kHz/1MHz – Selectează frecvența de calibrare.

Laboratorul nr. 1

Prezentarea pupitrului de experimente, utilizarea osciloscopului și a multimetrului

Studentii vor studia pupitrul de experimente NX -4i cu părțile lui componente pentru a efectua experimente ulterioare. Cu ajutorul osciloscopului vor efectua vizualizări și măsurători a semnalului generat de modulul 13 al pupitrului, pentru diferite valori ale frecvenței, formei și amplitudini semnalului.

Înainte de efectuarea măsurătorilor, osciloscopul trebuie calibrat utilizând ieșirea 39 a osciloscopului de semnal dreptunghiular de calibrare 0.2 Vpp și comutatorul 40 de selectare a frecvenței.

Cu ajutorul multimetrului digital DVM 300 vor măsura valoarea semnalului logic 1-0 generat de modulul de 8 comutatoare logice cu indicator (12) a pupitrului.

Se vor realiza următoarele scheme logice:

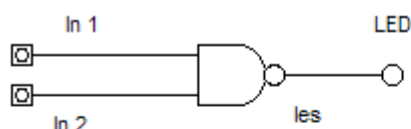


Fig
1

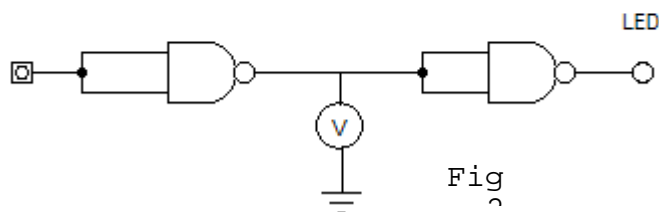


Fig
2

Pentru realizarea lor se va folosi circuitul HC7400N. Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitului.

Circuitul HC7400N se va dispune pe bancul de lucru al pupitrului, se va alimenta cu tensiune de + 5V și se va lega la masă, realizându-se legătura electrică între pinii circuitului și sursa de tensiune a pupitrului cu ajutorul conductoarelor. Conectarea intrărilor la circuitele logice se va realiza la ieșirile comutatoarelor logice (12) ale pupitrului. Ieșirea circuitului logic se va conecta la unul din ledurile pupitrului (2).

După realizarea schemei, punerea în funcțiune a pupitrului se va face numai după verificarea ei de cadrul didactic. Cu ajutorul comutatoarelor logice de la intrările circuitului logic se vor realiza toate combinațiile logice posibile urmărindu-se funcționarea lui prin valoarea semnalului logic de la ieșire evidențiat cu ajutorul ledului.

În cadrul celei de-a doua scheme se va măsura cu multimetrul digital și osciloscopul valoarea semnalului logic V_{OH} și V_{OL} ("1" și "0" logic).

Tot cu osciloscopul se va măsura frecvența semnalului aplicat la intrarea circuitelor logice precum și defazajul care apare între semnalul aplicat la intrare și cel de la ieșire.

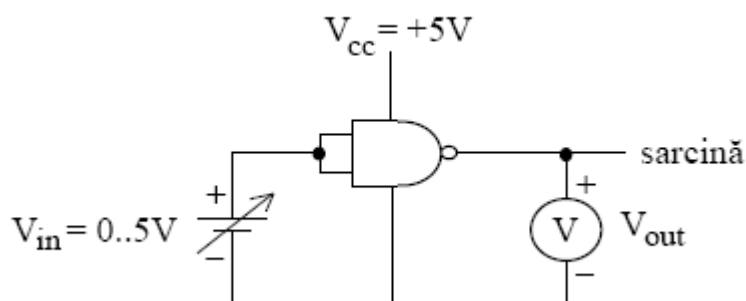
Referatul de laborator trebuie să conțină noțiunile noi învățate în cadrul acestei lucrări de laborator și valorile parametrilor mășurați cu cele două aparate de măsură, multimetrul digital și osciloscopul.

Laboratorul nr. 2

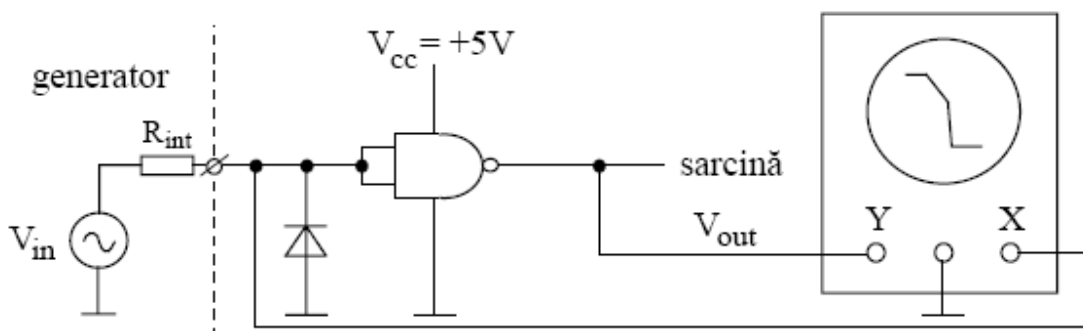
Determinarea caracteristicilor circuitelor logice bipolare

Această lucrare de laborator are ca obiect studiul parametrilor circuitelor TTL standard și determinarea caracteristicilor porții logice fundamentale. Pentru aceasta se va folosi pupitrul experimental NX -4i, o sursă dublă de alimentare, multimetre digitale și osciloscop cu 2 canale.

1. Se realizează montajul din figura următoare. La intrarea porții ȘI-NU cu intrările conectate împreună se aplică o tensiune continuă, variabilă între 0 și 5V, iar valorile măsurate ale tensiunii de ieșire se trec într-un tabel. Se reprezintă punct cu punct caracteristica statică de transfer $V_{out} = f(V_{in})$

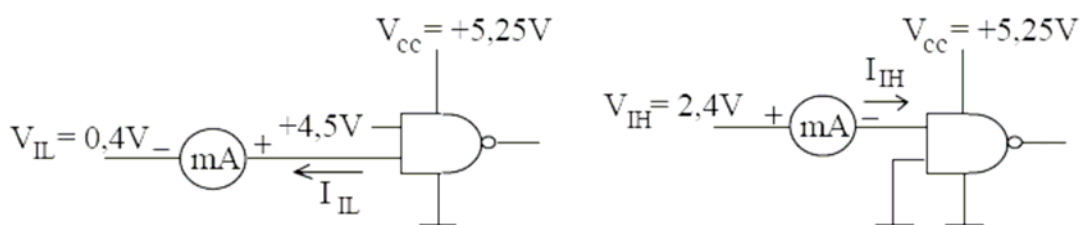


2. Se realizează montajul din figura următoare. La intrarea porții ȘI-NU cu intrările conectate împreună se aplică un semnal sinusoidal cu amplitudinea de circa 2V și frecvența de circa 100Hz. Se scoate baza de timp a osciloscopului și pe ecranul tubului catodic apare caracteristica de transfer. Măsurăți nivelele logice de ieșire și intrare garantate prin standard. Comentați modificarea caracteristicii cu frecvența semnalului de intrare și explicați ce se întâmplă dacă una din intrările porții este lăsată în aer.

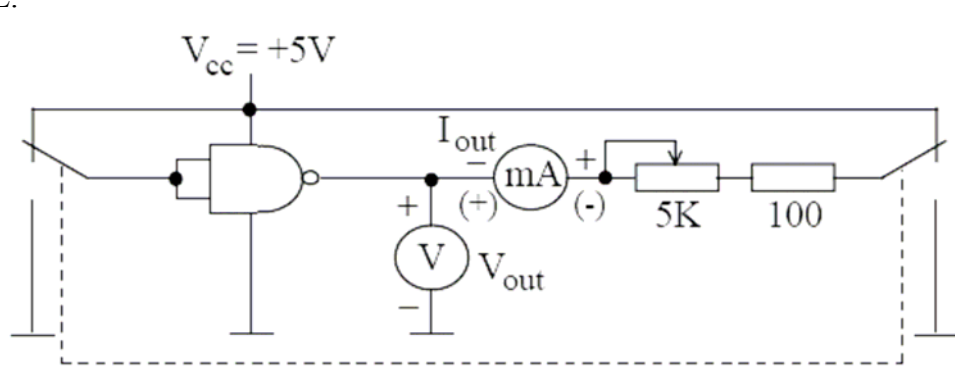


3. Se măsoară în cazurile cele mai defavorabile curenții de intrare pentru cele două nivele logice, folosind montajele din figurile următoare. Testarea în cazul cel mai defavorabil este realizată pentru toate circuitele, pentru a garanta funcționarea în toate condițiile posibile. V_{cc} are valoarea maximă admisă (+5,25V la seria 74SN) pentru a maximiza curentul I_{IL} . Cu excepția intrării supuse testării, celelalte intrări nefolosite sunt conectate la 1 logic pentru a maximiza orice contribuție a acestor intrări asupra curentului de

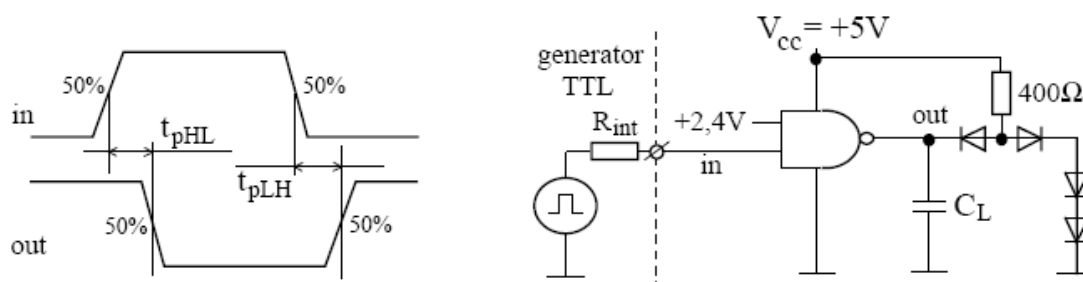
intrare I_{IL} . Acest nivel logic este de 4,5V, valoare în general superioară lui V_{OH} . Valorile obținute trebuie să fie în concordanță cu datele de catalog:



4. Folosind montajul din figura următoare se trasează caracteristicile de ieșire ale porții TTL.



5. Se măsoară timpii de propagare prin poartă cu ajutorul montajului din figura următoare. Generatorul furnizează la intrare impulsuri TTL cu frecvența de circa 1MHz. Circuitul de ieșire ($C_L \approx 15 \text{ pF}$) simulează încărcarea porții cu o sarcină echivalentă cu 10 intrări TTL standard. Se măsoară timpii de propagare și pentru $C_L \approx 220 \text{ pF}$ și se compară rezultatele. Dacă performanțele osciloscopului nu sunt satisfăcătoare pentru efectuarea măsurătorii, se poate încerca înserierea mai multor porți identice și medierea rezultatelor astfel obținute.



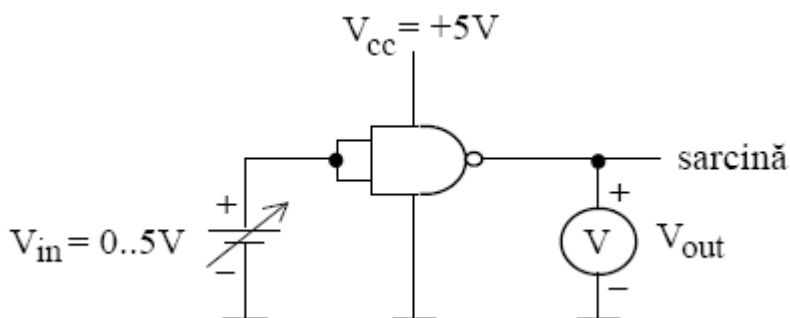
Referatul de laborator trebuie să conțină toate datele (parametrii) măsurate, graficele aferente și observațiile studenților privind problemele studiate.

Laboratorul nr. 3

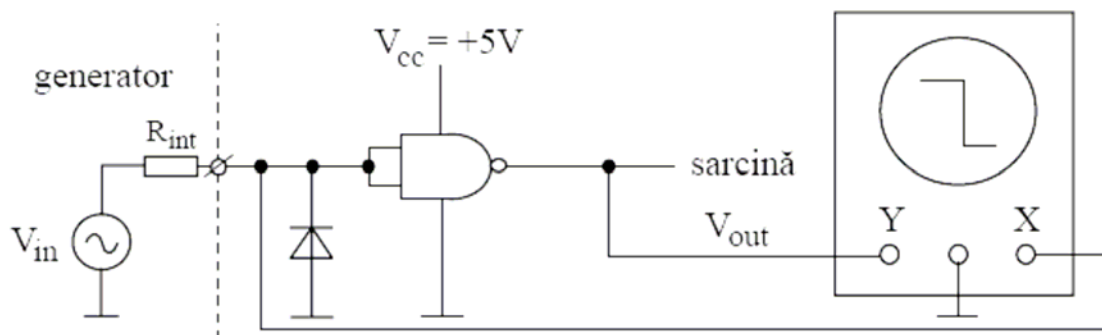
Determinarea caracteristicilor circuitelor logice MOS

Această lucrare de laborator are ca obiect studiul parametrilor circuitelor CMOS și determinarea caracteristicilor porții logice fundamentale. Pentru aceasta se va folosi pupitrul experimental NX -4i, o sursă dublă de alimentare, multimetre digitale și osciloscop cu 2 canale.

1. Se realizează montajul din figura următoare. La intrarea porții ȘI-NU cu intrările conectate împreună se aplică o tensiune continuă, variabilă între 0 și 5V, iar valorile măsurate ale tensiunii de ieșire se trec într-un tabel. Se reprezintă punct cu punct caracteristica statică de transfer $V_{out} = f(V_{in})$. Se repetă măsurătorile pentru $V_{cc} \square 10$ și pentru $V_{cc} \square 15$, iar cele trei caracteristici se reprezintă pe același grafic. Se măsoară nivelele logice și se compară cu valorile garantate prin standard.

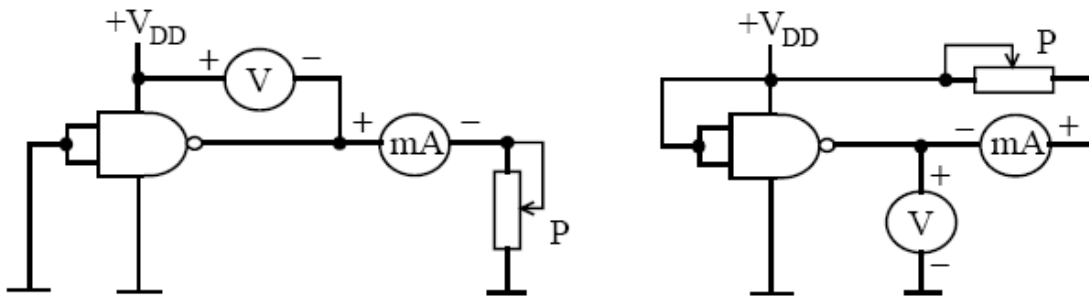


2. Se realizează montajul din figura următoare. La intrarea porții ȘI-NU cu intrările conectate împreună se aplică un semnal sinusoidal cu amplitudinea de circa 2V și frecvența de circa 100Hz. Se scoate baza de timp a osciloscopului și pe ecranul tubului catodic apare caracteristica de transfer. Măsurăți nivelele logice de ieșire și intrare garantate prin standard. Comentați modificarea caracteristicii cu modificarea tensiunii de alimentare și stabiliți tensiunea minimă de alimentare. Scurtcircuitați pe rând ieșirea porții la masă și apoi la V_{cc} și observați ce se întâmplă.

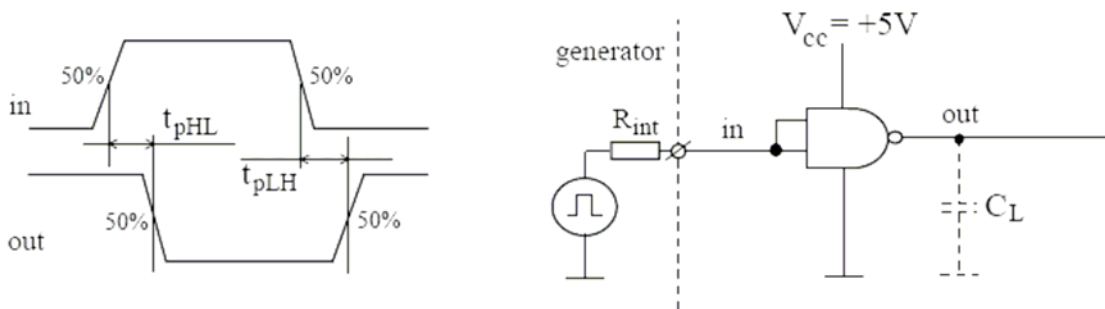


3. Comportamentul circuitelor CMOS la ieșire rezultă din studiul caracteristicilor $I_{out} = f(V_{out})$. Aceste caracteristici de ieșire sunt caracteristici de drenă pentru tranzistoare MOS cu canal de tip p , respectiv de tip n , și determină curentul debitat la ieșire când aceasta este în 1 logic, respectiv curentul absorbit de ieșire când aceasta este în 0 logic. Montajele pentru

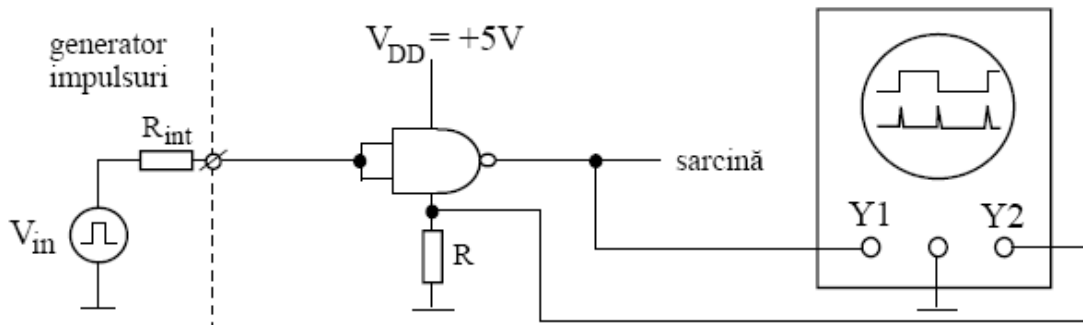
trasarea punct cu punct a caracteristicilor de ieşire sunt date în figura următoare:



4. Se măsoară timpii de propagare prin poartă cu ajutorul montajului din figura următoare. Generatorul furnizează la intrare impulsuri de amplitudine 5V cu frecvența de circa 1MHz. Pe un osciloscop cu 2 canale se vizualizează atât semnalul de intrare cât și semnalul de la ieșirea porții logice. Prin suprapunerea celor două semnale se măsoară cei doi timpi de propagare t_{pHL} și t_{pLH} . Se verifică egalitatea aproximativă a celor doi timpi de propagare. Studiați variația timpilor de propagare cu modificarea tensiunii de alimentare și cu modificarea sarcinii de la ieșirea porții (prin adăugarea unor noi intrări CMOS).



5. Se realizează montajul din figura următoare. Se vizualizează formele de undă la ieșirea porții CMOS (tensiunea de ieșire) și pe rezistența înseriată în circuitul de alimentare (curentul consumat de circuitul integrat). Intrările celorlalte porți logice din circuitul integrat se conectează la nivele logice stabile, 0 sau 1. Astfel consumul de curent al circuitului integrat este dat în exclusivitate de poarta care comută. Comentați imaginea de pe ecranul tubului catodic. Ce se întâmplă dacă se mărește tensiunea de alimentare?



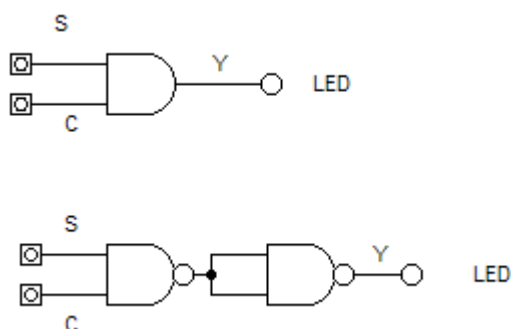
Referatul de laborator trebuie sa conțină toate datele (parametrii) măsurati, graficele aferente și observațiile studenților privind problemele studiate.

Laboratorul nr. 4

Studierea circuitului poartă

În cadrul acestei lucrări de laborator se va studia funcționarea circuitului poartă prezentat în cadrul orelor de curs . Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuite integrate care încorporează porți logice AND și NAND de exemplu SN74HC08 sau SN74HC00 se vor realiza schemele circuitelor. Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

Pentru circuitul de tip poartă se vor folosi două scheme prezentate mai jos:



După realizarea circuitelor și verificarea lor se va porni pupitrul de experimente urmărind funcționarea.

La intrarea C de comandă a circuitului se va aplica semnal logic de la unul din comutatoarelor logice ale pupitrului cu ajutorul căruia se va alterna semnalul “1” și “0” logic. La intrarea S se va aplica un semnalul dreptunghiular preluat de la generatorul pupitrului 13, cu parametrii stabiliți prin comutatoarele de reglaj a modulului generator.

Semnalul aplicat se va vizualiza cu ajutorul osciloscopului conectat la ieșirea Y a circuitului.

Se va studia funcționare circuitului poartă, modificându-se semnalul logic de comandă aplicat și urmărind semnalul de la ieșirea circuitului cu ajutorul osciloscopului.

Referatul de laborator trebuie să conțină scheme utilizate la realizarea circuitelor precum și explicațiile referitoare la funcționarea circuitului poartă.

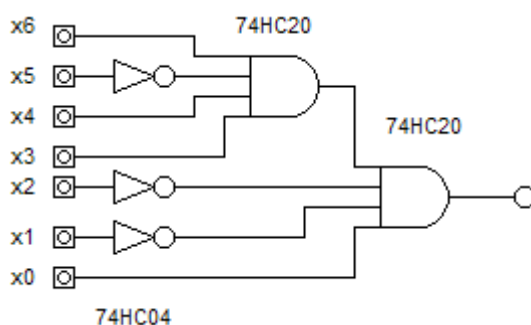
Laboratorul nr. 5

Studierea circuitului de selecție

În cadrul acestei lucrări de laborator se va studia funcționarea circuitului de selecție prezentat în cadrul orelor de curs. Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuite integrate care încorporează porți logice AND și NOT de exemplu SN74HC08, SN74HC20, SN74HC04 se vor realiza schemele circuitelor. Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

Circuitul de selecție ce va fi studiat în cadrul acestui laborator va fi cel ce va selecta valoarea $89_{(10)}$ ($1011001_{(2)}$) din cele 128 valori posibile ce pot fi aplicate la intrare. Funcția logică a circuitului va fi:

Schema circuitului este următoarea:



La intrările X0 – X6 se vor aplica semnale logice preluate de la comutatoarele pupitrului. În funcție de valorile logice aplicate la intrările circuitului de selecție se va vizualiza ieșirea cu ajutorul unui led.

Se va observa că numai pentru o anumită combinație logică a semnalelor aplicate la intrare ieșirea circuitului va fi în 1 logic.

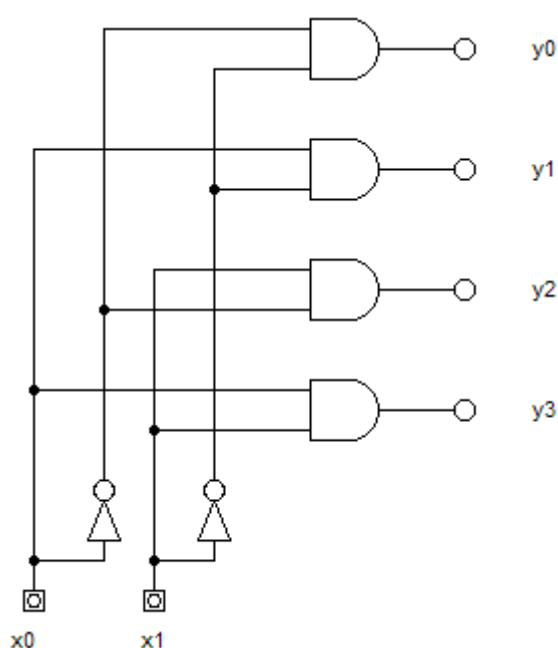
În continuare studenții trebuie să realizeze schema circuitului de selecție pentru valoarea $55_{(10)}$.

Referatul de laborator trebuie să conțină schema utilizată la realizarea circuitului precum și explicațiile referitoare la funcționarea lui precum și schema circuitului de selecție propus.

Laboratorul nr. 6

Studierea funcționării circuitului de decodificare

În cadrul acestei lucrări de laborator se va realiza și se va studia funcționarea circuitului decodificator 1 din 4 prezentat în cadrul orelor de curs. Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuitele integrate care încorporează porți logice AND cu 2 intrări și NOT de ex: SN74HC08 și SN74HC04 se va realiza schema circuitului prezentată mai jos. Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.



După realizarea circuitului și verificarea lui se va pune în funcțiune pupitrul de experimente.

Se vor aplica semnale logice la cele două intrări utilizând comutatoarele 12 ale pupitrului, urmărindu-se valoarea semnalului logic de la cele 4 ieșiri cu ajutorul ledurilor conectate.

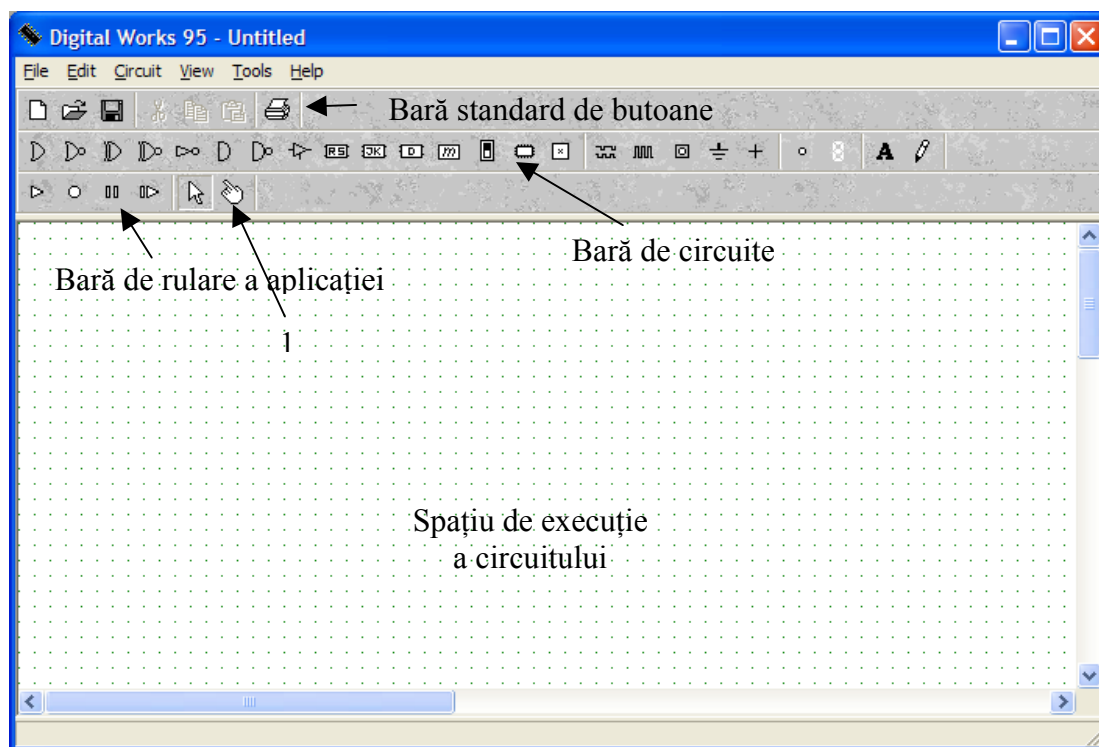
Aplicându-se toate cele 4 combinații posibile de semnale logice la cele două intrări se va întocmi tabela de adevăr a circuitului decodificator.

Referatul de laborator trebuie să conțină schema circuitului, tabela de adevăr și observațiile lor privind funcționarea lui.

Laboratorul nr. 7

Utilizarea programului Digital Works în studiul circuitelor digitale.

Programul Digital Works este un program gratuit, foarte ușor de folosit în studiul și simularea funcționării circuitelor digitale studiate în cadrul orelor de curs. Interfața programului este prezentată mai jos:



Realizarea unei scheme utilizând acest soft este foarte simplă. Se dă click cu mouse-ul pe simbolul circuitului logic necesar și apoi se dă din nou click pe spațiul de lucru unde dorim să plasăm circuitul. Circuitul respectiv poate fi șters, dacă dorim prin selectarea lui cu un click de mouse și apoi apăsarea tastei del. De asemenea el poate fi mutat pe spațiul de lucru și rotit cu ajutorul mouse-ului.

După plasarea componentelor se realizează conexiunea prin trasarea firelor de legătură. Acest lucru se efectuează cu ajutorul “creionului” din bara de butoane. La apropierea de un punct de legătură valid softul afișează un steguleț “wire” anunțând posibilitatea de a da click cu butonul stâng al mouse-ului pentru a începe desenarea firului. Terminarea conexiunii se realizează, fără a se ține apăsat butonul mouse-ului, prin efectuarea unui nou click atunci când apare stegulețul respectiv la apropierea de punctul de conexiune dorit.

După terminarea de desenat a schemei se simulează funcționarea circuitului electronic digital cu ajutorul butoanelor din bara de rulare. Cu ajutorul butonului 1 se pot comanda generatoarele de semnal logic.

Pentru a experimenta utilizarea acestui soft studenții trebuie să realizeze și să simuleze schemele circuitelor logice de la laboratorul 1.

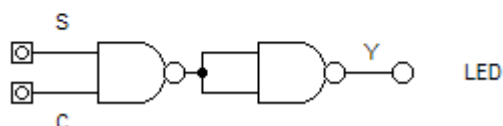
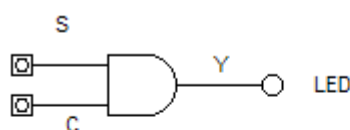
Laboratorul nr. 8

Simularea funcționării circuitelor poartă și de selecție cu ajutorul programului Digital Works

În cadrul acestui laborator se va studia funcționarea circuitelor poartă și de selecție prezentate în cadrul orelor de curs și studiate în cadrul unui laborator precedent.

Cu ajutorul programului Digital Works se va desena schema fiecărui circuit în parte și se va simula funcționarea lui urmând să se întocmească tabela de adevăr a circuitelor.

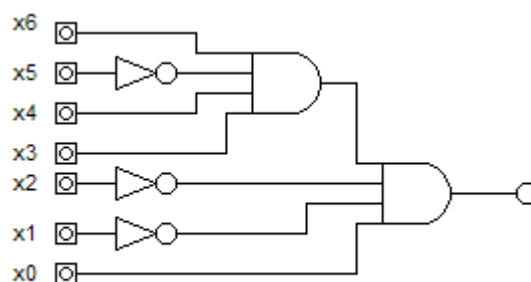
Pentru circuitul de tip poartă se vor folosi două scheme prezentate mai jos:



La intrarea C de comandă a circuitului se va aplica un semnal logic de la un comutator logic cu ajutorul căruia se va alterna semnalul “1” și “0” logic. La intrarea S se va aplica un semnalul dreptunghiular cu ajutorul unui generator de ceas, frecvența putându-se modifica din meniul programului.

Se va desena schema și se va drumul la simulare urmărindu-se funcționarea circuitului. De asemenea în fereastra Logic History a programului se vor observa și formele de undă ale semnalului de ceas aplicat la intrare precum și semnalului de la ieșire.

Pentru circuitul de selecție a valorii 55₍₁₀₎ se va folosi schema următoare:



Se va desena schema și se va drumul la simulare urmărindu-se funcționarea circuitului.

Referatul de laborator trebuie să conțină schemele circuitelor și observațiile lor privind funcționarea lor.

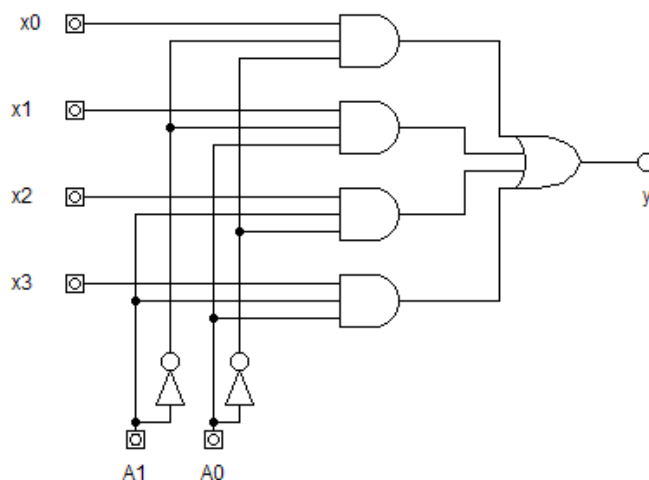
Laboratorul nr. 9

Simularea funcționării circuitelor multiplexor și demultiplexor cu ajutorul programului Digital Works

În cadrul acestui laborator se va studia funcționarea circuitelor multiplexor și demultiplexor prezentate în cadrul orelor de curs.

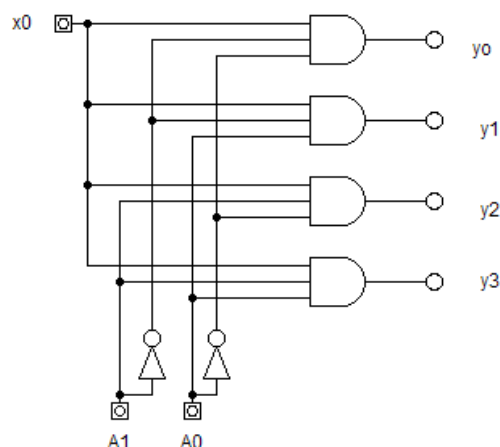
Cu ajutorul programului Digital Works se va desena schema fiecărui circuit în parte și se va simula funcționarea lui urmând să se întocmească tabela de adevăr a circuitelor.

1. Circuitul Multiplexor $2^2 : 1$



La intrările $X_0 - X_3$ se vor aplica generatoare de semnal de anumite frecvențe. Prin aplicarea oricăror combinații posibile de semnale logice la intrările de adresă A_0 și A_1 , se va urmări care dintre cele patru semnale de la intrarea circuitului multiplexor va ajunge la ieșire.

2. Circuitul Demultiplexor $1 : 2^2$



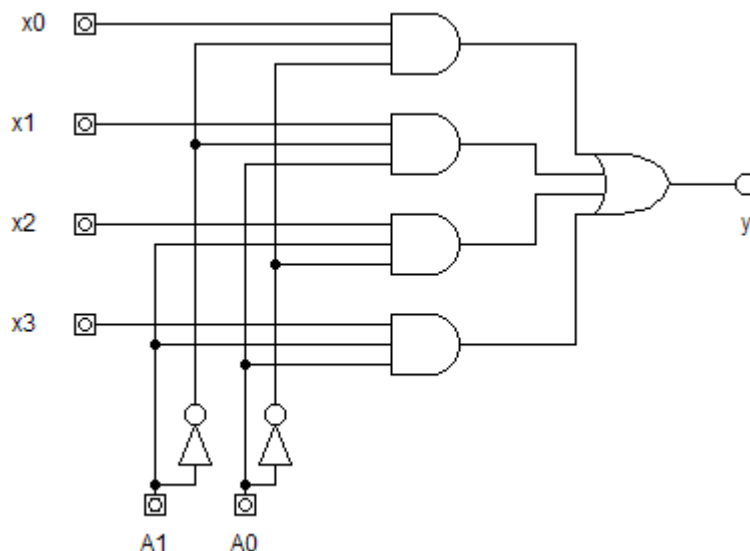
La intrarea X_0 se va aplica un generator de semnal. Prin aplicarea oricăror combinații posibile de semnale logice la intrările de adresă A_0 și A_1 , se va urmări la care dintre cele patru ieșiri ale circuitului demultiplexor $Y_0 - Y_3$ va ajunge semnalul de la intrare X_0 .

Referatul de laborator trebuie să conțină schemele, tabellele de adevăr și observațiile studenților privind funcționarea fiecărui circuit în parte.

Laboratorul nr. 10

Studiul funcționării circuitului multiplexor

În cadrul acestei lucrări de laborator se va realiza și se va studia funcționarea circuitului multiplexor studiat în cadrul laboratorului precedent. În prima parte a laboratorului studenții se va realiza schema circuitului multiplexor simulat la ora de laborator precedentă.



La intrările circuitului multiplexor se va aplica pe rând un semnalul dreptunghiular preluat de la generatorul pupitrului 13, cu parametri stabiliți prin comutatoarele de reglaj a modului generator.

La intrările de adresă ale circuitului se vor aplica semnale logice de comutatoarele logice ale pupitrului. Pentru vizualizarea semnalului de la ieșire se va folosi atât un LED al pupitrului (2) cât și un osciloscop cu ajutorul căruia se vor măsura parametrii semnalului.

În continuare se va folosi circuitul integrat SN74HC153 care are în componență două circuite multiplexoare fiecare cu 4 intrări. Pentru aceasta se va studia foaia de catalog a circuitului, din anexa îndrumarului de laborator, pentru identificarea pinilor circuitului multiplexor.

Se va realiza noul circuit și se vor aplica la intrări aceleași semnale ca și la circuitul precedent studiat.

Cu ajutorul osciloscopului se va vizualiza semnalul aplicat pe rând la cele patru intrări cât și la ieșirea circuitului multiplexor.

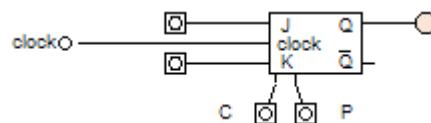
Referatul de laborator trebuie să conțină schemele și observațiile studenților privind funcționarea fiecărui circuit în parte.

Laboratorul nr. 11

Studiul circuitelor basculante bistabile

În cadrul acestei lucrări de laborator se vor studia funcționarea circuitelor basculante bistabile de tip JK, D, T, pentru fiecare circuit în parte se vor întocmi tabele de adevăr. Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuite integrate care încorporează bistabile de tip JK, de exemplu CD74HC73 sau SN74LS73 se vor realiza schemele circuitelor. Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

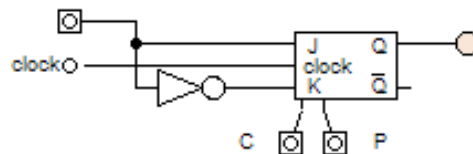
Circuitul basculant bistabil sincron JK:



La intrările J și K se vor aplica semnale logice de la comutatoarele logice ale pupitrului iar pentru vizualizarea semnalului la ieșire se va folosi un LED al pupitrului (2). La intrarea de sincronizare se va aplica un semnal dreptunghiular preluat de la generatorul pupitrului de frecvență mai mică, pentru a se urmări mai ușor funcționarea. Prima dată se va identifica modul de sincronizare al circuitului JK, pe frontul crescător sau descrescător al semnalului se ceas. În urma aplicării semnalelor logice la intrare se va întocmi tabela de adevăr.

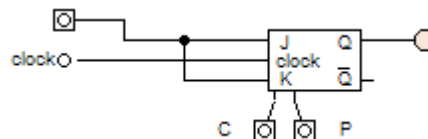
Prin aplicarea unor semnale logice pe intrările asincrone CLEAR (C) și PRESET (P) ale circuitului se vor urmări efectele, dându-se explicații privind rolul lor.

Aceleași operații se vor efectua și pentru studiul circuitelor basculante bistabile de tip D și T. Se vor folosi aceleași circuite integrate, utilizând schemele următoare:



Circuit basculant bistabil sincron de tip D

Referatul de laborator trebuie să conțină schemele, tabelele de adevăr și observațiile studenților privind funcționarea fiecărui circuit în parte.



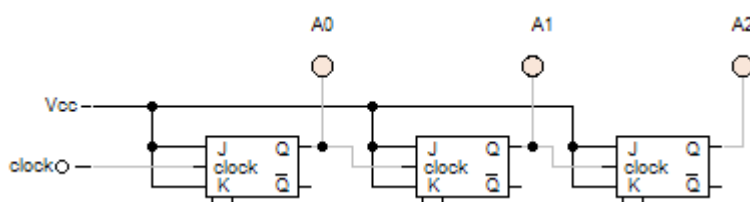
Circuit basculant bistabil sincron de tip T

Laboratorul nr. 12

Studiul circuitelor logice secvențiale de tip numărător

Cu ajutorul softului Digital Works se va simula și studia funcționarea circuitelor secvențiale de tip numărător sincron sau asincron care generează la ieșire o secvență de numere binare.

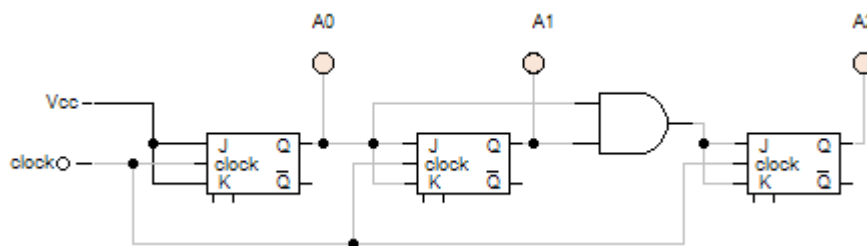
Pentru studierea funcționării unui numărător asincron de trei biți se va folosi schema următoare:



Se va desena schema și se va drumul la simulare urmărindu-se funcționarea circuitului. De asemenea în fereastra Logic History a programului se vor observa și formele de undă ale semnalului de ceas aplicat la intrarea de sincronizare a circuitului basculant bistabil precum și semnalelor de la cele trei ieșiri ale circuitului A0 – A2. Urmărindu-se funcționarea se va observa că numerele binare generate sunt în sens crescător de la 0 la 7.

Se va explica cine impune acest lucru și cum va arăta schema unui circuit numărător asincron care generează numere binare în sens descrescător, de la 7 la 0 pe un ciclu de funcționare.

În continuare pentru studiul funcționării unui numărător sincron de trei biți se va folosi schema următoare:



Ca și la schema precedentă se va urmări funcționarea circuitului prin fereastra Logic History. Se va explica funcționarea numărătorului și ca temă se propune elaborarea circuitului numărător sincron de 4 biți.

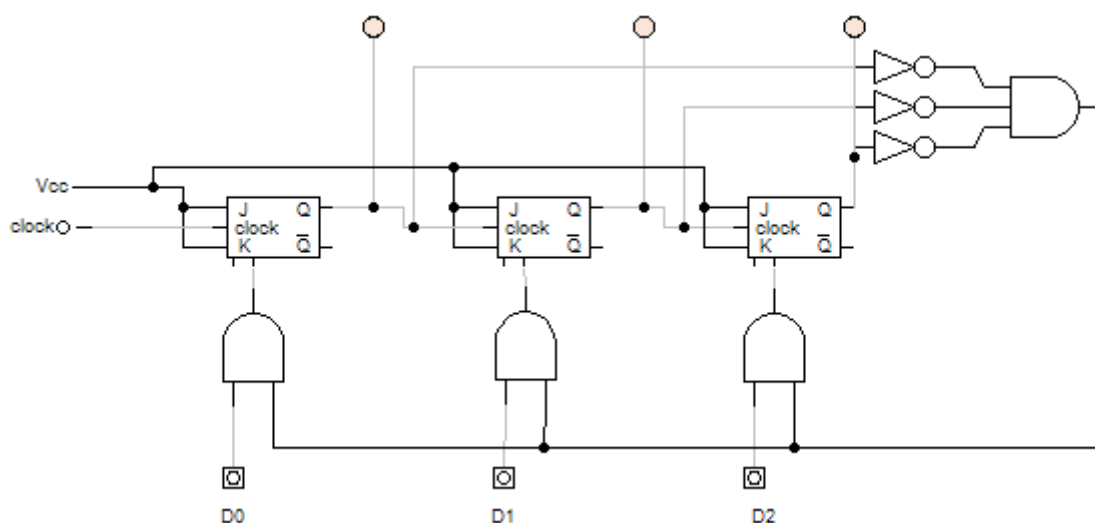
Referatul de laborator trebuie să conțină schemele, observațiile studenților privind funcționarea fiecărui circuit în parte precum și temele propuse la fiecare circuit în parte.

Laboratorul nr. 13

Realizarea unui numărător programabil

În cadrul acestui laborator se va realiza și studia funcționarea unui circuit logic secvențial de tip numărător asincron, pe trei biți, programabil. Programarea numărătorului, implică posibilitatea ca numărătorul să înceapă să numere de la o valoare $0 < n < 7$ aleasă și impusă numărătorului prin pinii de comandă PRESET ai circuitului basculant bistabil de tip JK.

Schema circuitului numărător programabil este prezentată în figura de mai jos:



Circuitul are la bază schema unui numărător asincron studiată la un laborator precedent, în plus există circuitul de selecție pentru cifra 0 realizat dintr-o poartă logică AND cu trei intrări și trei porți inversoare, care validează posibilitatea aplicării numărului programabil la intrările D0 – D2 la intrările de PRESET ale circuitelor basculante bistabile.

Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuite integrate care încorporează bistabile de tip JK, de exemplu CD74HC73 sau SN74LS73 se va realiza circuitul numărător. În plus se vor utiliza circuite integrate care încorporează porți logice AND cu 2 intrări, trei intrări și porți logice inversoare (ex: SN74HC08, SN74HC04). Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

După realizarea circuitului și verificarea lui se va porni pupitrul de experimente urmărind funcționarea lui. Valoare logică dorită să fie programată, va fi impusă cu ajutorul comutatoarelor logice ale pupitrului la intrările D0 – D2.

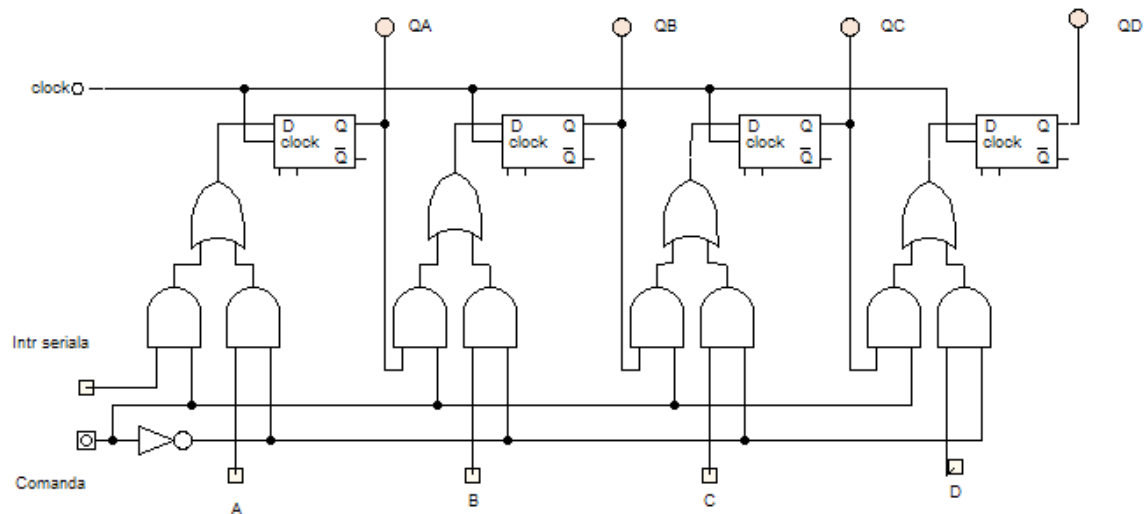
Referatul de laborator trebuie să conțină schema circuitului și observațiile studenților privind funcționarea lui.

Laboratorul nr. 14

Studiul registrului de deplasare

În cadrul acestui laborator se va realiza și studia funcționarea unui circuit logic secvențial de tip registru serial de patru biți cu deplasare la dreapta cu cele două moduri de funcționare, încărcare paralelă a datelor în registru și deplasarea lor la dreapta. Acest circuit logic secvențial fiind studiat la orele de curs.

Pentru realizarea lui se va folosi schema prezentată în figura următoare:



Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuite integrate care încorporează bistabile de tip D, de exemplu SN74LS174 sau SN74LS175 se va realiza circuitul registru. În plus se vor utiliza circuite integrate care încorporează porți logice AND cu 2 intrări, porți logice inversoare și porți logice OR cu 2 intrări (ex: SN74HC08, SN74HC04, SN74HC32). Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

La intrarea serială a circuitului registru se va aplica un semnal logic de la unul din comutatoarele pupitrului sau un semnal dreptunghiular preluat de la blocul generator. Intrarea de comandă permite ca prin aplicarea unui semnal logic 1 să se efectueze deplasarea la dreapta a informației iar la aplicarea unui semnal logic 0 să se poată încărca paralel registru cu semnale logice aplicate la intrările A, B, C și D. QA, QB, QC și QD sunt ieșirile paralele care pot fi vizualizate cu ajutorul unor leduri conectate, iar QD este de asemenea ieșirea serială a circuitului registru.

După realizarea schemei și verificarea ei se va porni pupitrul de experimente, verificându-se funcționarea circuitului registru în ambele moduri de funcționare, în încărcare serială a datelor și deplasarea lor la dreapta precum și posibilitatea încărcării a datelor paralel prin intrările A – D.

Referatul de laborator trebuie să conțină schema circuitului și observațiile studenților privind funcționarea lui.

Laboratorul nr. 15

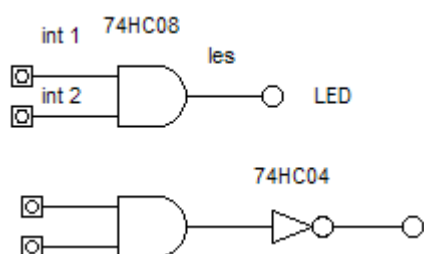
Tabelul de adevăr ale circuitelor logice bipolare AND, NAND, OR, NOR, XOR, XNOR

În cadrul acestei lucrări de laborator se vor realiza circuitele cu ajutorul cărora se vor studia tabelele de adevăr ale circuitelor logice AND, NAND, OR, NOR, XOR, XNOR. Pentru realizare lor se vor utiliza circuitele integrate 74HC08, 74HC00, 74HC32, 74HC02, 74HC04 și 74HC86.

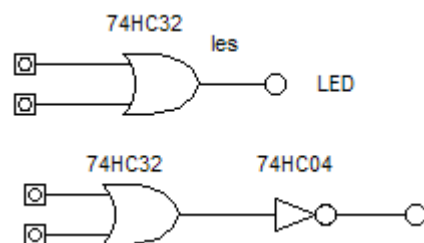
Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

Pentru realizarea montajelor se vor folosi următoarele scheme:

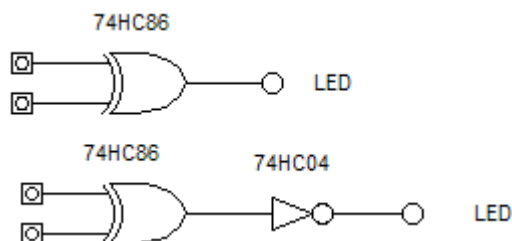
a) circuitul AND, NAND



b) circuitul OR, NOR



c) circuitul XOR, XNOR



Pentru realizarea fiecărui circuit în parte se va folosi pupitrul de experimente NX -4i, circuitele integrate digitale aferente și firele necesare pentru realizarea legăturilor.

Referatul de laborator trebuie să conțină tabelele de adevăr aferente fiecărui circuit.

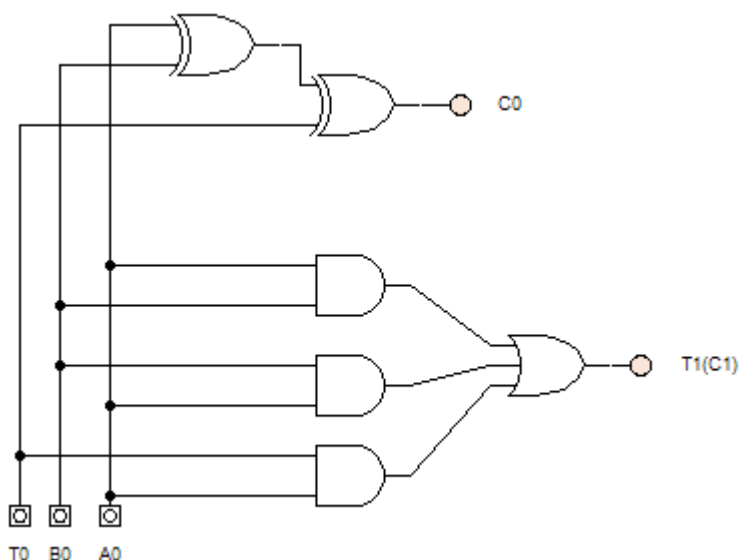
Laboratorul nr. 16

Simularea funcționării circuitelor celule sumator 1 bit cu ajutorul programului Digital Works

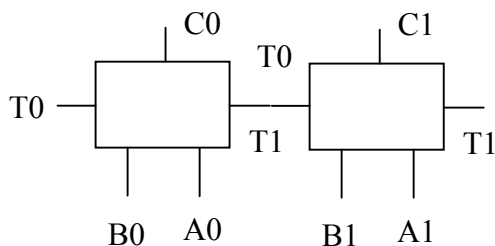
În cadrul acestui laborator se va studia funcționarea circuitului celule sumator ce efectuează operația de adunare dintre doi operanzi pe 1 bit, prezentat în cadrul orelor de curs.

Cu ajutorul programului Digital Works se va desena schema circuit și se va simula funcționarea lui urmând să se întocmească tabela de adevăr.

Celula sumator pe un bit efectuează operația de adunare între doi operanzi pe un bit ($A_0 + B_0$) acceptând și posibilitatea apariției unui transport de la un calcul precedent (T_0). Rezultatul adunării va fi afișat la ieșirile C_0 și $T_1(C_1)$. Schema circuitului este prezentată mai jos. Se vor aplica semnale logice la cele trei intrări urmărindu-se corectitudinea operației de adunare prin valorile obținute la ieșire.



Utilitatea acestei scheme este dată de posibilitatea efectuării operației de adunare între doi operanzi exprimați pe un număr oarecare de biți utilizând un număr de celule egal cu numărul de biți al operanzilor, conectate între ele prin ieșirea T_1 a primei celule și intrarea T_0 a celei următoare.

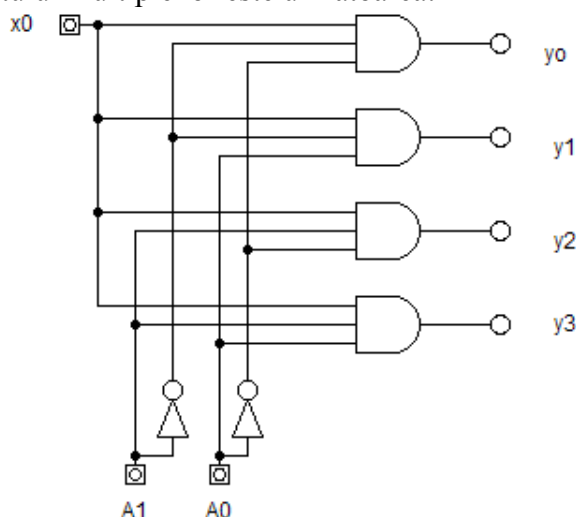


Laboratorul nr. 17

Studiul funcționării circuitului demultiplexor

În cadrul acestei lucrări de laborator se va realiza și se va studia funcționarea circuitului demultiplexor studiat în cadrul laboratorului precedent. În prima parte a laboratorului studenții se va realiza schema circuitului demultiplexor simulat la o oră de laborator precedentă. Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuitele integrate care încorporează porți logice AND, NOT și OR de ex: SN74HC08, SN74HC20, SN74HC32 și SN74HC04 se va realiza schema circuitului. Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

Schema circuitului multiplexor este următoarea:



La intrarea circuitului demultiplexor se va un semnalul dreptunghiular preluat de la generatorul pupitrului 13, cu parametrii stabiliți prin comutatoarele de reglaj a modulului generator.

La intrările de adresă ale circuitului se vor aplica semnale logice de comutatoarele logice ale pupitrului. Pentru vizualizarea semnalului la cele patru ieșiri se vor folosi câte un LED al pupitrului (2) cât și un osciloscop, cu ajutorul căruia se vor măsura parametrii semnalului aplica la intrare.

În continuare se va folosi circuitul integrat SN74HC139 care are în componență două circuite demultiplexoare fiecare cu 4 ieșiri. Pentru aceasta se va studia foaia de catalog a circuitului, din anexa îndrumarului de laborator, pentru identificarea pinilor circuitului multiplexor.

Se va realiza noul circuit și se vor aplica la intrare același semnal ca și la circuitul precedent studiat.

Cu ajutorul osciloscopului se va vizualiza semnalul aplicat pe rând la cele patru intrări cât și la ieșirea circuitului multiplexor.

Referatul de laborator trebuie să conțină schemele și observațiile studenților privind funcționarea fiecărui circuit în parte.

Întrebări propuse studenților în cadrul orelor de laborator

Întrebările sunt împărțite pe seturi corespunzătoare grupurilor de studenți de lucru în cadrul orelor de laborator.

Setul 1

1. Amplitudinea vârf la vârf a unui semnal sinusoidal, măsurată cu osciloscopul indica 5V. Poziția comutatorului de amplitudine indica 2V/div. Câte diviziuni are amplitudinea semnalului?
2. Ieșirea unei porți TTL logice indică sortanța 10. Care e curentul maxim furnizat de poartă?
3. Câte porți MOS se pot conecta la ieșirea unei porți TTL cu sortanță 3?
4. Desenați un circuit de selecție pentru numărul 240_z realizat cu porți ȘI cu 4 intrări și inversoare.
5. Scrieți ecuațiile demultiplexorului cu 4 ieșiri.
6. Care este condiția ca ansamblul multiplexor-demultiplexor să poată fi folosit la transmisia la distanță a semnalelor.

Setul 2

1. Amplitudinea unui semnal sinusoidal, măsurată cu osciloscopul indica 2 diviziuni. Poziția comutatorului de amplitudine indica 2V/div. Care este amplitudinea vârf la vârf a semnalului?
2. Cum se poate conecta o poartă TTL la ieșirea unei porți MOS?
3. Câte porți TTL cu sortanță de intrare 3 se pot conecta la ieșirea unei porți TTL cu sortanță 10?
4. Desenați un circuit de selecție pentru numărul 67_z realizat cu porți ȘI-NU cu 4 intrări și inversoare.
5. Scrieți ecuațiile demultiplexorului cu 2 ieșiri.
6. La o conexiune multiplexor-demultiplexor cum se realizează transmiterea informației: serial sau paralel? Explicați.

Setul 3

1. Perioada măsurată pe ecranul unui osciloscop indică 2,5 diviziuni. Ce frecvență are semnalul dacă poziția comutatorului bazei de timp este pe $2\mu\text{s}/\text{div}$?
2. Cum poate fi conectată ieșirea unei porți MOS alimentată la o tensiune $V_{DD}=10\text{V}$ la o intrare TTL?
3. Cum este definită sortanța în cazul circuitelor logice MOS?
4. Desenați un circuit de selecție pentru numărul 165_z realizat cu porți ȘI-NU cu 3 intrări și inversoare.
5. Care este frecvența minimă a semnalului de comandă a unui demultiplexor căruia i se aplică la intrare un semnal multiplexat cu frecvența maximă de 1kHz?

6. Care sunt principalele aplicații ale ansamblului multiplexor-demultiplexor?

Setul 4

1. Câte diviziuni va avea pe ecranul osciloscopului un semnal de 1kHz, dacă poziția comutatorului bazei de timp se află pe poziția 0,5 ms/div?
2. Desenați schema de comandă a unei porți MOS alimentată la o tensiune $V_{DD}=10V$ cu ajutorul unei porți TTL cu colectorul în gol (open collector).
3. Dacă la ieșirea unei porți logice cu sortanță 10 se conectează 5 intrări cu sortanță 3, ce se va întâmpla cu nivelele logice ale ieșirii?
4. Desenați un circuit de selecție pentru numărul 204_2 realizat cu porți ȘI-NU cu 4 intrări.
5. Dacă frecvența semnalului de comandă a unui demultiplexor este de 1kHz, care este frecvența maximă a semnalului multiplexat care se poate aplica la intrarea acestuia?
6. Pentru un ansamblu multiplexor-demultiplexor cu 3 intrări de comandă, care este numărul maxim de semnale distincte ce pot fi trimise la distanță?

Întrebări suplimentare:

- Care este sortanța de ieșire a unui circuit logic cu colectorul în gol (open collector)?
- Dacă se dă frecvența de comandă f_c a unui ansamblu multiplexor-demultiplexor cu 3 intrări de comandă. Care este durata de transmitere a unui semnal cu 8 biți prezentat la intrarea multiplexorului?

**SN5408, SN54LS08, SN54S08
SN7408, SN74LS08, SN74S08**
QUADRUPLE 2-INPUT POSITIVE-AND GATES
SDLS033 – DECEMBER 1983 – REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

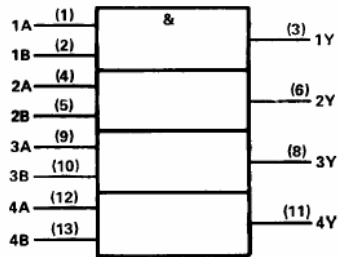
These devices contain four independent 2-input AND gates.

The SN5408, SN54LS08, and SN54S08 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7408, SN74LS08 and SN74S08 are characterized for operation from 0° to 70°C.

FUNCTION TABLE (each gate)

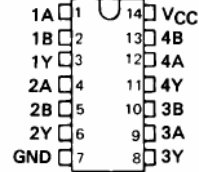
INPUTS		OUTPUT
A	B	Y
H	H	H
L	X	L
X	L	L

logic symbol†

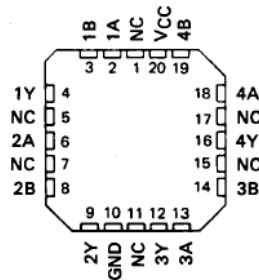


† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.

SN5408, SN54LS08, SN54S08 . . . J OR W PACKAGE
 SN7408 . . . J OR N PACKAGE
 SN74LS08, SN74S08 . . . D, J OR N PACKAGE
 (TOP VIEW)

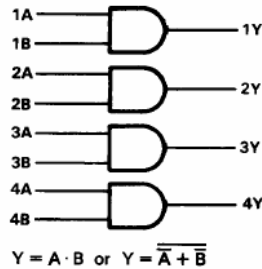


SN54LS08, SN54S08 . . . FK PACKAGE
 (TOP VIEW)



NC—No internal connection

logic diagram (positive logic)



PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

SN5442A, SN54LS42, SN7442A, SN74LS42
4-LINE BCD TO 10-LINE DECIMAL DECODERS

SDLS109 – MARCH 1974 – REVISED MARCH 1988

- All Outputs Are High for Invalid Input Conditions
- Also for Application as
4-Line-to-16-Line Decoders
3-Line-to-8-Line Decoders
- Diode-Clamped Inputs

TYPES	TYPICAL POWER DISSIPATION	TYPICAL PROPAGATION DELAYS
'42A	140 mW	17 ns
'LS42	35 mW	17 ns

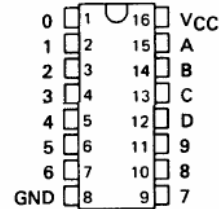
description

These monolithic BCD-to-decimal decoders consist of eight inverters and ten four-input NAND gates. The inverters are connected in pairs to make BCD input data available for decoding by the NAND gates. Full decoding of valid input logic ensures that all outputs remain off for all invalid input conditions.

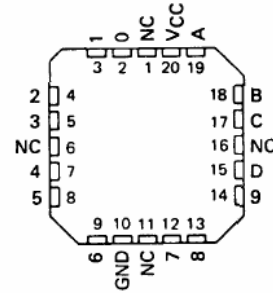
The '42A and 'LS42 feature inputs and outputs that are compatible for use with most TTL and other saturated low-level logic circuits. DC noise margins are typically one volt.

The SN5442A and SN54LS42 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7442A and SN74LS42 are characterized for operation from 0°C to 70°C.

SN5442A, SN54LS42 . . . J OR W PACKAGE
SN7442A . . . N PACKAGE
SN74LS42 . . . D OR N PACKAGE
(TOP VIEW)



SN54LS42 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

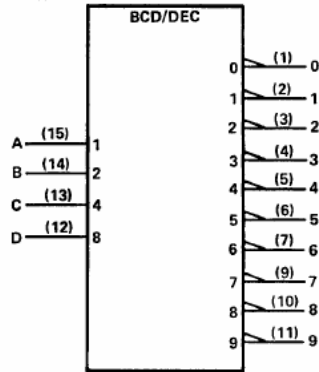
PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



SN5442A, SN54LS42, SN7442A, SN74LS42 4-LINE BCD TO 10-LINE DECIMAL DECODERS

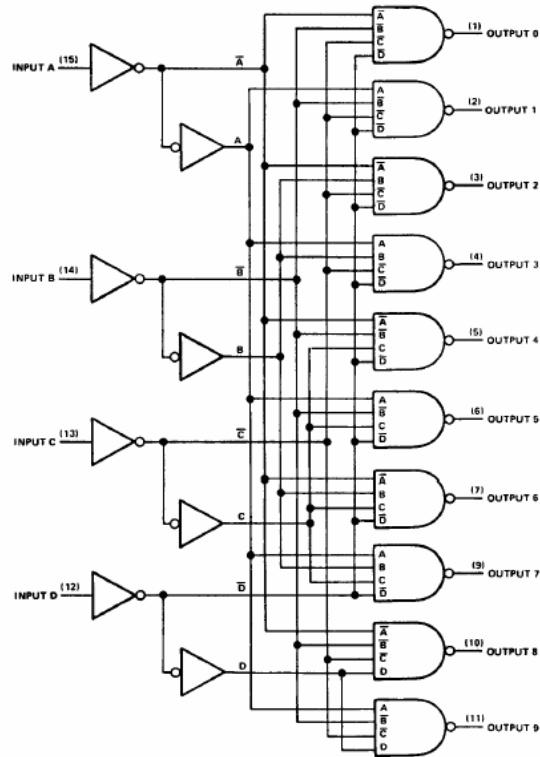
SDLS109 – MARCH 1974 – REVISED MARCH 1988

logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

logic diagram (positive logic)



Pin numbers shown are for D, J, N, and W packages.

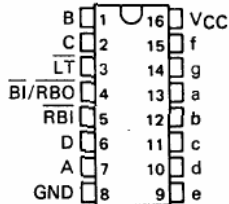


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

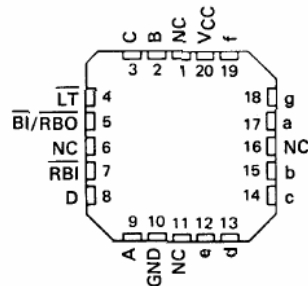
SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
 SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS
 SDLS111 - MARCH 1974 - REVISED MARCH 1988

'46A, '47A, 'LS47 feature	'48, 'LS48 feature	'LS49 feature
<ul style="list-style-type: none"> • Open-Collector Outputs Drive Indicators <i>Directly</i> • Lamp-Test Provision • Leading/Trailing Zero Suppression 	<ul style="list-style-type: none"> • Internal Pull-Ups Eliminate Need for External Resistors • Lamp-Test Provision • Leading/Trailing Zero Suppression 	<ul style="list-style-type: none"> • Open-Collector Outputs • Blanking Input

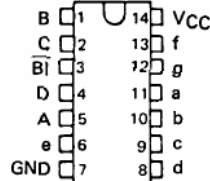
SN5446A, SN5447A, SN54LS47, SN5448,
 SN54LS48 . . . J PACKAGE
 SN7446A, SN7447A,
 SN7448 . . . N PACKAGE
 SN74LS47, SN74LS48 . . . D OR N PACKAGE
 (TOP VIEW)



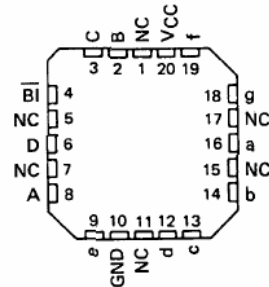
SN54LS47, SN54LS48 . . . FK PACKAGE
 (TOP VIEW)



SN54LS49 . . . J OR W PACKAGE
 SN74LS49 . . . D OR N PACKAGE
 (TOP VIEW)



SN54LS49 . . . FK PACKAGE
 (TOP VIEW)



NC - No internal connection

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



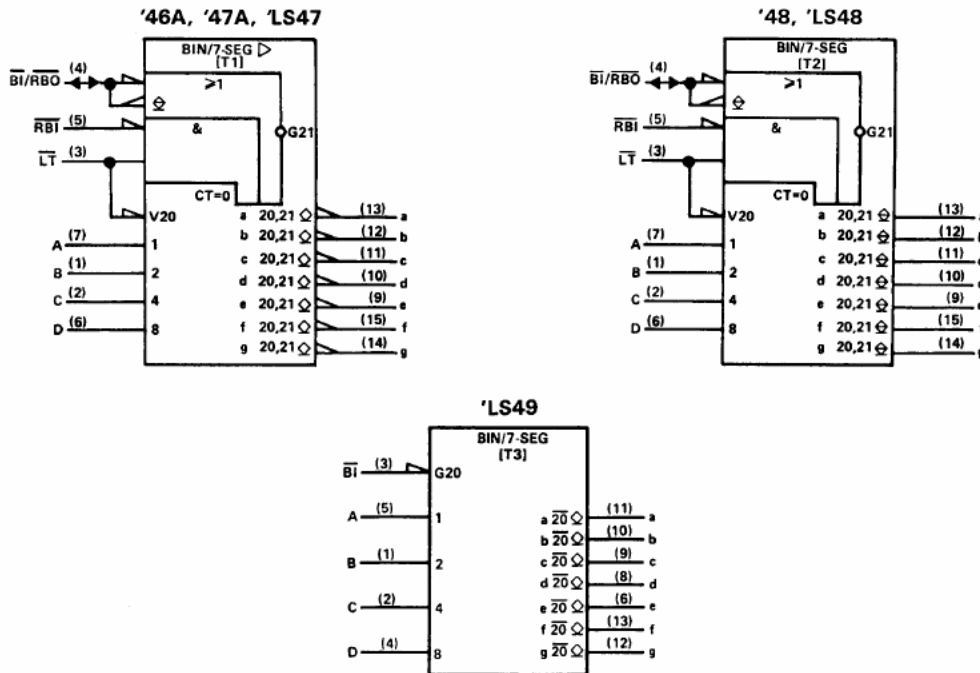
**SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS**

SDLS111 – MARCH 1974 – REVISED MARCH 1988

- All Circuit Types Feature Lamp Intensity Modulation Capability

TYPE	DRIVER OUTPUTS				TYPICAL POWER DISSIPATION	PACKAGES
	ACTIVE LEVEL	OUTPUT CONFIGURATION	SINK CURRENT	MAX VOLTAGE		
SN5446A	low	open-collector	40 mA	30 V	320 mW	J, W
SN5447A	low	open-collector	40 mA	15 V	320 mW	J, W
SN5448	high	2-k Ω pull-up	6.4 mA	5.5 V	265 mW	J,W
SN54LS47	low	open-collector	12 mA	15 V	35 mW	J, W
SN54LS48	high	2-k Ω pull-up	2 mA	5.5 V	125 mW	J, W
SN54LS49	high	open-collector	4 mA	5.5 V	40 mW	J, W
SN7446A	low	open-collector	40 mA	30 V	320 mW	J, N
SN7447A	low	open-collector	40 mA	15 V	320 mW	J, N
SN7448	high	2-k Ω pull-up	6.4 mA	5.5 V	265 mW	J, N
SN74LS47	low	open-collector	24 mA	15 V	35 mW	J, N
SN74LS48	high	2-k Ω pull-up	6 mA	5.5 V	125 mW	J, N
SN74LS49	high	open-collector	8 mA	5.5 V	40 mW	J, N

logic symbols†



†These symbols are in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

**SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS**

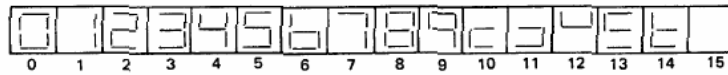
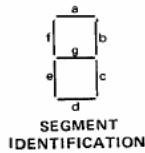
SDLS111 – MARCH 1974 – REVISED MARCH 1988

description

The '46A, '47A, and 'LS47 feature active-low outputs designed for driving common-anode LEDs or incandescent indicators directly. The '48, 'LS48, and 'LS49 feature active-high outputs for driving lamp buffers or common-cathode LEDs. All of the circuits except 'LS49 have full ripple-blanking input/output controls and a lamp test input. The 'LS49 circuit incorporates a direct blanking input. Segment identification and resultant displays are shown below. Display patterns for BCD input counts above 9 are unique symbols to authenticate input conditions.

The '46A, '47A, '48, 'LS47, and 'LS48 circuits incorporate automatic leading and/or trailing-edge zero-blanking control (RBI and RBO). Lamp test (LT) of these types may be performed at any time when the BI/RBO node is at a high level. All types (including the '49 and 'LS49) contain an overriding blanking input (BI), which can be used to control the lamp intensity by pulsing or to inhibit the outputs. Inputs and outputs are entirely compatible for use with TTL logic outputs.

The SN54246/SN74246 and '247 and the SN54LS247/SN74LS247 and 'LS248 compose the $\bar{5}$ and the $\bar{9}$ with tails and were designed to offer the designer a choice between two indicator fonts.



NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

'46A, '47A, 'LS47 FUNCTION TABLE (T1)

DECIMAL OR FUNCTION	INPUTS						$\overline{\text{BI}}/\overline{\text{RBO}}^\dagger$	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	OFF
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	OFF
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	ON
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	ON
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	ON
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	ON
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	ON
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	OFF
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	ON
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	ON
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	ON
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	ON
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	ON
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	ON
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	ON
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

- NOTES:
- The blanking input ($\overline{\text{BI}}$) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input ($\overline{\text{RBI}}$) must be open or high if blanking of a decimal zero is not desired.
 - When a low logic level is applied directly to the blanking input ($\overline{\text{BI}}$), all segment outputs are off regardless of the level of any other input.
 - When ripple-blanking input ($\overline{\text{RBI}}$) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output ($\overline{\text{RBO}}$) goes to a low level (response condition).
 - When the blanking input/ripple blanking output ($\overline{\text{BI}}/\overline{\text{RBO}}$) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

$^\dagger \overline{\text{BI}}/\overline{\text{RBO}}$ is wire AND logic serving as blanking input ($\overline{\text{BI}}$) and/or ripple-blanking output ($\overline{\text{RBO}}$).



POST OFFICE BOX 655305 • DALLAS, TEXAS 75265

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
 SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

SDLS111 - MARCH 1974 - REVISED MARCH 1988

'48, 'LS48
 FUNCTION TABLE (T2)

DECIMAL OR FUNCTION	INPUTS					$\overline{BI}/\overline{RBO}^\dagger$	OUTPUTS							NOTE
	LT	RBI	D	C	B		A	a	b	c	d	e	f	
0	H	H	L	L	L	L	H	H	H	H	H	H	L	
1	H	X	L	L	L	H	H	L	H	H	L	L	L	
2	H	X	L	L	H	L	H	H	H	L	H	H	L	
3	H	X	L	L	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	

H = high level, L = low level, X = irrelevant

- NOTES: 1. The blanking input (\overline{BI}) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (\overline{RBI}) must be open or high, if blanking of a decimal zero is not desired.
 2. When a low logic level is applied directly to the blanking input (\overline{BI}), all segment outputs are low regardless of the level of any other input.
 3. When ripple-blanking input (\overline{RBI}) and inputs A, B, C, and D are at a low level with the lamp-test input high, all segment outputs go low and the ripple-blanking output (\overline{RBO}) goes to a low level (response condition).
 4. When the blanking input/ripple-blanking output ($\overline{BI}/\overline{RBO}$) is open or held high and a low is applied to the lamp-test input, all segment outputs are high.

$^\dagger\overline{BI}/\overline{RBO}$ is wire-AND logic serving as blanking input (\overline{BI}) and/or ripple-blanking output (\overline{RBO}).

'LS49
 FUNCTION TABLE (T3)

DECIMAL OR FUNCTION	INPUTS					\overline{BI}	OUTPUTS							NOTE
	D	C	B	A	a		b	c	d	e	f	g		
0	L	L	L	L	H	H	H	H	H	H	L	L	L	
1	L	L	L	H	H	L	H	H	L	L	L	L	L	
2	L	L	H	L	H	H	H	L	H	H	L	L	H	
3	L	L	H	H	H	H	H	H	H	L	L	L	H	
4	L	H	L	L	H	L	H	H	L	L	H	H	H	
5	L	H	L	H	H	H	L	L	H	H	L	H	H	
6	L	H	H	L	H	H	L	L	H	H	H	H	H	
7	L	H	H	H	H	H	H	H	L	L	L	L	L	
8	H	L	L	L	H	H	H	H	H	H	H	H	H	
9	H	L	L	H	H	H	H	L	L	L	L	H	H	
10	H	L	H	L	H	L	L	L	H	H	L	L	H	
11	H	L	H	H	H	L	L	L	H	H	L	L	H	
12	H	H	L	L	H	L	H	L	L	L	L	H	H	
13	H	H	L	H	H	H	L	L	L	H	L	H	H	
14	H	H	H	L	H	L	L	L	L	H	H	H	H	
15	H	H	H	H	H	L	L	L	L	L	L	L	L	
BI	X	X	X	X	L	L	L	L	L	L	L	L	L	

H = high level, L = low level, X = irrelevant

- NOTES: 1. The blanking input (\overline{BI}) must be open or held at a high logic level when output functions 0 through 15 are desired.
 2. When a low logic level is applied directly to the blanking input (\overline{BI}), all segment outputs are low regardless of the level of any other input.

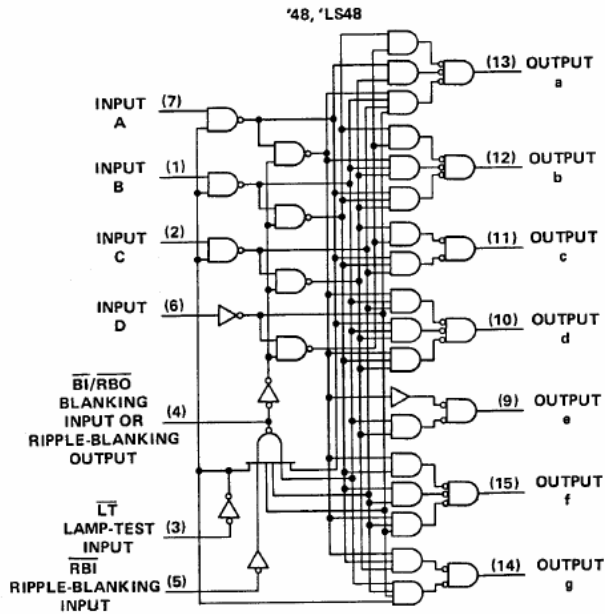
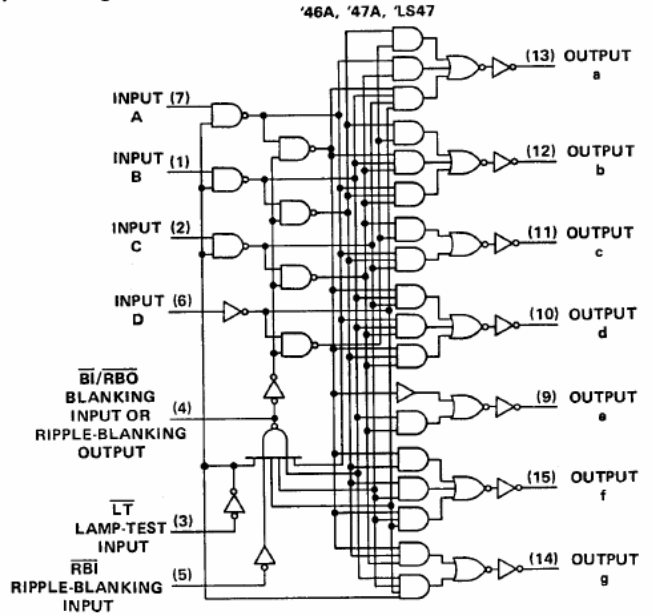


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
 SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

SDLS111 - MARCH 1974 - REVISED MARCH 1988

logic diagrams (positive logic)



Pin numbers shown are for D, J, N, and W packages.

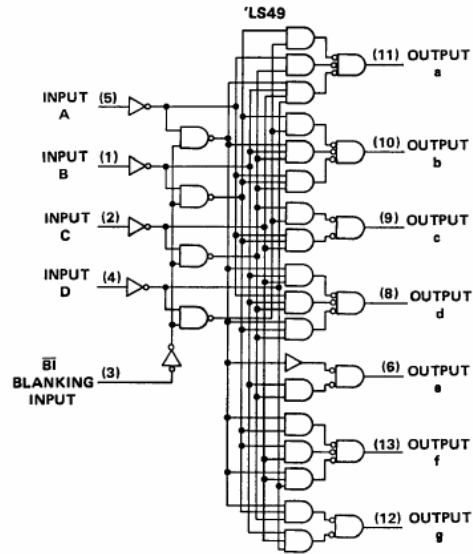


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
 SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

SDLS111 – MARCH 1974 – REVISED MARCH 1988

logic diagrams (continued)



Pin numbers shown are for D, J, N, and W packages.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265



MOTOROLA

ANEXA 4

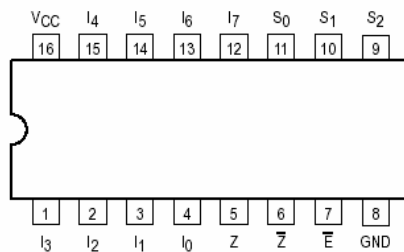
8-INPUT MULTIPLEXER

The MC54/74F151 is a high-speed 8-input digital multiplexer. It provides in one package, the ability to select one line of data from up to eight sources. The F151 can be used as a universal function generator to generate any logic function of four variables. Both asserted and negated outputs are provided.

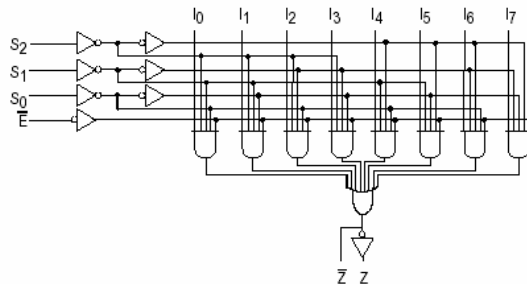
The F151 is a logic implementation of a single pole, 8-position switch with the switch position controlled by the state of three Select inputs, S_0 , S_1 , S_2 . The Enable input (\bar{E}) is active LOW. The logic function provided at the output is:

$$Z = \bar{E} \cdot (I_0 \cdot \bar{S}_0 \cdot \bar{S}_1 \cdot \bar{S}_2 + I_1 \cdot S_0 \cdot \bar{S}_1 \cdot \bar{S}_2 + I_2 \cdot \bar{S}_0 \cdot S_1 \cdot \bar{S}_2 + I_3 \cdot S_0 \cdot S_1 \cdot \bar{S}_2 + I_4 \cdot \bar{S}_0 \cdot \bar{S}_1 \cdot S_2 + I_5 \cdot S_0 \cdot \bar{S}_1 \cdot S_2 + I_6 \cdot \bar{S}_0 \cdot S_1 \cdot S_2 + I_7 \cdot S_0 \cdot S_1 \cdot S_2)$$

CONNECTION DIAGRAM DIP (TOP VIEW)



LOGIC DIAGRAM



FUNCTION TABLE

\bar{E}	Inputs			Outputs	
	S_2	S_1	S_0	\bar{Z}	Z
H	X	X	X	H	L
L	L	L	L	\bar{I}_0	I_0
L	L	L	H	\bar{I}_1	I_1
L	L	H	L	\bar{I}_2	I_2
L	L	H	H	\bar{I}_3	I_3
L	H	L	L	\bar{I}_4	I_4
L	H	L	H	\bar{I}_5	I_5
L	H	H	L	\bar{I}_6	I_6
L	H	H	H	\bar{I}_7	I_7

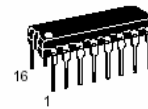
H = HIGH Voltage Level; L = LOW Voltage Level; X = Don't Care

MC54/74F151

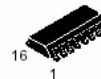
8-INPUT
MULTIPLEXER
FAST™ SHOTTKY TTL



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

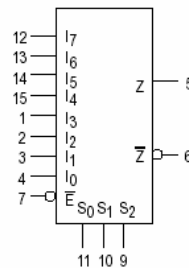


D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

MC54FXXXJ Ceramic
MC74FXXXN Plastic
MC74FXXXD SOIC

LOGIC SYMBOL



V_{CC} = PIN 16
 GND = PIN 8

DM54LS154/DM74LS154 4-Line to 16-Line Decoders/Demultiplexers

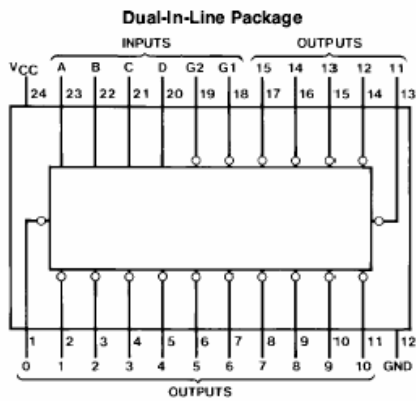
General Description

Each of these 4-line-to-16-line decoders utilizes TTL circuitry to decode four binary-coded inputs into one of sixteen mutually exclusive outputs when both the strobe inputs, G1 and G2, are low. The demultiplexing function is performed by using the 4 input lines to address the output line, passing data from one of the strobe inputs with the other strobe input low. When either strobe input is high, all outputs are high. These demultiplexers are ideally suited for implementing high-performance memory decoders. All inputs are buffered and input clamping diodes are provided to minimize transmission-line effects and thereby simplify system design.

Features

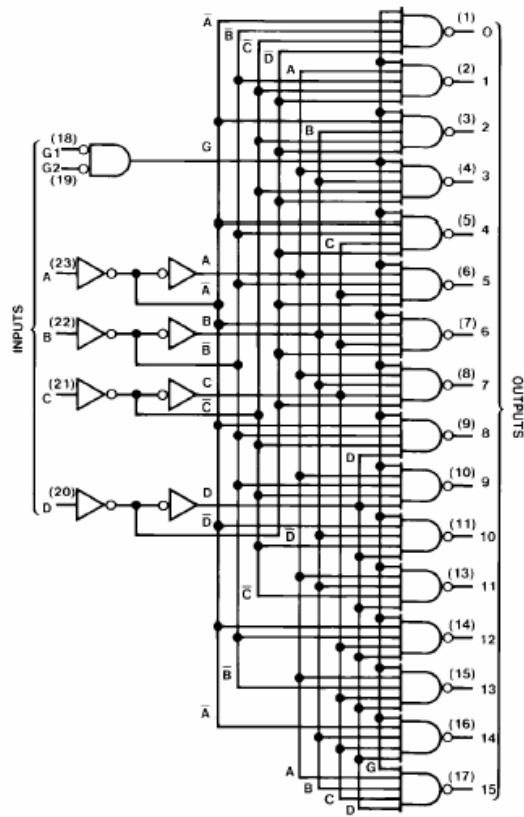
- Decodes 4 binary-coded inputs into one of 16 mutually exclusive outputs
- Performs the demultiplexing function by distributing data from one input line to any one of 16 outputs
- Input clamping diodes simplify system design
- High fan-out, low-impedance, totem-pole outputs
- Typical propagation delay
3 levels of logic 23 ns
Strobe 19 ns
- Typical power dissipation 45 mW

Connection and Logic Diagrams



TL/F/6394-1

Order Number DM54LS154J,
DM74LS154WM or DM74LS154N
See NS Package Number J24A, M24B or N24A



TL/F/6394-2

DM54LS154/DM74LS154 4-Line to 16-Line Decoders/Demultiplexers

SN54147, SN54148, SN54LS147, SN54LS148
 SN74147, SN74148 (TIM9907), SN74LS147, SN74LS148
 10-LINE TO 4-LINE AND 8-LINE TO 3-LINE PRIORITY ENCODERS
 SDLS053A - OCTOBER 1976 - REVISED FEBRUARY 2001

'147, 'LS147

- Encodes 10-Line Decimal to 4-Line BCD
- Applications Include:
 - Keyboard Encoding
 - Range Selection

'148, 'LS148

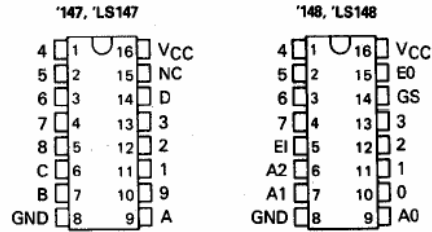
- Encodes 8 Data Lines to 3-Line Binary (Octal)
- Applications Include:
 - N-Bit Encoding
 - Code Converters and Generators

TYPE	TYPICAL DATA DELAY	TYPICAL POWER DISSIPATION
'147	10 ns	225 mW
'148	10 ns	190 mW
'LS147	15 ns	60 mW
'LS148	15 ns	60 mW

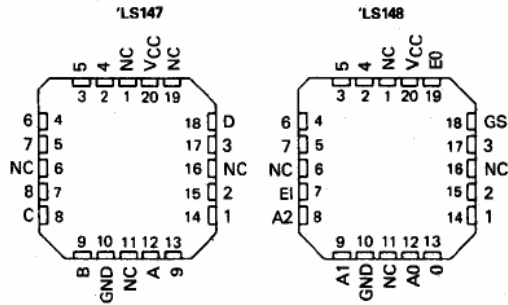
description

These TTL encoders feature priority decoding of the inputs to ensure that only the highest-order data line is encoded. The '147 and 'LS147 encode nine data lines to four-line (8-4-2-1) BCD. The implied decimal zero condition requires no input condition as zero is encoded when all nine data lines are at a high logic level. The '148 and 'LS148 encode eight data lines to three-line (4-2-1) binary (octal). Cascading circuitry (enable input EI and enable output EO) has been provided to allow octal expansion without the need for external circuitry. For all types, data inputs and outputs are active at the low logic level. All inputs are buffered to represent one normalized Series 54/74 or 54LS/74LS load, respectively.

SN54147, SN54LS147,
 SN54148, SN54LS148 . . . J OR W PACKAGE
 SN74147, SN74148 . . . N PACKAGE
 SN74LS147, SN74LS148 . . . D OR N PACKAGE
 (TOP VIEW)



SN54LS147, SN54LS148 . . . FK PACKAGE
 (TOP VIEW)



NC - No internal connection

'147, 'LS147
 FUNCTION TABLE

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	L	H	H	H	H	L	L	L
X	X	X	X	L	H	H	H	H	H	L	L	H
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	L	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = high logic level, L = low logic level, X = irrelevant

'148, 'LS148
 FUNCTION TABLE

INPUTS								OUTPUTS					
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	L	H	L	L	L	L	H
L	X	X	X	X	X	L	H	H	L	L	H	L	H
L	X	X	X	X	L	H	H	H	L	H	L	L	H
L	X	X	X	L	H	H	H	H	L	H	L	L	H
L	X	X	L	H	H	H	H	H	H	L	L	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

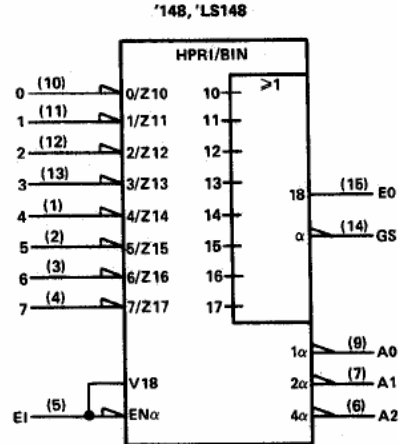
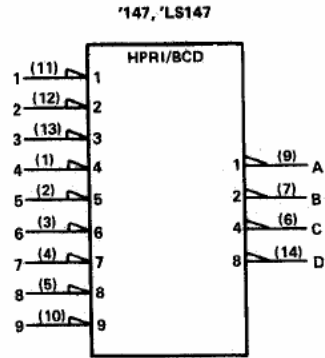
PRODUCTION DATA Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



SN54147, SN54148, SN54LS147, SN54LS148
 SN74147, SN74148 (TIM9907), SN74LS147, SN74LS148
 10-LINE TO 4-LINE AND 8-LINE TO 3-LINE PRIORITY ENCODERS

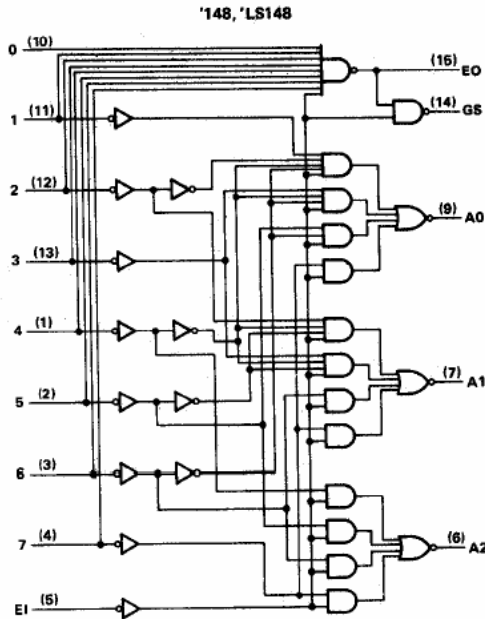
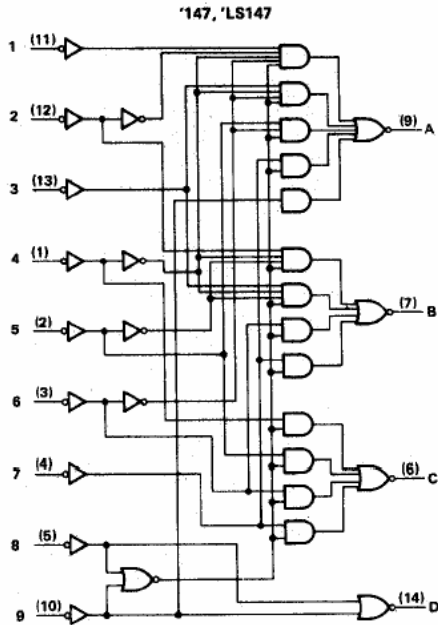
SDLS053A - OCTOBER 1976 - REVISED FEBRUARY 2001

logic symbols†



†These symbols are in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12.
 Pin numbers shown are for D, J, N, and W packages.

logic diagrams



Pin numbers shown are for D, J, N, and W packages.

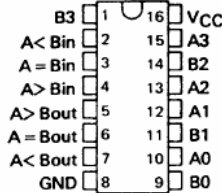


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

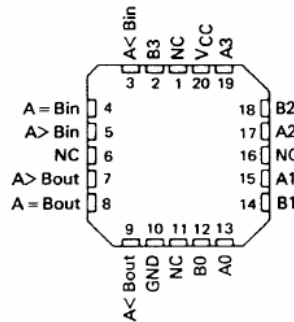
**SN5485, SN54LS85, SN54S85
SN7485, SN74LS85, SN74S85
4-BIT MAGNITUDE COMPARATORS**
SDLS123 - MARCH 1974 - REVISED MARCH 1988

TYPE	TYPICAL POWER DISSIPATION	TYPICAL DELAY (4-BIT WORDS)
'85	275 mW	23 ns
'LS85	52 mW	24 ns
'S85	365 mW	11 ns

SN5485, SN54LS85, SN54S85 . . . J OR W PACKAGE
SN7485 . . . N PACKAGE
SN74LS85, SN74S85 . . . D OR N PACKAGE
(TOP VIEW)



SN54LS85, SN54S85 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

description

These four-bit magnitude comparators perform comparison of straight binary and straight BCD (8-4-2-1) codes. Three fully decoded decisions about two 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The A > B, A < B, and A = B outputs of a stage handling less-significant bits are connected to the corresponding A > B, A < B, and A = B inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must have a high-level voltage applied to the A = B input. The cascading paths of the '85, 'LS85, and 'S85 are implemented with only a two-gate-level delay to reduce overall comparison times for long words. An alternate method of cascading which further reduces the comparison time is shown in the typical application data.

FUNCTION TABLE

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A2 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

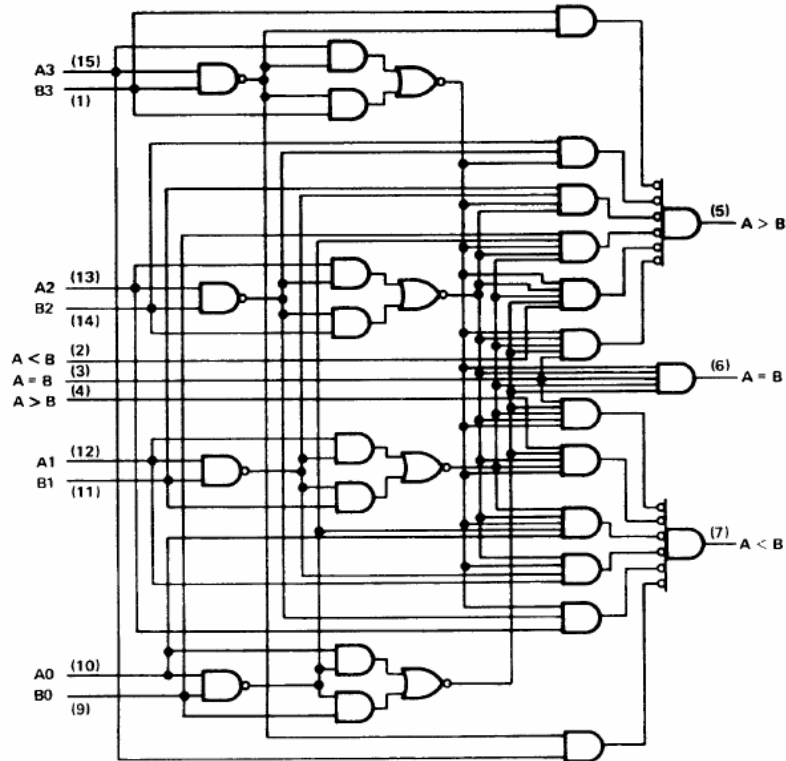
PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



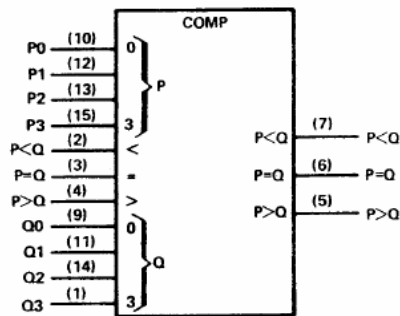
SN5485, SN54LS85, SN54S85
 SN7485, SN74LS85, SN74S85
 4-BIT MAGNITUDE COMPARATORS

SDLS123 - MARCH 1974 - REVISED MARCH 1988

logic diagrams (positive logic)



logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.



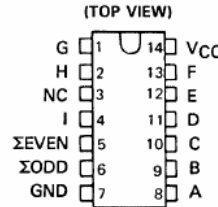
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

**SN54LS280, SN54S280, SN74LS280, SN74S280
9-BIT ODD/EVEN PARITY GENERATORS/CHECKERS**

SDLS152 – DECEMBER 1972 – REVISED MARCH 1988

- Generates Either Odd or Even Parity for Nine Data Lines
- Cascadable for n-Bits
- Can Be Used to Upgrade Existing Systems using MSI Parity Circuits
- Typical Data-to-Output Delay of Only 14 ns for 'S280 and 33 ns for 'LS280
- Typical Power Dissipation:
'LS280 . . . 80 mW
'S280 . . . 335 mW

SN54LS280, SN54S280 . . . J OR W PACKAGE
SN74LS280, SN74S280 . . . D OR N PACKAGE

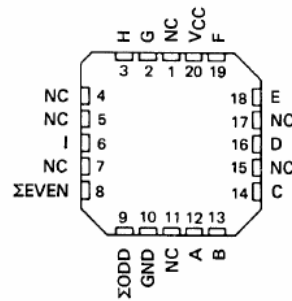


FUNCTION TABLE

NUMBER OF INPUTS A THRU I THAT ARE HIGH	OUTPUTS	
	Σ EVEN	Σ ODD
0, 2, 4, 6, 8	H	L
1, 3, 5, 7, 9	L	H

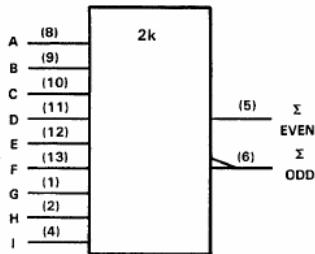
H = high level, L = low level

SN54LS280, SN54S280 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

logic symbol†



†This symbol is in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12.

Pin numbers shown are for D, J, N, and W packages.

description

These universal, monolithic, nine-bit parity generators/checkers utilize Schottky-clamped TTL high-performance circuitry and feature odd/even outputs to facilitate operation of either odd or even parity application. The word-length capability is easily expanded by cascading as shown under typical application data.

Series 54LS/74LS and Series 54S/74S parity generators/checkers offer the designer a trade-off between reduced power consumption and high performance. These devices can be used to upgrade the performance of most systems utilizing the '180 parity generator/checker. Although the 'LS280 and 'S280 are implemented without expander inputs, the corresponding function is provided by the availability of an input at pin 4 and the absence of any internal connection at pin 3. This permits the 'LS280 and 'S280 to be substituted for the '180 in existing designs to produce an identical function even if 'LS280's and 'S280's are mixed with existing '180's.

These devices are fully compatible with most other TTL circuits. All 'LS280 and 'S280 inputs are buffered to lower the drive requirements to one Series 54LS/74LS or Series 54S/74S standard load, respectively.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



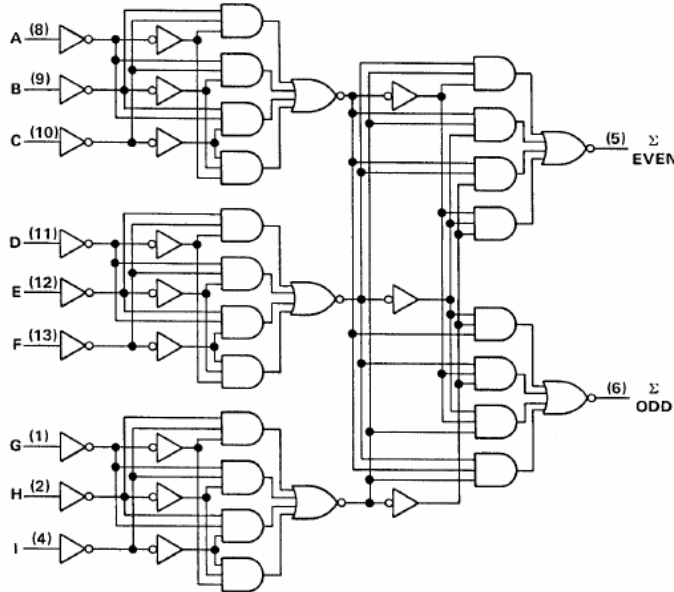
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

SN54LS280, SN54S280, SN74LS280, SN74S280 9-BIT ODD/EVEN PARITY GENERATORS/CHECKERS

SDLS152 – DECEMBER 1972 – REVISED MARCH 1988

logic diagram (positive logic)

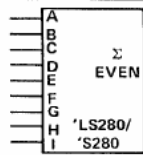
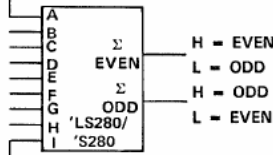
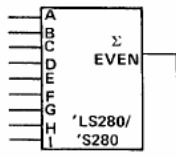


Pin numbers shown are for D, J, N, and W packages.

TYPICAL APPLICATION DATA

25-LINE PARITY/GENERATOR CHECKER

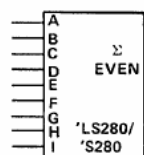
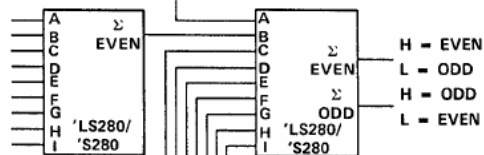
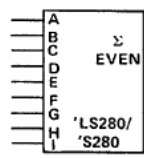
Three 'LS280's or 'S280's can be used to implement a 25-line parity generator/checker. This arrangement will provide parity in typically 75 or 25 nanoseconds respectively.



As an alternative, the outputs of two or three parity generators/checkers can be decoded with a 2-input ('S86 or 'LS86) or 3-input ('S135) exclusive-OR gate for 18- or 27-line parity applications.

81-LINE PARITY/GENERATOR CHECKER

Longer word lengths can be implemented by cascading 'LS280's or 'S280's. As shown here, parity can be generated for word lengths up to 81 bits in typically 75 or 25 nanoseconds respectively.



TO OTHER 'LS280/'S280



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

5

DM74LS83A 4-Bit Binary Adder with Fast Carry

General Description

These full adders perform the addition of two 4-bit binary numbers. The sum (Σ) outputs are provided for each bit and the resultant carry (C4) is obtained from the fourth bit. These adders feature full internal look ahead across all four bits. This provides the system designer with partial look-ahead performance at the economy and reduced package count of a ripple-carry implementation.

The adder logic, including the carry, is implemented in its true form meaning that the end-around carry can be accomplished without the need for logic or level inversion.

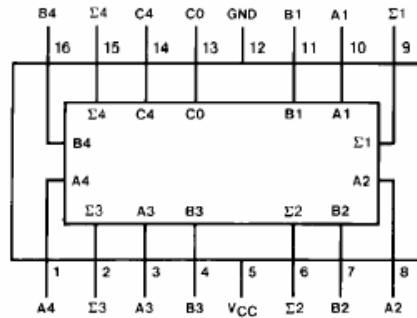
Features

- Full-carry look-ahead across the four bits
- Systems achieve partial look-ahead performance with the economy of ripple carry
- Typical add times
 - Two 8-bit words 25 ns
 - Two 16-bit words 45 ns
- Typical power dissipation per 4-bit adder 95 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS83AN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Connection Diagram



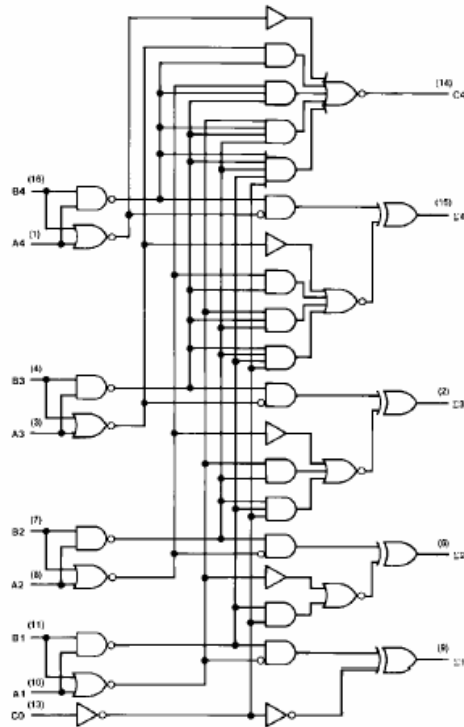
Truth Table

Inputs				Outputs							
				When C0 = L				When C0 = H			
A1	B1	A2	B2	$\Sigma 1$	$\Sigma 2$	When C2 = L		$\Sigma 1$	$\Sigma 2$	When C2 = H	
A3	B3	A4	B4	$\Sigma 3$	$\Sigma 4$	C2	C4	$\Sigma 3$	$\Sigma 4$	C2	C4
L	L	L	L	L	L	L	L	H	L	L	L
H	L	L	L	H	L	L	L	L	H	L	L
L	H	L	L	L	H	L	L	L	H	L	L
H	H	L	L	L	H	L	L	L	H	L	L
L	L	H	L	L	H	H	L	L	L	L	H
H	L	H	L	L	H	H	L	L	L	L	H
L	H	H	L	L	L	L	H	L	L	L	H
H	H	H	L	L	L	L	H	L	L	L	H
L	L	L	H	L	H	L	L	H	H	L	L
H	L	L	H	L	H	H	L	L	L	L	H
L	H	L	H	L	H	H	L	L	L	L	H
H	H	L	H	L	L	L	H	L	L	L	H
L	L	H	H	L	L	L	H	L	L	L	H
H	L	H	H	L	L	L	H	L	L	L	H
L	H	H	H	L	L	L	H	L	L	L	H
H	H	H	H	L	L	L	H	L	L	L	H

H = HIGH Level, L = LOW Level

Input conditions at A1, B1, A2, B2, and C0 are used to determine outputs $\Sigma 1$ and $\Sigma 2$ and the value of the internal carry C2. The values at C2, A3, B3, A4, and B4 are then used to determine outputs $\Sigma 3$, $\Sigma 4$, and C4.

Logic Diagram



SN5473, SN54LS73A, SN7473, SN74LS73A
DUAL J-K FLIP-FLOPS WITH CLEAR

SDLS118 – DECEMBER 1983 – REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

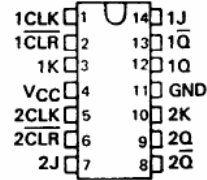
description

The '73, and 'H73, contain two independent J-K flip-flops with individual J-K, clock, and direct clear inputs. The '73, and 'H73, are positive pulse-triggered flip-flops. J-K input is loaded into the master while the clock is high and transferred to the slave on the high-to-low transition. For these devices the J and K inputs must be stable while the clock is high.

The 'LS73A contains two independent negative-edge-triggered flip-flops. The J and K inputs must be stable one setup time prior to the high-to-low clock transition for predictable operation. When the clear is low, it overrides the clock and data inputs forcing the Q output low and the \bar{Q} output high.

The SN5473, SN54H73, and the SN54LS73A are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7473, and the SN74LS73A are characterized for operation from 0°C to 70°C.

SN5473, SN54LS73A . . . J OR W PACKAGE
SN7473 . . . N PACKAGE
SN74LS73A . . . D OR N PACKAGE
(TOP VIEW)



73
FUNCTION TABLE

INPUTS				OUTPUTS	
CLR	CLK	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	\downarrow	L	L	Q_0	\bar{Q}_0
H	\downarrow	H	L	H	L
H	\downarrow	L	H	L	H
H	\downarrow	H	H	TOGGLE	

'LS73A
FUNCTION TABLE

INPUTS				OUTPUTS	
CLR	CLK	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	\downarrow	L	L	Q_0	\bar{Q}_0
H	\downarrow	H	L	H	L
H	\downarrow	L	H	L	H
H	\downarrow	H	H	TOGGLE	
H	H	X	X	Q_0	\bar{Q}_0

FOR CHIP CARRIER INFORMATION,
CONTACT THE FACTORY

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



SN5473, SN54LS73A, SN7473, SN74LS73A DUAL J-K FLIP-FLOPS WITH CLEAR

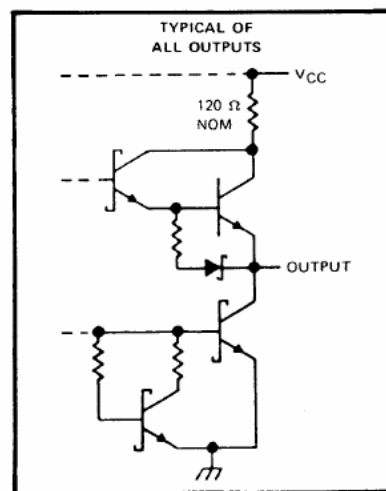
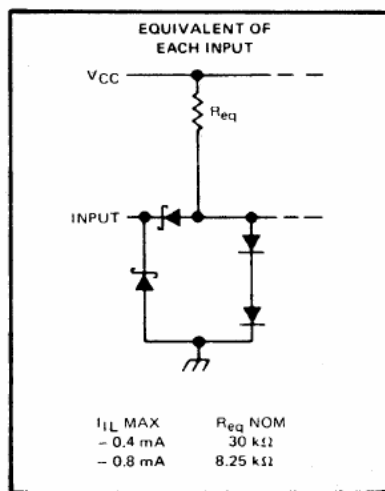
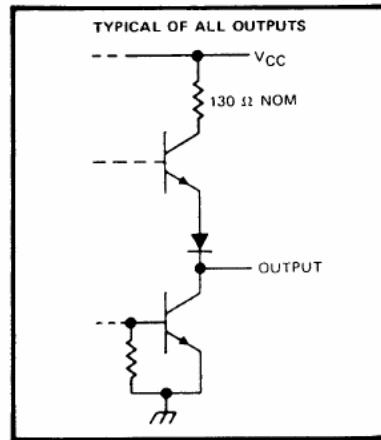
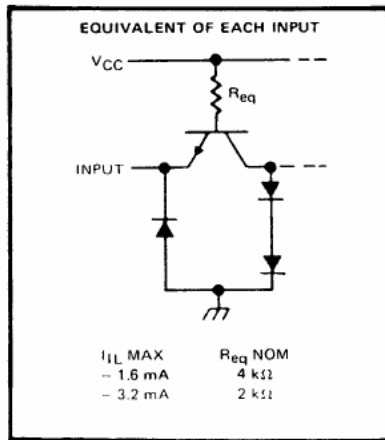
SDLS118 – DECEMBER 1983 – REVISED MARCH 1988

logic symbols†



†These symbols are in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12.

schematics of inputs and outputs

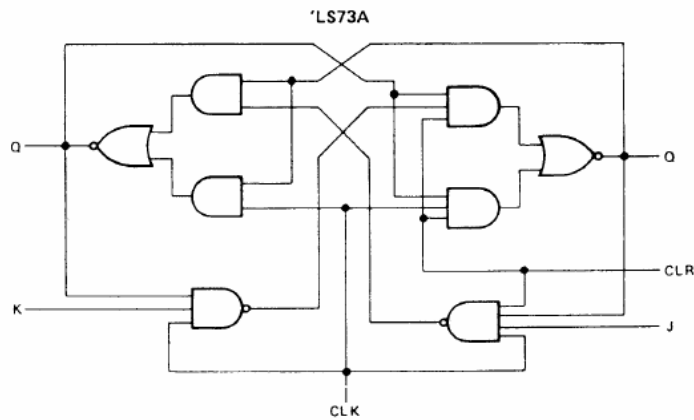
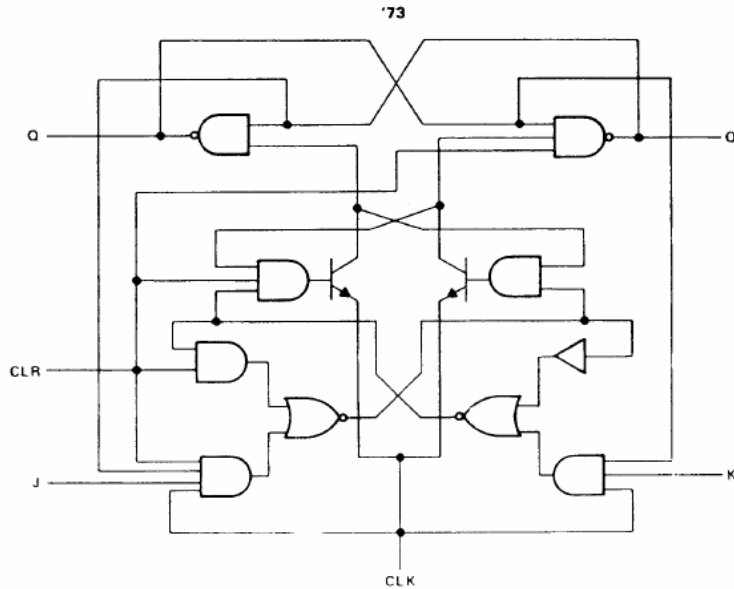


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN5473, SN54LS73A, SN7473, SN74LS73A
DUAL J-K FLIP-FLOPS WITH CLEAR

SDLS118 – DECEMBER 1983 – REVISED MARCH 1988

logic diagrams (positive logic)



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (See Note 1)	7 V
Input voltage: '73	5.5 V
'LS73A	7 V
Operating free-air temperature range: SN54'	-55°C to 125°C
SN74'	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

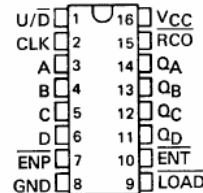


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

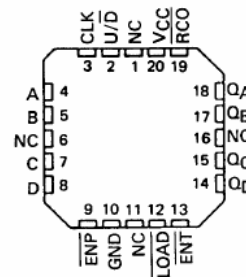
SN54LS169B, SN54S169
SN74LS169B, SN74S169
SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS
SDLS134 – OCTOBER 1976 – REVISED MARCH 1988

- Programmable Look-Ahead Up/Down Binary Counters
- Fully Synchronous Operation for Counting and Programming
- Internal Look-Ahead for Fast Counting
- Carry Output for n-Bit Cascading
- Fully Independent Clock Circuit

SN54LS169B, SN54S169 . . . J OR W PACKAGE
 SN74LS169B, SN74S169 . . . D OR N PACKAGE
 (TOP VIEW)



SN54LS169B, SN54S169 . . . FK PACKAGE
 (TOP VIEW)



NC-No internal connection

description

These synchronous presettable counters feature an internal carry look-ahead for cascading in high speed counting applications. The 'LS169B and 'S169 are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the count-enable inputs and internal gating. This mode of operation helps eliminate the output counting spikes that are normally associated with asynchronous (ripple-clock) counters. A buffered clock input triggers the four master-slave flip-flops on the rising (positive-going) edge of the clock waveform.

These counters are fully programmable; that is the outputs may each be preset to either level. The load input circuitry allows loading with the carry-enable output of cascaded counters. As loading is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the data inputs after the next clock pulse.

The carry look-ahead circuitry provides for cascading counters for n-bit synchronous applications without additional gating. Instrumental in accomplishing this function are two count-enable inputs and a carry output. Both count enable inputs (ENP, ENT) must be low to count. The direction of the count is determined by the level of the up/down input. When the input is high, the counter counts up; when low, it counts down. Input ENT is fed forward to enable the carry output. The carry output thus enabled will produce a low-level output pulse with a duration approximately equal to the high portion of the QA output when counting up and approximately equal to the low portion of the QA output when counting down. This low-level overflow carry pulse can be used to enable successive cascaded stages. Transitions at the ENP or ENT inputs are allowed regardless of the level of the clock input. All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design.

These counters feature a fully independent clock circuit. Changes at control inputs (ENP, ENT, LOAD, U/D) that will modify the operating mode have no effect until clocking occurs. The function of the counter (whether enabled, disabled, loading, or counting) will be dictated solely by the conditions meeting the stable setup and hold times.

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY		TYPICAL POWER DISSIPATION
	COUNTING UP	COUNTING DOWN	
'LS169B	35MHz	35MHz	100mW
'S169	70MHz	55MHz	500mW

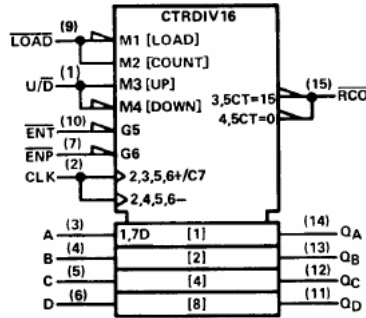
PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



SN54LS169B, SN54S169
SN74LS169B, SN74S169
SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS

SDLS134 – OCTOBER 1976 – REVISED MARCH 1988

logic symbol[†]

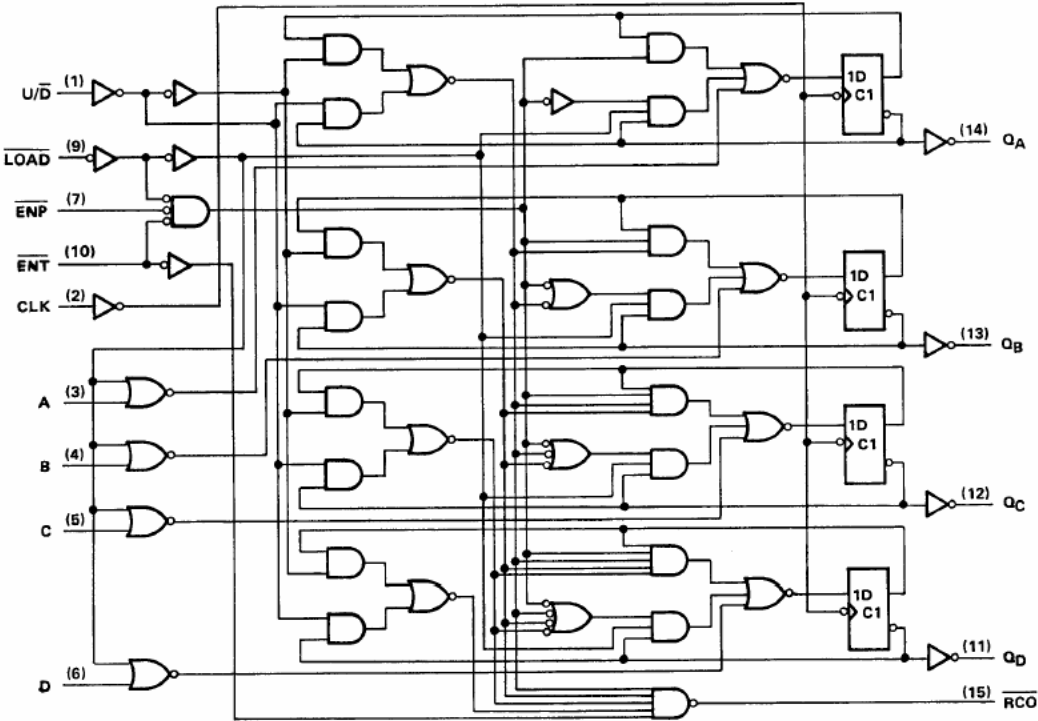


[†]This symbol is in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.

SN54LS169B, SN54S169
 SN74LS169B, SN74S169
 SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS

SDLS134 - OCTOBER 1976 - REVISED MARCH 1988

logic diagram (positive logic)



Pin numbers shown are for D, J, N, and W packages.

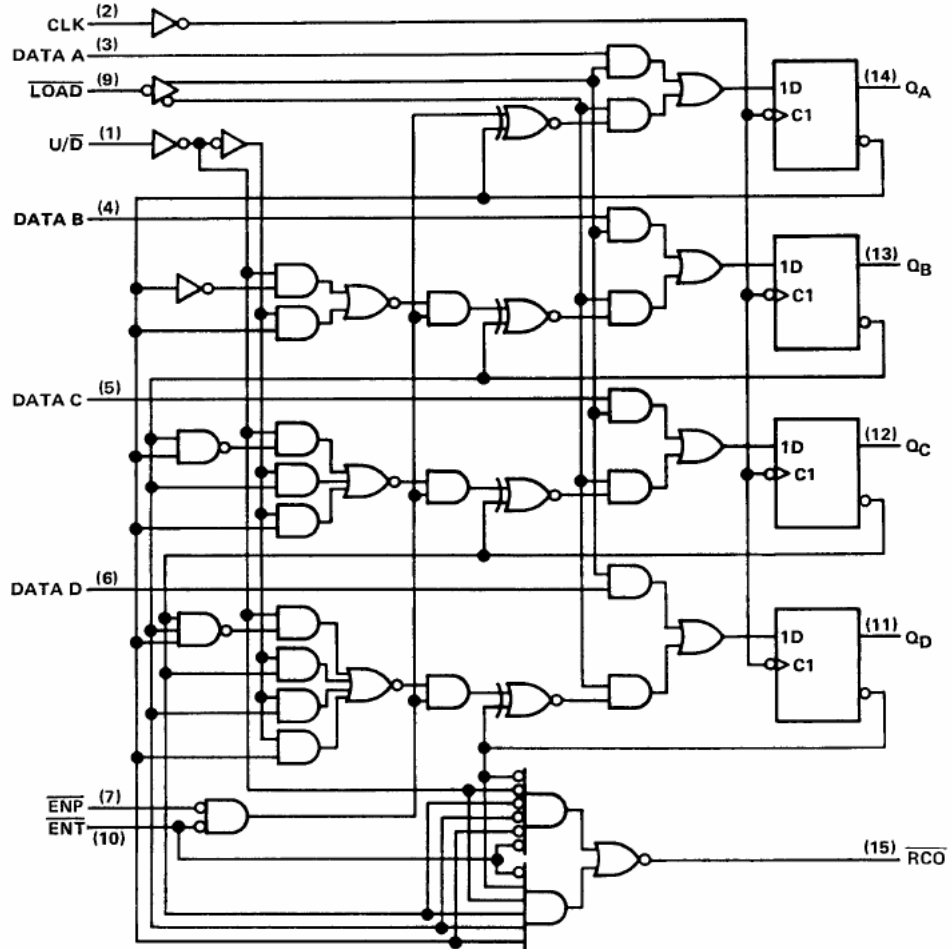


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54LS169B, SN54S169
 SN74LS169B, SN74S169
 SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS

SDLS134 – OCTOBER 1976 – REVISED MARCH 1988

logic diagram (positive logic)



Pin numbers shown are for D, J, N, and W packages.



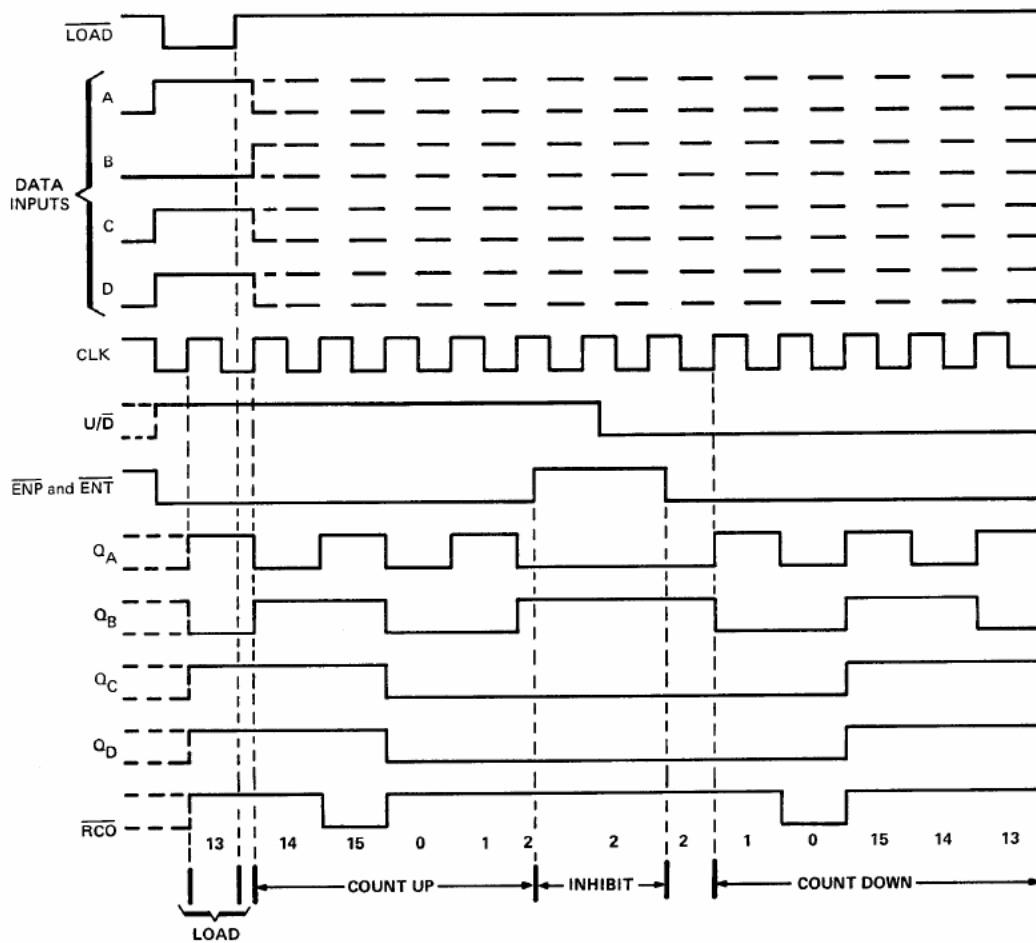
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54LS169B, SN54S169
SN74LS169B, SN74S169
SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS
SDLS134 – OCTOBER 1976 – REVISED MARCH 1988

typical load, count, and inhibit sequences

Illustrated below is the following sequence:

1. Load (preset) to binary thirteen.
2. Count up to fourteen, fifteen (maximum), zero, one, and two.
3. Inhibit
4. Count down to one, zero (minimum), fifteen, fourteen, and thirteen



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

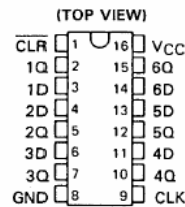
SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175,
SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

SDLS068A – DECEMBER 1972 – REVISED OCTOBER 2001

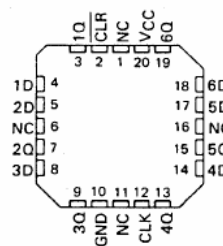
'174, 'LS174, 'S174 ... HEX D-TYPE FLIP-FLOPS
'175, 'LS175, 'S175 ... QUADRUPLE D-TYPE FLIP-FLOPS

- '174, 'LS174, 'S174 Contain Six Flip-Flops with Single-Rail Outputs
- '175, 'LS175, 'S175 Contain Four Flip-Flops with Double-Rail Outputs
- Three Performance Ranges Offered: See Table Lower Right
- Buffered Clock and Direct Clear Inputs
- Individual Data Input to Each Flip-Flop
- Applications include:
Buffer/Storage Registers
Shift Registers
Pattern Generators

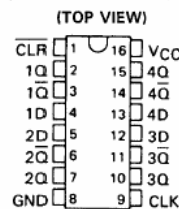
SN54174, SN54LS174, SN54S174 ... J OR W PACKAGE
SN74174 ... N PACKAGE
SN74LS174, SN74S174 ... D OR N PACKAGE



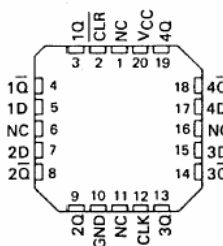
SN54LS174, SN54S174 ... FK PACKAGE
(TOP VIEW)



SN54175, SN54LS175, SN54S175 ... J OR W PACKAGE
SN74175 ... N PACKAGE
SN74LS175, SN74S175 ... D OR N PACKAGE



SN54LS175, SN54S175 ... FK PACKAGE
(TOP VIEW)



NC – No internal connection

description

These monolithic, positive-edge-triggered flip-flops utilize TTL circuitry to implement D-type flip-flop logic. All have a direct clear input, and the '175, 'LS175, and 'S175 feature complementary outputs from each flip-flop.

Information at the D inputs meeting the setup time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a particular voltage level and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the high or low level, the D input signal has no effect at the output.

These circuits are fully compatible for use with most TTL circuits.

FUNCTION TABLE
(EACH FLIP-FLOP)

INPUTS			OUTPUTS	
CLEAR	CLOCK	D	Q	Q̄†
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q ₀	Q̄ ₀

- H = high level (steady state)
- L = low level (steady state)
- X = irrelevant
- ↑ = transition from low to high level
- Q₀ = the level of Q before the indicated steady-state input conditions were established.
- † = '175, 'LS175, and 'S175 only

TYPES	TYPICAL	TYPICAL
	MAXIMUM	POWER
	CLOCK	DISSIPATION
	FREQUENCY PER FLIP-FLOP	
'174, '175	35 MHz	38 mW
'LS174, 'LS175	40 MHz	14 mW
'S174, 'S175	110 MHz	75 mW

PRODUCTION DATA Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



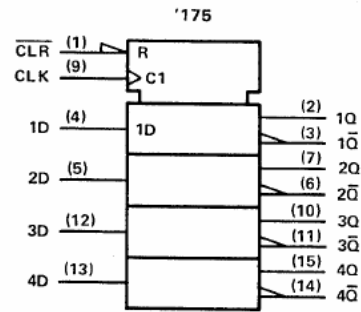
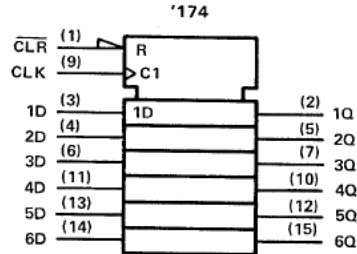
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2001, Texas Instruments Incorporated

SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175,
 SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
 HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

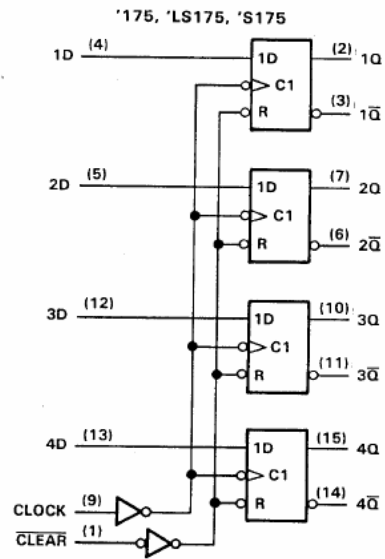
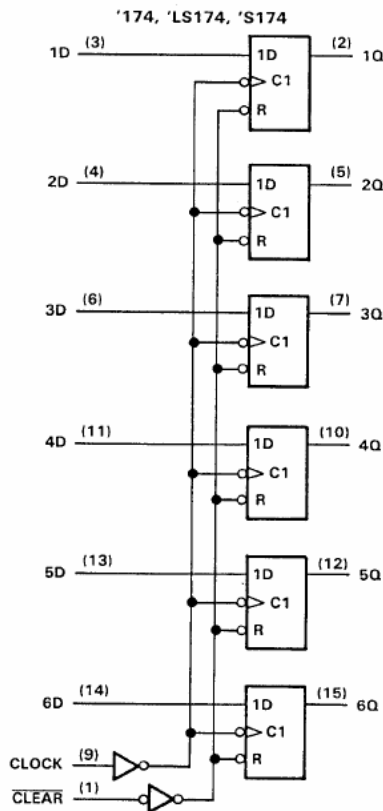
SDLS068A - DECEMBER 1972 - REVISED OCTOBER 2001

logic symbols†



†These symbols are in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.

logic diagrams (positive logic)



Pin numbers shown are for D, J, N, and W packages.



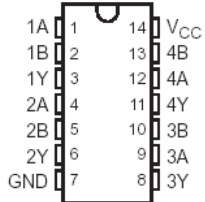
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54HC00, SN74HC00
QUADRUPLE 2-INPUT POSITIVE-NAND GATES

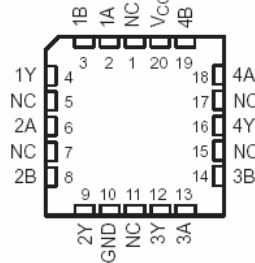
SCLS181E – DECEMBER 1982 – REVISED AUGUST 2003

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive Up To 10 LSTTL Loads
- Low Power Consumption, 20- μ A Max I_{CC}
- Typical $t_{pd} = 8$ ns
- ± 4 -mA Output Drive at 5 V
- Low Input Current of 1 μ A Max

SN54HC00 . . . J OR W PACKAGE
SN74HC00 . . . D, DB, N, NS, OR PW PACKAGE
(TOP VIEW)



SN54HC00 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description/ordering information

The 'HC00 devices contain four independent 2-input NAND gates. They perform the Boolean function $Y = \bar{A} \cdot \bar{B}$ or $Y = \bar{A} + \bar{B}$ in positive logic.

ORDERING INFORMATION

T_A	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
-40°C to 85°C	PDIP – N	Tube of 25	SN74HC00N	SN74HC00N
	SOIC – D	Tube of 50	SN74HC00D	HC00
		Reel of 2500	SN74HC00DR	
		Reel of 250	SN74HC00DT	
	SOP – NS	Reel of 2000	SN74HC00NSR	HC00
	SSOP – DB	Reel of 2000	SN74HC00DBR	HC00
	TSSOP – PW	Tube of 90	SN74HC00PW	HC00
Reel of 2000		SN74HC00PWR		
Reel of 250		SN74HC00PWT		
-55°C to 125°C	CDIP – J	Tube of 25	SNJ54HC00J	SNJ54HC00J
	CFP – W	Tube of 150	SNJ54HC00W	SNJ54HC00W
	LCCC – FK	Tube of 55	SNJ54HC00FK	SNJ54HC00FK

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

SN54HC00, SN74HC00 QUADRUPLE 2-INPUT POSITIVE-NAND GATES

SCLS181E – DECEMBER 1982 – REVISED AUGUST 2003

FUNCTION TABLE
(each gate)

INPUTS		OUTPUT
A	B	Y
H	H	L
L	X	H
X	L	H

logic diagram (positive logic)



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage range, V_{CC}	-0.5 V to 7 V
Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1)	± 20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1)	± 20 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})	± 25 mA
Continuous current through V_{CC} or GND	± 50 mA
Package thermal impedance, θ_{JA} (see Note 2):	
D package	86°C/W
DB package	96°C/W
N package	80°C/W
NS package	76°C/W
PW package	113°C/W
Storage temperature range, T_{stg}	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. The package thermal impedance is calculated in accordance with JESD 51-7.

recommended operating conditions (see Note 3)

		SN54HC00			SN74HC00			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	2	5	6	2	5	6	V
V_{IH}	High-level input voltage	$V_{CC} = 2$ V		1.5	1.5		V	
		$V_{CC} = 4.5$ V		3.15	3.15			
		$V_{CC} = 6$ V		4.2	4.2			
V_{IL}	Low-level input voltage	$V_{CC} = 2$ V			0.5		V	
		$V_{CC} = 4.5$ V			1.35			
		$V_{CC} = 6$ V			1.8			
V_I	Input voltage	0		V_{CC}	0		V_{CC}	V
V_O	Output voltage	0		V_{CC}	0		V_{CC}	V
$\Delta t/\Delta v$	Input transition rise/fall time	$V_{CC} = 2$ V			1000		ns	
		$V_{CC} = 4.5$ V			500			
		$V_{CC} = 6$ V			400			
T_A	Operating free-air temperature	-55		125	-40		85	°C

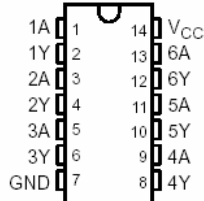
NOTE 3: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.



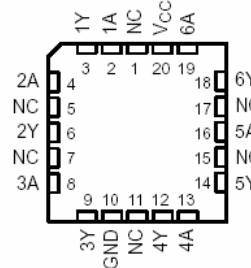
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive Up To 10 LSTTL Loads
- Low Power Consumption, 20- μ A Max I_{CC}
- Typical $t_{pd} = 8$ ns
- ± 4 -mA Output Drive at 5 V
- Low Input Current of 1 μ A Max

SN54HC04 . . . J OR W PACKAGE
SN74HC04 . . . D, N, NS, OR PW PACKAGE
(TOP VIEW)



SN54HC04 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description/ordering information

The 'HC04 devices contain six independent inverters. They perform the Boolean function $Y = \bar{A}$ in positive logic.

ORDERING INFORMATION

T _A	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
-40°C to 85°C	PDIP – N	Tube of 25	SN74HC04N	SN74HC04N
		Tube of 50	SN74HC04D	
	SOIC – D	Reel of 2500	SN74HC04DR	HC04
		Reel of 250	SN74HC04DT	
	SOP – NS	Reel of 2000	SN74HC04NSR	HC04
	TSSOP – PW	Reel of 250	Tube of 90	SN74HC04PW
Reel of 2000			SN74HC04PWR	
Reel of 250			SN74HC04PWT	
-55°C to 125°C	CDIP – J	Tube of 25	SNJ54HC04J	SNJ54HC04J
	CFP – W	Tube of 150	SNJ54HC04W	SNJ54HC04W
	LCCC – FK	Tube of 55	SNJ54HC04FK	SNJ54HC04FK

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.

FUNCTION TABLE
(each inverter)

INPUT A	OUTPUT Y
H	L
L	H



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

SN54HC04, SN74HC04 HEX INVERTERS

SCLS078D – DECEMBER 1982 – REVISED JULY 2003

logic diagram (positive logic)



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage range, V_{CC}	-0.5 V to 7 V
Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1)	± 20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1)	± 20 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})	± 25 mA
Continuous current through V_{CC} or GND	± 50 mA
Package thermal impedance, θ_{JA} (see Note 2): D package	86°C/W
N package	80°C/W
NS package	76°C/W
PW package	113°C/W
Storage temperature range, T_{stg}	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. The package thermal impedance is calculated in accordance with JESD 51-7.

recommended operating conditions (see Note 3)

		SN54HC04			SN74HC04			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	2	5	6	2	5	6	V
V_{IH}	High-level input voltage	$V_{CC} = 2$ V		1.5	1.5		V	
		$V_{CC} = 4.5$ V		3.15	3.15			
		$V_{CC} = 6$ V		4.2	4.2			
V_{IL}	Low-level input voltage	$V_{CC} = 2$ V			0.5		V	
		$V_{CC} = 4.5$ V			1.35			
		$V_{CC} = 6$ V			1.8			
V_I	Input voltage	0	V_{CC}		0	V_{CC}		V
V_O	Output voltage	0	V_{CC}		0	V_{CC}		V
$\Delta t/\Delta v$	Input transition rise/fall time	$V_{CC} = 2$ V		1000		1000		ns
		$V_{CC} = 4.5$ V		500		500		
		$V_{CC} = 6$ V		400		400		
T_A	Operating free-air temperature	-55	125		-40	85		°C

NOTE 3: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.



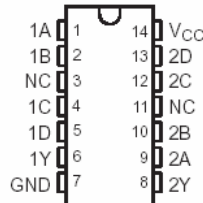
POST OFFICE BOX 855303 • DALLAS, TEXAS 75285

SN54HC20, SN74HC20
DUAL 4-INPUT POSITIVE-NAND GATES

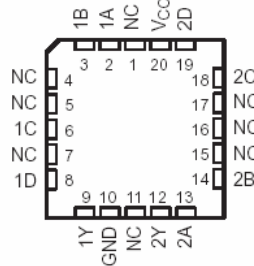
SCLS086F – DECEMBER 1982 – REVISED AUGUST 2003

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive Up To 10 LSTTL Loads
- Low Power Consumption, 20- μ A Max I_{CC}
- Typical $t_{pd} = 11$ ns
- ± 4 -mA Output Drive at 5 V
- Low Input Current of 1 μ A Max

SN54HC20 . . . J OR W PACKAGE
SN74HC20 . . . D, DB, N, NS, OR PW PACKAGE
(TOP VIEW)



SN54HC20 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description/ordering information

The 'HC20 devices contain two independent 4-input NAND gates. They perform the Boolean function $Y = \overline{A \cdot B \cdot C \cdot D}$ or $Y = \overline{A + B + C + D}$ in positive logic.

ORDERING INFORMATION

T_A	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
-40°C to 85°C	PDIP – N	Tube of 25	SN74HC20N	SN74HC20N
	SOIC – D	Tube of 50	SN74HC20D	HC20
		Reel of 2500	SN74HC20DR	
		Reel of 250	SN74HC20DT	
	SOP – NS	Reel of 2000	SN74HC20NSR	HC20
	SSOP – DB	Reel of 2000	SN74HC20DBR	HC20
	TSSOP – PW	Tube of 90	SN74HC20PW	HC20
Reel of 2000		SN74HC20PWR		
Reel of 250		SN74HC20PWT		
-55°C to 125°C	CDIP – J	Tube of 25	SNJ54HC20J	SNJ54HC20J
	CFP – W	Tube of 150	SNJ54HC20W	SNJ54HC20W
	LCCC – FK	Tube of 55	SNJ54HC20FK	SNJ54HC20FK

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

SN54HC20, SN74HC20
DUAL 4-INPUT POSITIVE-NAND GATES

SCLS086F – DECEMBER 1982 – REVISED AUGUST 2003

FUNCTION TABLE
 (each gate)

INPUTS				OUTPUT
A	B	C	D	Y
H	H	H	H	L
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H

logic diagram (positive logic)



Pin numbers shown are for the D, DB, J, N, NS, PW, and W packages.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage range, V_{CC}	-0.5 V to 7 V
Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1)	± 20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1)	± 20 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})	± 25 mA
Continuous current through V_{CC} or GND	± 50 mA
Package thermal impedance, θ_{JA} (see Note 2):	
D package	86°C/W
DB package	96°C/W
N package	80°C/W
NS package	76°C/W
PW package	113°C/W
Storage temperature range, T_{stg}	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
 2. The package thermal impedance is calculated in accordance with JESD 51-7.



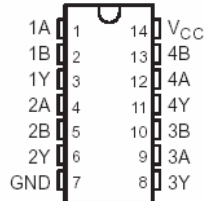
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54HC32, SN74HC32 QUADRUPLE 2-INPUT POSITIVE-OR GATES

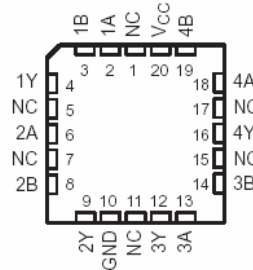
SCLS200D – DECEMBER 1982 – REVISED AUGUST 2003

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive Up To 10 LSTTL Loads
- Low Power Consumption, 20- μ A Max I_{CC}
- Typical $t_{pd} = 8$ ns
- ± 4 -mA Output Drive at 5 V
- Low Input Current of 1 μ A Max

SN54HC32 . . . J OR W PACKAGE
SN74HC32 . . . D, DB, N, NS, OR PW PACKAGE
(TOP VIEW)



SN54HC32 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description/ordering information

The 'HC32 devices contain four independent 2-input OR gates. They perform the Boolean function $Y = \overline{A} \cdot \overline{B}$ or $Y = A + B$ in positive logic.

ORDERING INFORMATION

TA	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
-40°C to 85°C	PDIP – N	Tube of 25	SN74HC32N	SN74HC32N
	SOIC – D	Tube of 50	SN74HC32D	HC32
		Reel of 2500	SN74HC32DR	
		Reel of 250	SN74HC32DT	
	SOP – NS	Reel of 2000	SN74HC32NSR	HC32
	SSOP – DB	Reel of 2000	SN74HC32DBR	HC32
-55°C to 125°C	TSSOP – PW	Tube of 90	SN74HC32PW	HC32
		Reel of 2000	SN74HC32PWR	
		Reel of 250	SN74HC32PWT	
-55°C to 125°C	CDIP – J	Tube of 25	SNJ54HC32J	SNJ54HC32J
	CFP – W	Tube of 150	SNJ54HC32W	SNJ54HC32W
	LCCC – FK	Tube of 55	SNJ54HC32FK	SNJ54HC32FK

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

SN54HC32, SN74HC32 QUADRUPLE 2-INPUT POSITIVE-OR GATES

SCLS200D – DECEMBER 1982 – REVISED AUGUST 2003

FUNCTION TABLE
(each gate)

INPUTS		OUTPUT
A	B	Y
H	X	H
X	H	H
L	L	L

logic diagram (positive logic)



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage range, V_{CC}	-0.5 V to 7 V
Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1)	± 20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1)	± 20 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})	± 25 mA
Continuous current through V_{CC} or GND	± 50 mA
Package thermal impedance, θ_{JA} (see Note 2):	
D package	86°C/W
DB package	96°C/W
N package	80°C/W
NS package	76°C/W
PW package	113°C/W
Storage temperature range, T_{stg}	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. The package thermal impedance is calculated in accordance with JESD 51-7.

recommended operating conditions (see Note 3)

		SN54HC32			SN74HC32			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	2	5	6	2	5	6	V
V_{IH}	High-level input voltage	$V_{CC} = 2V$		1.5	1.5			V
		$V_{CC} = 4.5V$		3.15	3.15			
		$V_{CC} = 6V$		4.2	4.2			
V_{IL}	Low-level input voltage	$V_{CC} = 2V$			0.5		0.5	V
		$V_{CC} = 4.5V$			1.35		1.35	
		$V_{CC} = 6V$			1.8		1.8	
V_I	Input voltage	0		V_{CC}	0		V_{CC}	V
V_O	Output voltage	0		V_{CC}	0		V_{CC}	V
$\Delta t/\Delta v$	Input transition rise/fall time	$V_{CC} = 2V$			1000		1000	ns
		$V_{CC} = 4.5V$			500		500	
		$V_{CC} = 6V$			400		400	
T_A	Operating free-air temperature	-55		125	-40		85	°C

NOTE 3: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54HC32, SN74HC32 QUADRUPLE 2-INPUT POSITIVE-OR GATES

SCLS200D – DECEMBER 1982 – REVISED AUGUST 2003

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V _{CC}	T _A = 25°C			SN54HC32		SN74HC32		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
V _{OH}	V _I = V _{IH} or V _{IL}	I _{OH} = -20 μA	2 V	1.9	1.998		1.9	1.9	V	
			4.5 V	4.4	4.499	4.4	4.4			
			6 V	5.9	5.999	5.9	5.9			
		I _{OH} = -4 mA	4.5 V	3.98	4.3	3.7	3.84			
			6 V	5.48	5.8	5.2	5.34			
V _{OL}	V _I = V _{IH} or V _{IL}	I _{OL} = 20 μA	2 V		0.002	0.1		0.1	V	
			4.5 V		0.001	0.1		0.1		
			6 V		0.001	0.1		0.1		
		I _{OL} = 4 mA	4.5 V		0.17	0.26		0.4		0.33
			6 V		0.15	0.26		0.4		0.33
I _I	V _I = V _{CC} or 0	6 V		±0.1	±100		±1000	±1000	nA	
I _{CC}	V _I = V _{CC} or 0, I _O = 0	6 V			2		40	20	μA	
C _i		2 V to 6 V		3	10		10	10	pF	

switching characteristics over recommended operating free-air temperature range, C_L = 50 pF (unless otherwise noted) (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V _{CC}	T _A = 25°C			SN54HC32		SN74HC32		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
t _{pd}	A or B	Y	2 V		50	100		150		125	ns
			4.5 V		10	20		30		25	
			6 V		8	17		25		21	
t _t		Y	2 V		38	75		110		95	ns
			4.5 V		8	15		22		19	
			6 V		6	13		19		16	

operating characteristics, T_A = 25°C

PARAMETER	TEST CONDITIONS	TYP	UNIT
C _{pd} Power dissipation capacitance per gate	No load	20	pF



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

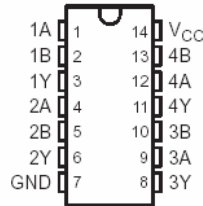
3

SN54HC86, SN74HC86
QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES

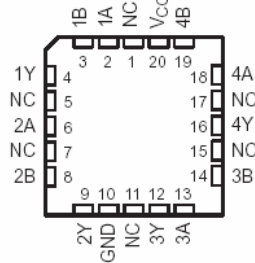
SCLS100E – DECEMBER 1982 – REVISED AUGUST 2003

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive Up To 10 LSTTL Loads
- Low Power Consumption, 20- μ A Max I_{CC}
- Typical $t_{pd} = 10$ ns
- ± 4 -mA Output Drive at 5 V
- Low Input Current of 1 μ A Max
- True Logic

SN54HC86 . . . J OR W PACKAGE
SN74HC86 . . . D, N, NS, OR PW PACKAGE
(TOP VIEW)



SN54HC86 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description/ordering information

These devices contain four independent 2-input exclusive-OR gates. They perform the Boolean function $Y = A \oplus B$ or $Y = \overline{A}B + A\overline{B}$ in positive logic.

A common application is as a true /complement element. If one of the inputs is low, the other input is reproduced in true form at the output. If one of the inputs is high, the signal on the other input is reproduced inverted at the output.

ORDERING INFORMATION

T_A	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
-40°C to 85°C	PDIP – N	Tube of 25	SN74HC86N	SN74HC86N
	SOIC – D	Tube of 50	SN74HC86D	HC86
		Reel of 2500	SN74HC86DR	
		Reel of 250	SN74HC86DT	
	SOP – NS	Reel of 2000	SN74HC86NSR	HC86
	TSSOP – PW	Tube of 90	SN74HC86PW	HC86
Reel of 2000		SN74HC86PWR		
Reel of 250		SN74HC86PWT		
-55°C to 125°C	CDIP – J	Tube of 25	SNJ54HC86J	SNJ54HC86J
	CFP – W	Tube of 150	SNJ54HC86W	SNJ54HC86W
	LCCC – FK	Tube of 55	SNJ54HC86FK	SNJ54HC86FK

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

SN54HC86, SN74HC86 QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES

SCLS100E – DECEMBER 1982 – REVISED AUGUST 2003

FUNCTION TABLE
(each gate)

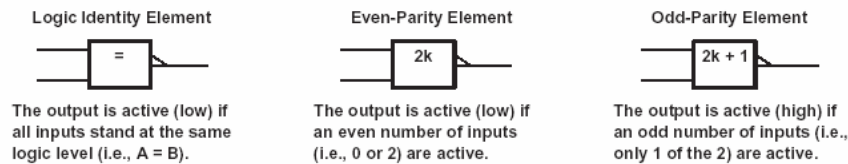
INPUTS		OUTPUT
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

exclusive-OR logic

An exclusive-OR gate has many applications, some of which can be represented better by alternative logic symbols.



These are five equivalent exclusive-OR symbols valid for an 'HC86 gate in positive logic; negation may be shown at any two ports.



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage range, V_{CC}	-0.5 V to 7 V
Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1)	± 20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1)	± 20 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})	± 25 mA
Continuous current through V_{CC} or GND	± 50 mA
Package thermal impedance, θ_{JA} (see Note 2): D package	86°C/W
N package	80°C/W
NS package	76°C/W
PW package	113°C/W
Storage temperature range, T_{stg}	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. The package thermal impedance is calculated in accordance with JESD 51-7.

BIBLIOGRAFIE

1. Sztojanov, I., s.a., "De la poarta TTL la microprocesor", Seria "Electronica aplicata", Ed. Tehnica, Buc., 1987;
2. Maican, S., "Sisteme numerice cu circuite integrate - culegere de probleme, Ed. Tehnica, Buc., 1980;
3. Stefan, Gh., "Circuite integrate digitale", Editura DENIX, Bucuresti, 1993;
4. Toașe Gh.: "Introducere în microprocesoare", Ed. Științifică și Enciclopedică, Buc., 1986;
5. Toașe Gh., Nicula D.: Electronică Digitală, Editura Teora, 2005;
6. S. D. Anghel, „Bazele electronicii”, Universitatea „Babeș-Bolyai”, Cluj-Napoca 2005;
7. T. J. Floyd, „Dispozitive electronice”, Ed. Teora, București 2003;
8. K. F. Ibrahim, „Introducere în electronică”, Ed. Teora, București 2001;
9. B. Wilkinson, „Electronică digitală”, Ed. Teora, București 2002;
10. D. Dascălu, L. Turic și I. Hoffman, „Circuite electronice”, Ed. Didactică și Pedagogică, București 1981;
11. J. F. Wakerly, „Circuite digitale”, Ed. Teora, București 2002;
12. S. D. Anghel, „Instrumentație cu circuite digitale”, Universitatea „Babeș-Bolyai”, Cluj-Napoca 2001;