

**UNIVERSITATEA DIN BACĂU
FACULTATEA DE INGINERIE**

DAN ROTAR

MARIUS ANGHELUȚ

ELECTRONICĂ DIGITALĂ

Indrumar de laborator

**EDITURA ALMA MATER BACĂU
2007**

| | |
|--|-----|
| LABORATOR | 99 |
| Laboratorul nr. 1 Prezentarea pupitrului de experimente, utilizarea osciloscopului și a multimetrului | 102 |
| Laboratorul nr. 2 Determinarea caracteristicilor circuitelor logice bipolare | 103 |
| Laboratorul nr. 3 Determinarea caracteristicilor circuitelor logice MOS | 105 |
| Laboratorul nr. 4 Studiarea circuitului poartă | 107 |
| Laboratorul nr. 5 Studiarea circuitului de selecție | 108 |
| Laboratorul nr. 6 Studiarea funcționării circuitului de decodificare | 109 |
| Laboratorul nr. 7 Utilizarea programului Digital Works în studiul circuitelor digitale. | 110 |
| Laboratorul nr. 8 Simularea funcționării circuitelor poartă și de selecție cu ajutorul programului Digital Works | 111 |
| Laboratorul nr. 9 Simularea funcționării circuitelor multiplexor și demultiplexor cu ajutorul programului Digital Works | 112 |
| Laboratorul nr. 10 Studiul funcționării circuitului multiplexor | 113 |
| Laboratorul nr. 11 Studiul circuitelor basculante bistabile | 114 |
| Laboratorul nr. 12 Studiul circuitelor logice secvențiale de tip numărător | 115 |
| Laboratorul nr. 13 Realizarea unui numărător programabil | 116 |
| Laboratorul nr. 14 Studiul registrului de deplasare | 117 |
| Laboratorul nr. 15 Tabelul de adevăr ale circuitelor logice bipolare AND, NAND, OR, NOR, XOR, XNOR | 118 |
| Laboratorul nr. 16 Simularea funcționării circuitelor celulă sumator 1 bit cu ajutorul programului Digital Works | 119 |
| Laboratorul nr. 17 Studiul funcționării circuitului demultiplexor | 120 |
| Întrebări propuse studenților în cadrul orelor de laborator | 121 |
| ANEXE | 123 |
| BIBLIOGRAFIE | 163 |

Laborator

Prezentarea pupitrului pentru realizarea experimentelor NX – 4i

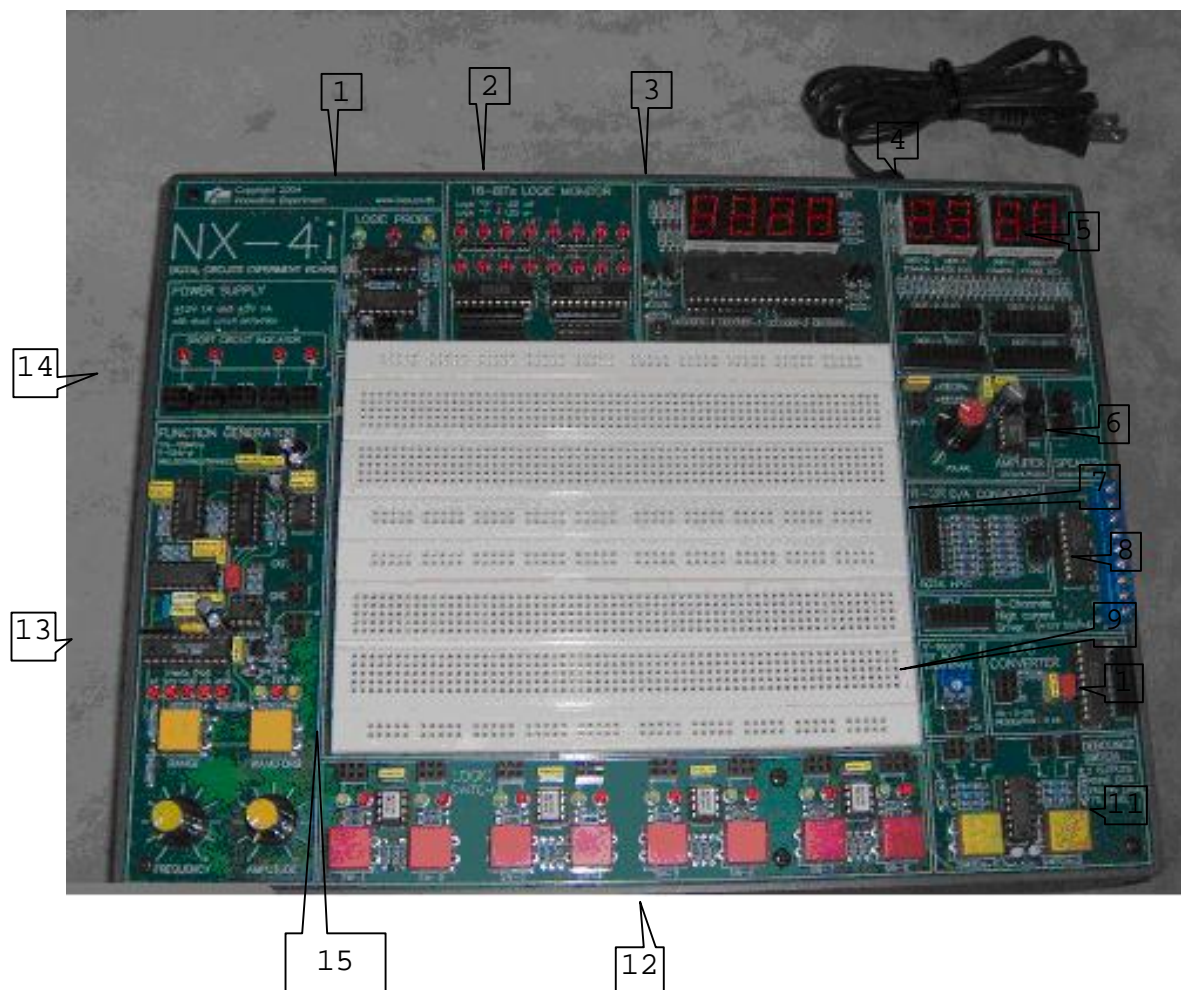


Fig. 1

Elementele componente ale pupitrului de experimente sunt următoarele:

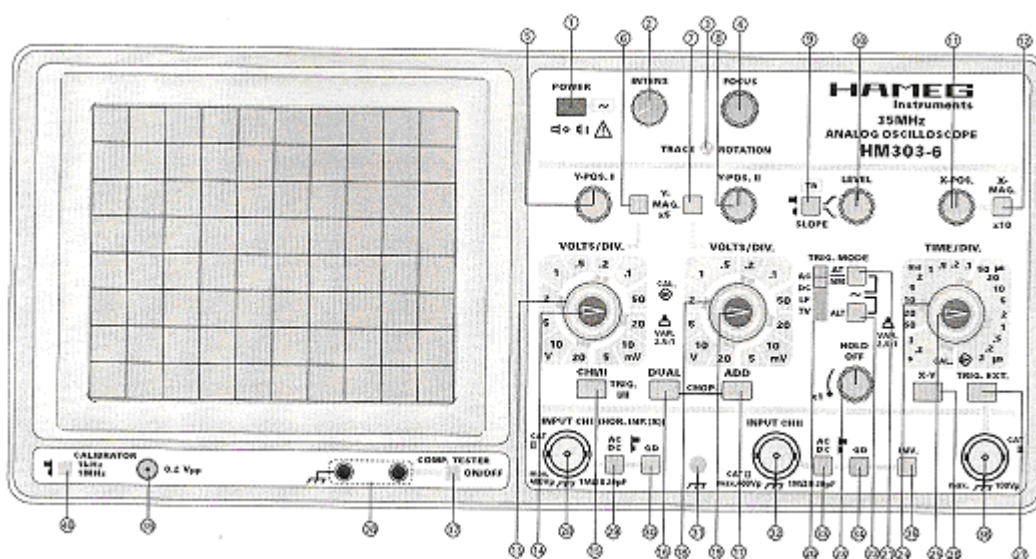
1. Indicator logic TTL cu trei stări HI, LOW și Pulse;
2. Afișaj cu leduri pe 16 biți (16 leduri);
3. Afișaj cu leduri 7 segmente cu 2 cifre, cu conectare în anod și catod comun ;
4. Comutator de pornire a pupitrului(nu este vizibil in imagine);
5. Decodor binar – hexazecimal cu afișare cu leduri 7 segmente/4 cifre;
6. Amplificator audio 250 mW cu difuzor;
7. Convertor semnal digital – analog pe 8 biți;

8. Circuit de control a unui echipament cu consum de curent important (ex. motor pas cu pas) ;
9. Sursa de tensiune reglabilă de referință 0 – 5 V;
10. Convertor semnal analog – digital;
11. Două comutatoare(generatoare de semnal dreptunghiular) de semnal logic;
12. 8 comutatoare logice cu indicator ;
13. Generator de semnal în banda 1Hz-100kHz cu selectare a trei forme de undă: sinusoidală, dreptunghiulară și triunghiulară și reglaj al amplitudinii și frecvenței.
14. Tensiuni de alimentare de +/-12V și +/-5V la 1 A
15. Banc de lucru cu 1600 de puncte de conexiune pentru experimente

Pentru realizarea experimentelor se folosesc și următoarele aparate de măsură a parametrilor:

- Multimetru digital DVM 300 cu caracteristicile : măsoară tensiuni continue până la 500V, măsoară tensiuni alternative până la 500V, măsoară curenți continui până la 200mA, măsoară rezistoare pana la 2MΩ, protecție la suprasarcină cu siguranță fuzibilă, testează diode, afișaj cu LCD;
- Osciloscop HAMEG HM 303 cu caracteristicile:
 - Achiziție de semnal pe 2 canale ;
 - Domeniul de frecvență 2xDC – 35MHz ;
 - Timp de creștere, supracreștere <10ns;
 - Coeficient de deviere 12 pași calibrați 5mV/div – 20V/div ;
 - Precizie +/-3% ;
 - Impedanța de intrare 1MΩ//20pF ;
 - Tensiune de intrare max 400V ;
 - Baza de timp în 20 de pași calibrați 0,2s/div – 0,1μs/div

Imaginea frontală a osciloscopului și semnificația comutatoarelor mai importante sunt specificate mai jos.



1. Power – Pornește/oprește osciloscopul
2. Intens – reglajul strălucirii transei
4. Focus – reglajul focalizării transei
5. Y-POS. I – reglajul poziției verticale pentru canalul I
8. Y-POS. II – reglajul poziției verticale pentru canalul II
11. X-POS. – reglaj poziție orizontală transă
13. VOLTS/DIV. – Atenuator canalul I. Reglează sensibilitatea Y în mV/div. În secvențe 1-2-5
16. DUAL – Buton neapăsat: doar un canal; buton apăsat canal I și II în mod alternant
17. ADD – Doar ADD apăsat adunare algebrică, combinat cu INV. scădere
18. VOLTS/DIV. – Atenuator canalul II. Reglează sensibilitatea Y în mV/div. În secvențe 1-2-5
24. TIME/DIV. – Selecție frecvență bază de timp cu perioada între 0.2 s/div. – 0.1 μ s/div.
28. INPUT CH I (conector BNC) – Intrare semnal canal I . Impedanță de intrare $1M\Omega$
32. INPUT CH I (conector BNC) – Intrare semnal canal I . Impedanță de intrare $1M\Omega$
35. INV. – Inversează CH II pe ecran. În combinație cu buton ADD diferență CH I, CH II
39. 0.2 Vpp (bornă test) – ieșire semnal dreptunghiular de calibrare 0.2 Vpp
40. CALIBRATOR 1kHz/1MHz – Selectează frecvența de calibrare.

Laboratorul nr. 1

Prezentarea pupitrului de experimente, utilizarea osciloscopului și a multimetrului

Studentii vor studia pupitrul de experimente NX -4i cu părțile lui componente pentru a efectua experimente ulterioare. Cu ajutorul osciloscopului vor efectua vizualizări și măsurători a semnalului generat de modulul 13 al pupitrului, pentru diferite valori ale frecvenței, formei și amplitudini semnalului.

Înainte de efectuarea măsurătorilor, osciloscopul trebuie calibrat utilizând ieșirea 39 a osciloscopului de semnal dreptunghiular de calibrare 0.2 Vpp și comutatorul 40 de selectare a frecvenței.

Cu ajutorul multimetrului digital DVM 300 vor măsura valoarea semnalului logic 1-0 generat de modulul de 8 comutatoare logice cu indicator (12) a pupitrului.

Se vor realiza următoarele scheme logice:

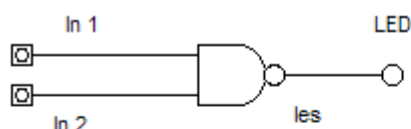


Fig
1

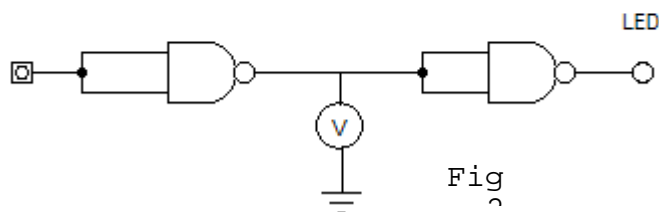


Fig
2

Pentru realizarea lor se va folosi circuitul HC7400N. Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitului.

Circuitul HC7400N se va dispune pe bancul de lucru al pupitrului, se va alimenta cu tensiune de + 5V și se va lega la masă, realizându-se legătura electrică între pinii circuitului și sursa de tensiune a pupitrului cu ajutorul conductoarelor. Conectarea intrărilor la circuitele logice se va realiza la ieșirile comutatoarelor logice (12) ale pupitrului. Ieșirea circuitului logic se va conecta la unul din ledurile pupitrului (2).

După realizarea schemei, punerea în funcțiune a pupitrului se va face numai după verificarea ei de cadrul didactic. Cu ajutorul comutatoarelor logice de la intrările circuitului logic se vor realiza toate combinațiile logice posibile urmărindu-se funcționarea lui prin valoarea semnalului logic de la ieșire evidențiat cu ajutorul ledului.

În cadrul celei de-a doua scheme se va măsura cu multimetrul digital și osciloscopul valoarea semnalului logic V_{OH} și V_{OL} ("1" și "0" logic).

Tot cu osciloscopul se va măsura frecvența semnalului aplicat la intrarea circuitelor logice precum și defazajul care apare între semnalul aplicat la intrare și cel de la ieșire.

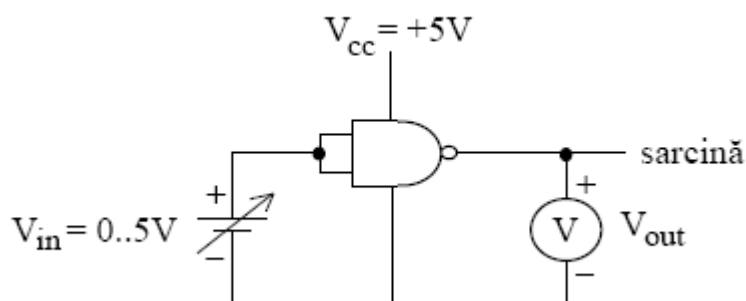
Referatul de laborator trebuie să conțină noțiunile noi învățate în cadrul acestei lucrări de laborator și valorile parametrilor mășurați cu cele două aparate de măsură, multimetrul digital și osciloscopul.

Laboratorul nr. 2

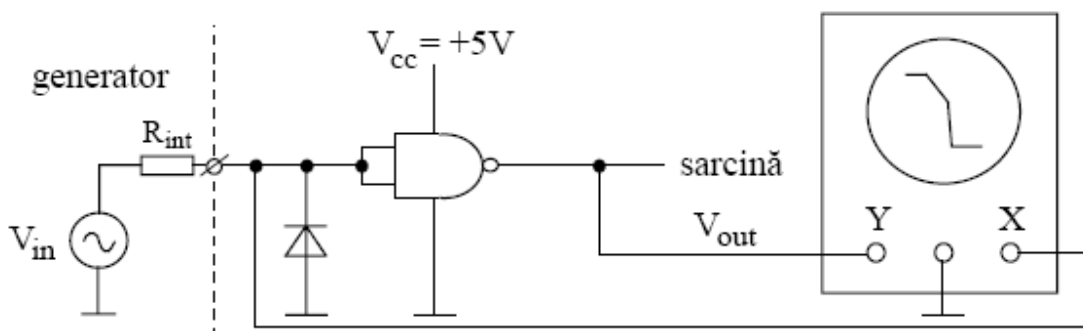
Determinarea caracteristicilor circuitelor logice bipolare

Această lucrare de laborator are ca obiect studiul parametrilor circuitelor TTL standard și determinarea caracteristicilor porții logice fundamentale. Pentru aceasta se va folosi pupitrul experimental NX -4i, o sursă dublă de alimentare, multimetre digitale și osciloscop cu 2 canale.

1. Se realizează montajul din figura următoare. La intrarea porții ȘI-NU cu intrările conectate împreună se aplică o tensiune continuă, variabilă între 0 și 5V, iar valorile măsurate ale tensiunii de ieșire se trec într-un tabel. Se reprezintă punct cu punct caracteristica statică de transfer $V_{out} = f(V_{in})$

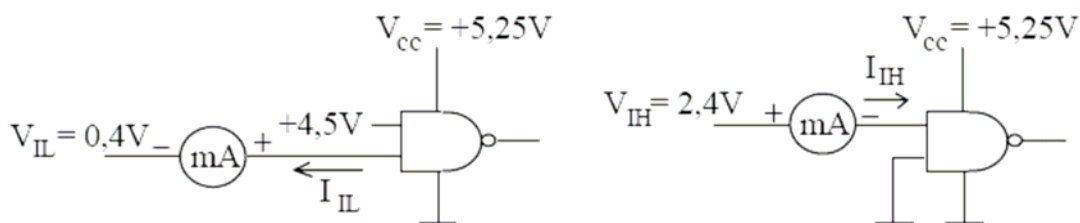


2. Se realizează montajul din figura următoare. La intrarea porții ȘI-NU cu intrările conectate împreună se aplică un semnal sinusoidal cu amplitudinea de circa 2V și frecvența de circa 100Hz. Se scoate baza de timp a osciloscopului și pe ecranul tubului catodic apare caracteristica de transfer. Măsurăți nivelele logice de ieșire și intrare garantate prin standard. Comentați modificarea caracteristicii cu frecvența semnalului de intrare și explicați ce se întâmplă dacă una din intrările porții este lăsată în aer.

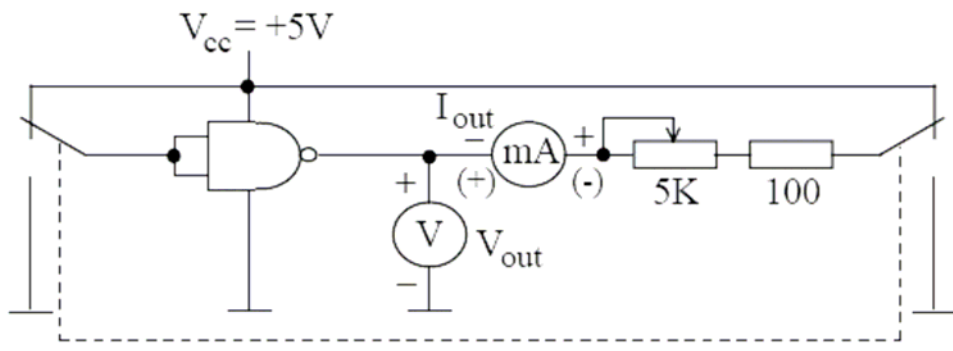


3. Se măsoară în cazurile cele mai defavorabile curenții de intrare pentru cele două nivele logice, folosind montajele din figurile următoare. Testarea în cazul cel mai defavorabil este realizată pentru toate circuitele, pentru a garanta funcționarea în toate condițiile posibile. V_{cc} are valoarea maximă admisă (+5,25V la seria 74SN) pentru a maximiza curentul I_{IL} . Cu excepția intrării supuse testării, celelalte intrări nefolosite sunt conectate la 1 logic pentru a maximiza orice contribuție a acestor intrări asupra curentului de

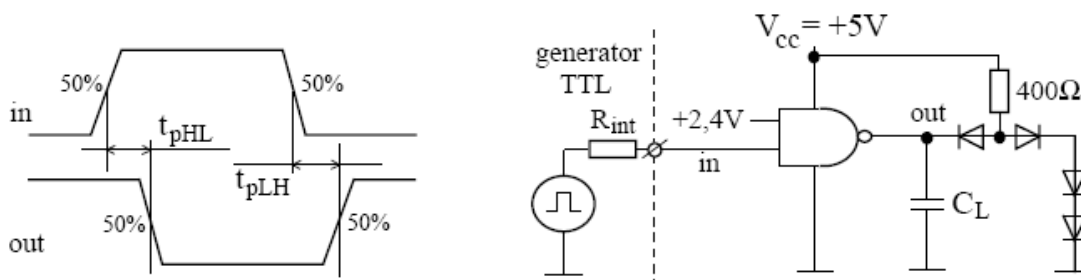
intrare I_{IL} . Acest nivel logic este de 4,5V, valoare în general superioară lui V_{OH} . Valorile obținute trebuie să fie în concordanță cu datele de catalog:



4. Folosind montajul din figura următoare se trasează caracteristicile de ieșire ale porții TTL.



5. Se măsoară timpii de propagare prin poartă cu ajutorul montajului din figura următoare. Generatorul furnizează la intrare impulsuri TTL cu frecvența de circa 1MHz. Circuitul de ieșire ($C_L \square 15 \text{ pF}$) simulează încărcarea porții cu o sarcină echivalentă cu 10 intrări TTL standard. Se măsoară timpii de propagare și pentru $C_L \square 220 \text{ pF}$ și se compară rezultatele. Dacă performanțele osciloscopului nu sunt satisfăcătoare pentru efectuarea măsurătorii, se poate încerca înserierea mai multor porți identice și medierea rezultatelor astfel obținute.



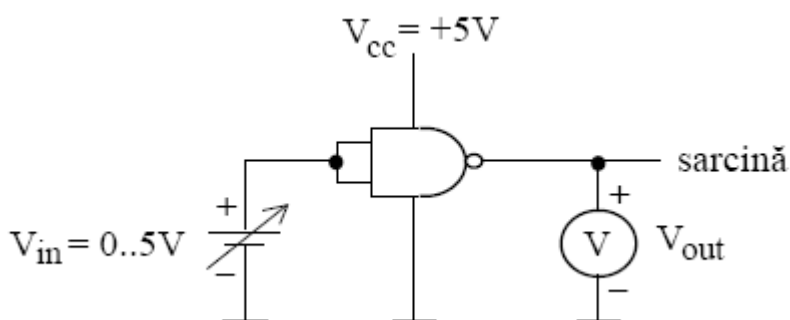
Referatul de laborator trebuie să conțină toate datele (parametrii) măsurate, graficele aferente și observațiile studenților privind problemele studiate.

Laboratorul nr. 3

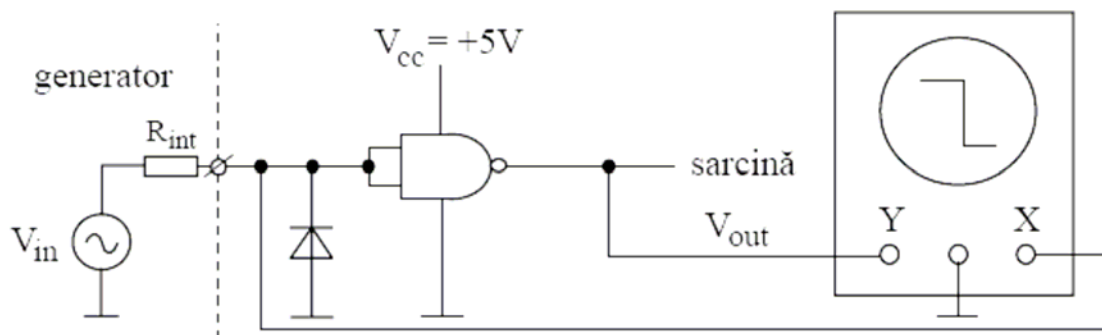
Determinarea caracteristicilor circuitelor logice MOS

Această lucrare de laborator are ca obiect studiul parametrilor circuitelor CMOS și determinarea caracteristicilor porții logice fundamentale. Pentru aceasta se va folosi pupitrul experimental NX -4i, o sursă dublă de alimentare, multimetre digitale și osciloscop cu 2 canale.

1. Se realizează montajul din figura următoare. La intrarea porții ȘI-NU cu intrările conectate împreună se aplică o tensiune continuă, variabilă între 0 și 5V, iar valorile măsurate ale tensiunii de ieșire se trec într-un tabel. Se reprezintă punct cu punct caracteristica statică de transfer $V_{out} = f(V_{in})$. Se repetă măsurătorile pentru $V_{cc} \square 10$ și pentru $V_{cc} \square 15$, iar cele trei caracteristici se reprezintă pe același grafic. Se măsoară nivelele logice și se compară cu valorile garantate prin standard.

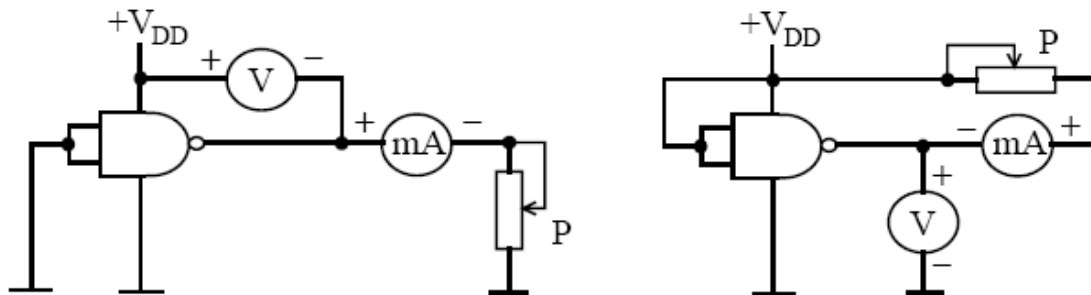


2. Se realizează montajul din figura următoare. La intrarea porții ȘI-NU cu intrările conectate împreună se aplică un semnal sinusoidal cu amplitudinea de circa 2V și frecvența de circa 100Hz. Se scoate baza de timp a osciloscopului și pe ecranul tubului catodic apare caracteristica de transfer. Măsurăți nivelele logice de ieșire și intrare garantate prin standard. Comentați modificarea caracteristicii cu modificarea tensiunii de alimentare și stabiliți tensiunea minimă de alimentare. Scurtcircuitați pe rând ieșirea porții la masă și apoi la V_{cc} și observați ce se întâmplă.

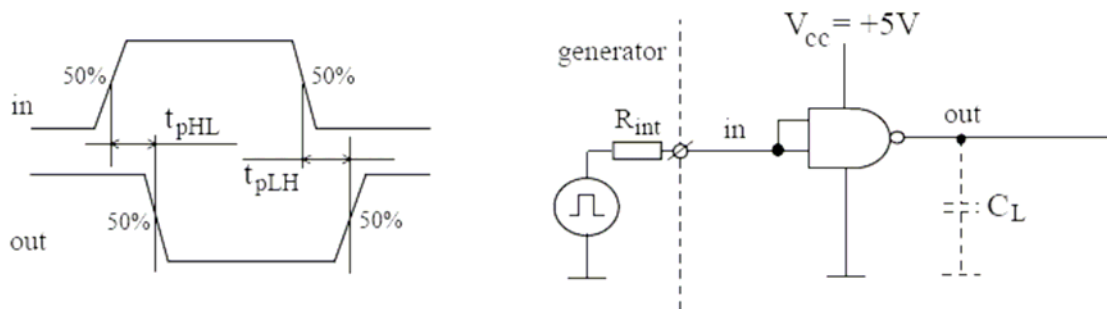


3. Comportamentul circuitelor CMOS la ieșire rezultă din studiul caracteristicilor $I_{out} = f(V_{out})$. Aceste caracteristici de ieșire sunt caracteristici de drenă pentru tranzistoare MOS cu canal de tip p , respectiv de tip n , și determină curentul debitat la ieșire când aceasta este în 1 logic, respectiv curentul absorbit de ieșire când aceasta este în 0 logic. Montajele pentru

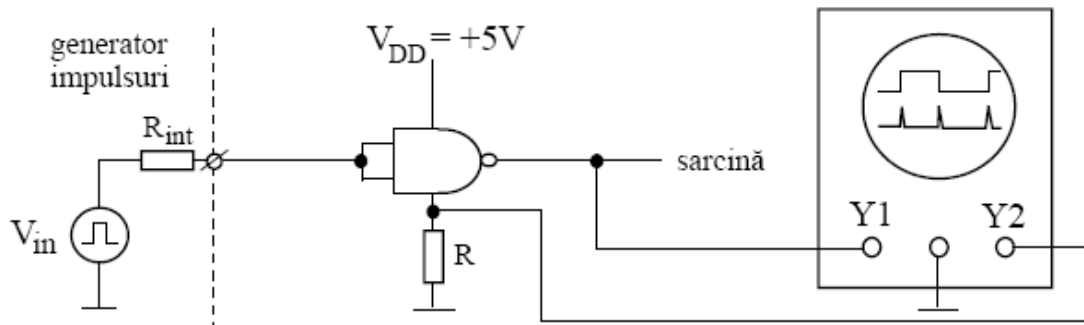
trasarea punct cu punct a caracteristicilor de ieșire sunt date în figura următoare:



4. Se măsoară timpii de propagare prin poartă cu ajutorul montajului din figura următoare. Generatorul furnizează la intrare impulsuri de amplitudine 5V cu frecvența de circa 1MHz. Pe un osciloscop cu 2 canale se vizualizează atât semnalul de intrare cât și semnalul de la ieșirea porții logice. Prin suprapunerea celor două semnale se măsoară cei doi timpi de propagare t_{pHL} și t_{pLH} . Se verifică egalitatea aproximativă a celor doi timpi de propagare. Studiați variația timpilor de propagare cu modificarea tensiunii de alimentare și cu modificarea sarcinii de la ieșirea porții (prin adăugarea unor noi intrări CMOS).



5. Se realizează montajul din figura următoare. Se vizualizează formele de undă la ieșirea porții CMOS (tensiunea de ieșire) și pe rezistența înseriată în circuitul de alimentare (curentul consumat de circuitul integrat). Intrările celorlalte porți logice din circuitul integrat se conectează la nivele logice stabile, 0 sau 1. Astfel consumul de curent al circuitului integrat este dat în exclusivitate de poarta care comută. Comentați imaginea de pe ecranul tubului catodic. Ce se întâmplă dacă se mărește tensiunea de alimentare?



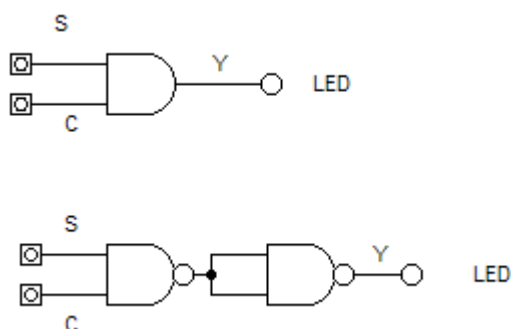
Referatul de laborator trebuie sa conțină toate datele (parametrii) măsurati, graficele aferente și observațiile studenților privind problemele studiate.

Laboratorul nr. 4

Studierea circuitului poartă

În cadrul acestei lucrări de laborator se va studia funcționarea circuitului poartă prezentat în cadrul orelor de curs . Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuite integrate care încorporează porți logice AND și NAND de exemplu SN74HC08 sau SN74HC00 se vor realiza schemele circuitelor. Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

Pentru circuitul de tip poartă se vor folosi două scheme prezentate mai jos:



După realizarea circuitelor și verificarea lor se va porni pupitrul de experimente urmărind funcționarea.

La intrarea C de comandă a circuitului se va aplica semnal logic de la unul din comutatoarelor logice ale pupitrului cu ajutorul căruia se va alterna semnalul “1” și “0” logic. La intrarea S se va aplica un semnalul dreptunghiular preluat de la generatorul pupitrului 13, cu parametrii stabiliți prin comutatoarele de reglaj a modulului generator.

Semnalul aplicat se va vizualiza cu ajutorul osciloscopului conectat la ieșirea Y a circuitului.

Se va studia funcționare circuitului poartă, modificându-se semnalul logic de comandă aplicat și urmărind semnalul de la ieșirea circuitului cu ajutorul osciloscopului.

Referatul de laborator trebuie să conțină scheme utilizate la realizarea circuitelor precum și explicațiile referitoare la funcționarea circuitului poartă.

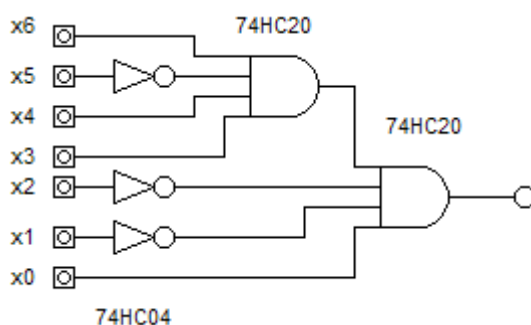
Laboratorul nr. 5

Studierea circuitului de selecție

În cadrul acestei lucrări de laborator se va studia funcționarea circuitului de selecție prezentat în cadrul orelor de curs . Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuite integrate care încorporează porți logice AND și NOT de exemplu SN74HC08, SN74HC20, SN74HC04 se vor realiza schemele circuitelor. Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

Circuitul de selecție ce va fi studiat în cadrul acestui laborator va fi cel ce va selecta valoarea $89_{(10)}$ ($1011001_{(2)}$) din cele 128 valori posibile ce pot fi aplicate la intrare. Funcția logică a circuitului va fi:

Schema circuitului este următoarea:



La intrările X0 – X6 se vor aplica semnale logice preluate de la comutatoarele pupitrului. În funcție de valorile logice aplicate la intrările circuitului de selecție se va vizualiza ieșirea cu ajutorul unui led.

Se va observa că numai pentru o anumită combinație logică a semnalelor aplicate la intrare ieșirea circuitului va fi în 1 logic.

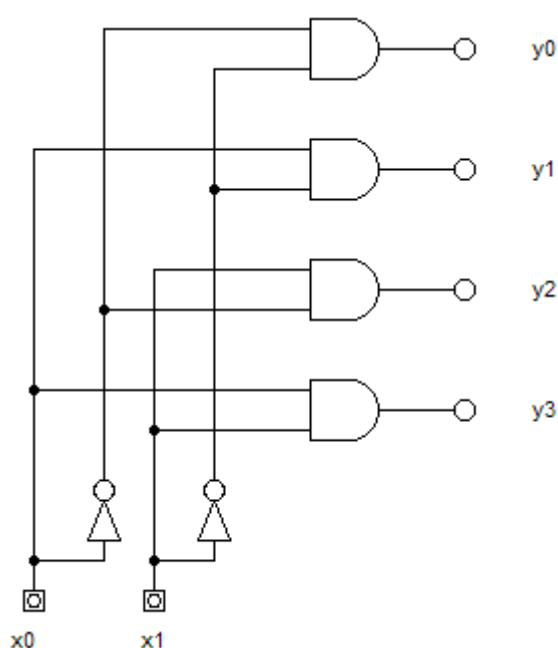
În continuare studenții trebuie să realizeze schema circuitului de selecție pentru valoarea $55_{(10)}$.

Referatul de laborator trebuie să conțină schema utilizată la realizarea circuitului precum și explicațiile referitoare la funcționarea lui precum și schema circuitului de selecție propus.

Laboratorul nr. 6

Studierea funcționării circuitului de decodificare

În cadrul acestei lucrări de laborator se va realiza și se va studia funcționarea circuitului decodificator 1 din 4 prezentat în cadrul orelor de curs. Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuitele integrate care încorporează porți logice AND cu 2 intrări și NOT de ex: SN74HC08 și SN74HC04 se va realiza schema circuitului prezentată mai jos. Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.



După realizarea circuitului și verificarea lui se va pune în funcțiune pupitrul de experimente.

Se vor aplica semnale logice la cele două intrări utilizând comutatoarele 12 ale pupitrului, urmărindu-se valoarea semnalului logic de la cele 4 ieșiri cu ajutorul ledurilor conectate.

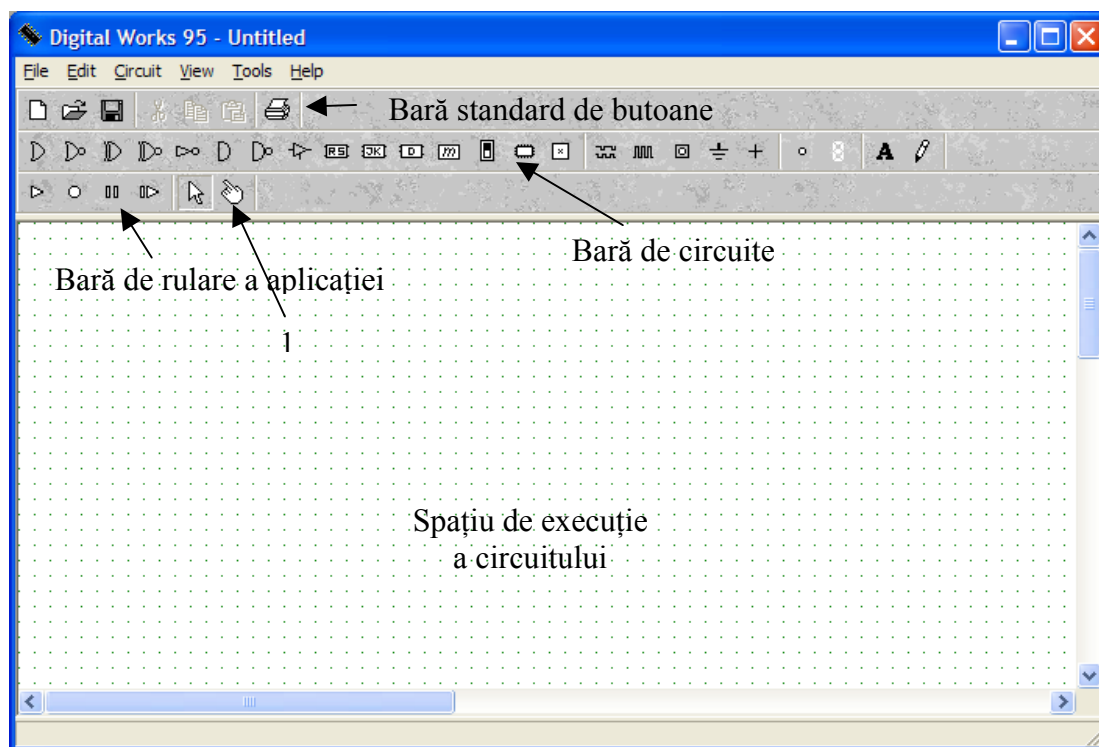
Aplicându-se toate cele 4 combinații posibile de semnale logice la cele două intrări se va întocmi tabela de adevăr a circuitului decodificator.

Referatul de laborator trebuie să conțină schema circuitului, tabela de adevăr și observațiile lor privind funcționarea lui.

Laboratorul nr. 7

Utilizarea programului Digital Works în studiul circuitelor digitale.

Programul Digital Works este un program gratuit, foarte ușor de folosit în studiul și simularea funcționării circuitelor digitale studiate în cadrul orelor de curs. Interfața programului este prezentată mai jos:



Realizarea unei scheme utilizând acest soft este foarte simplă. Se dă click cu mouse-ul pe simbolul circuitului logic necesar și apoi se dă din nou click pe spațiul de lucru unde dorim să plasăm circuitul. Circuitul respectiv poate fi șters, dacă dorim prin selectarea lui cu un click de mouse și apoi apăsarea tastei del. De asemenea el poate fi mutat pe spațiul de lucru și rotit cu ajutorul mouse-ului.

După plasarea componentelor se realizează conexiunea prin trasarea firelor de legătură. Acest lucru se efectuează cu ajutorul “creionului” din bara de butoane. La apropierea de un punct de legătură valid softul afișează un steguleț “wire” anunțând posibilitatea de a da click cu butonul stâng al mouse-ului pentru a începe desenarea firului. Terminarea conexiunii se realizează, fără a se ține apăsat butonul mouse-ului, prin efectuarea unui nou click atunci când apare stegulețul respectiv la apropierea de punctul de conexiune dorit.

După terminarea de desenat a schemei se simulează funcționarea circuitului electronic digital cu ajutorul butoanelor din bara de rulare. Cu ajutorul butonului 1 se pot comanda generatoarele de semnal logic.

Pentru a experimenta utilizarea acestui soft studenții trebuie să realizeze și să simuleze schemele circuitelor logice de la laboratorul 1.

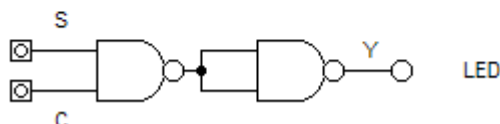
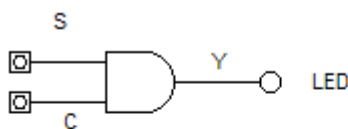
Laboratorul nr. 8

Simularea funcționării circuitelor poartă și de selecție cu ajutorul programului Digital Works

În cadrul acestui laborator se va studia funcționarea circuitelor poartă și de selecție prezentate în cadrul orelor de curs și studiate în cadrul unui laborator precedent.

Cu ajutorul programului Digital Works se va desena schema fiecărui circuit în parte și se va simula funcționarea lui urmând să se întocmească tabela de adevăr a circuitelor.

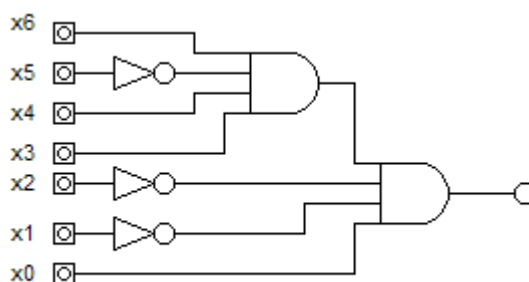
Pentru circuitul de tip poartă se vor folosi două scheme prezentate mai jos:



La intrarea C de comandă a circuitului se va aplica un semnal logic de la un comutator logic cu ajutorul căruia se va alterna semnalul "1" și "0" logic. La intrarea S se va aplica un semnalul dreptunghiular cu ajutorul unui generator de ceas, frecvența putându-se modifica din meniul programului.

Se va desena schema și se va drumul la simulare urmărindu-se funcționarea circuitului. De asemenea în fereastra Logic History a programului se vor observa și formele de undă ale semnalului de ceas aplicat la intrare precum și semnalului de la ieșire.

Pentru circuitul de selecție a valorii 55₍₁₀₎ se va folosi schema următoare:



Se va desena schema și se va drumul la simulare urmărindu-se funcționarea circuitului.

Referatul de laborator trebuie să conțină schemele circuitelor și observațiile lor privind funcționarea lor.

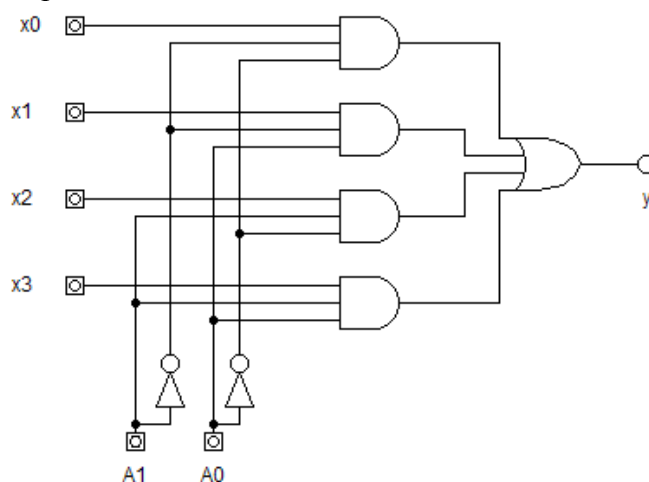
Laboratorul nr. 9

Simularea funcționării circuitelor multiplexor și demultiplexor cu ajutorul programului Digital Works

În cadrul acestui laborator se va studia funcționarea circuitelor multiplexor și demultiplexor prezentate în cadrul orelor de curs.

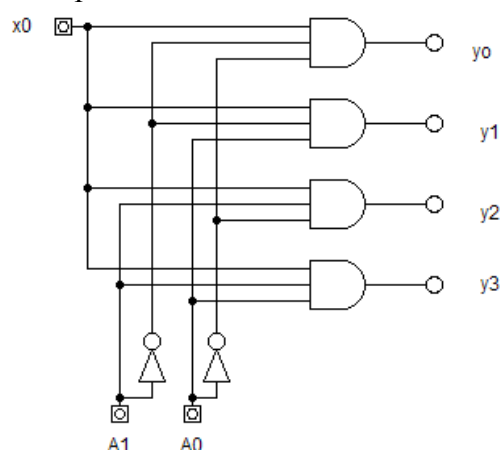
Cu ajutorul programului Digital Works se va desena schema fiecărui circuit în parte și se va simula funcționarea lui urmând să se întocmească tabela de adevăr a circuitelor.

1. Circuitul Multiplexor $2^2 : 1$



La intrările $X_0 - X_3$ se vor aplica generatoare de semnal de anumite frecvențe. Prin aplicarea oricăror combinații posibile de semnale logice la intrările de adresă A_0 și A_1 , se va urmări care dintre cele patru semnale de la intrarea circuitului multiplexor va ajunge la ieșire.

2. Circuitul Demultiplexor $1 : 2^2$



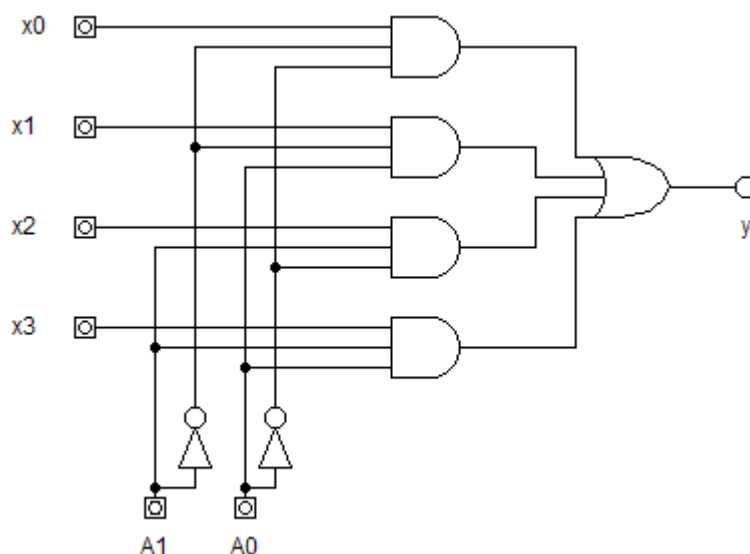
La intrarea X_0 se va aplica un generator de semnal. Prin aplicarea oricăror combinații posibile de semnale logice la intrările de adresă A_0 și A_1 , se va urmări la care dintre cele patru ieșiri ale circuitului demultiplexor $Y_0 - Y_3$ va ajunge semnalul de la intrare X_0 .

Referatul de laborator trebuie să conțină schemele, tabellele de adevăr și observațiile studenților privind funcționarea fiecărui circuit în parte.

Laboratorul nr. 10

Studiul funcționării circuitului multiplexor

În cadrul acestei lucrări de laborator se va realiza și se va studia funcționarea circuitului multiplexor studiat în cadrul laboratorului precedent. În prima parte a laboratorului studenții se va realiza schema circuitului multiplexor simulat la ora de laborator precedentă.



La intrările circuitului multiplexor se va aplica pe rând un semnalul dreptunghiular preluat de la generatorul pupitrului 13, cu parametri stabiliți prin comutatoarele de reglaj a modului generator.

La intrările de adresă ale circuitului se vor aplica semnale logice de comutatoarele logice ale pupitrului. Pentru vizualizarea semnalului de la ieșire se va folosi atât un LED al pupitrului (2) cât și un osciloscop cu ajutorul căruia se vor măsura parametrii semnalului.

În continuare se va folosi circuitul integrat SN74HC153 care are în componență două circuite multiplexoare fiecare cu 4 intrări. Pentru aceasta se va studia foaia de catalog a circuitului, din anexa îndrumarului de laborator, pentru identificarea pinilor circuitului multiplexor.

Se va realiza noul circuit și se vor aplica la intrări aceleași semnale ca și la circuitul precedent studiat.

Cu ajutorul osciloscopului se va vizualiza semnalul aplicat pe rând la cele patru intrări cât și la ieșirea circuitului multiplexor.

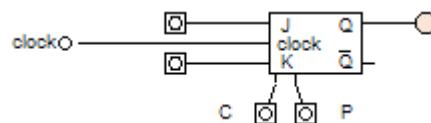
Referatul de laborator trebuie să conțină schemele și observațiile studenților privind funcționarea fiecărui circuit în parte.

Laboratorul nr. 11

Studiul circuitelor basculante bistabile

În cadrul acestei lucrări de laborator se vor studia funcționarea circuitelor basculante bistabile de tip JK, D, T, pentru fiecare circuit în parte se vor întocmi tabele de adevăr. Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuite integrate care încorporează bistabile de tip JK, de exemplu CD74HC73 sau SN74LS73 se vor realiza schemele circuitelor. Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

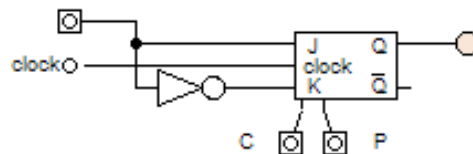
Circuitul basculant bistabil sincron JK:



La intrările J și K se vor aplica semnale logice de la comutatoarele logice ale pupitrului iar pentru vizualizarea semnalului la ieșire se va folosi un LED al pupitrului (2). La intrarea de sincronizare se va aplica un semnal dreptunghiular preluat de la generatorul pupitrului de frecvență mai mică, pentru a se urmări mai ușor funcționarea. Prima dată se va identifica modul de sincronizare al circuitului JK, pe frontul crescător sau descrescător al semnalului se ceas. În urma aplicării semnalelor logice la intrare se va întocmi tabela de adevăr.

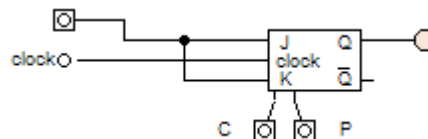
Prin aplicarea unor semnale logice pe intrările asincrone CLEAR (C) și PRESET (P) ale circuitului se vor urmări efectele, dându-se explicații privind rolul lor.

Aceleași operații se vor efectua și pentru studiul circuitelor basculante bistabile de tip D și T. Se vor folosi aceleași circuite integrate, utilizând schemele următoare:



Circuit basculant bistabil sincron de tip D

Referatul de laborator trebuie să conțină schemele, tabelele de adevăr și observațiile studenților privind funcționarea fiecărui circuit în parte.



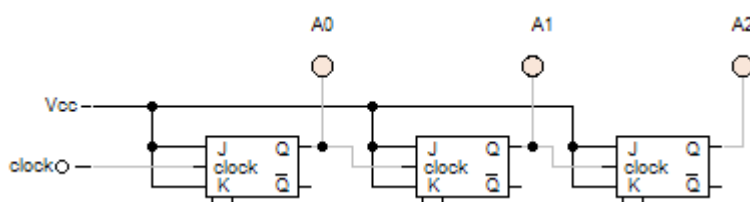
Circuit basculant bistabil sincron de tip T

Laboratorul nr. 12

Studiul circuitelor logice secvențiale de tip numărător

Cu ajutorul softului Digital Works se va simula și studia funcționarea circuitelor secvențiale de tip numărător sincron sau asincron care generează la ieșire o secvență de numere binare.

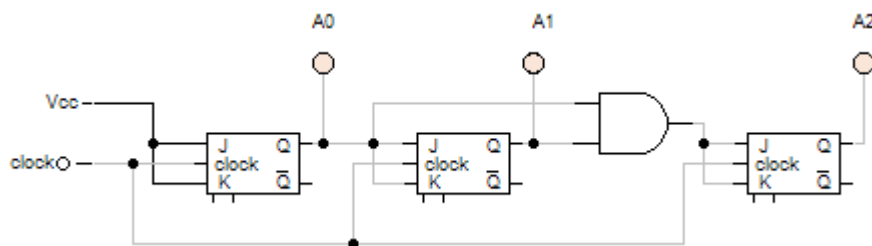
Pentru studierea funcționării unui numărător asincron de trei biți se va folosi schema următoare:



Se va desena schema și se va drumul la simulare urmărindu-se funcționarea circuitului. De asemenea în fereastra Logic History a programului se vor observa și formele de undă ale semnalului de ceas aplicat la intrarea de sincronizare a circuitului basculant bistabil precum și semnalelor de la cele trei ieșiri ale circuitului A0 – A2. Urmărindu-se funcționarea se va observa că numerele binare generate sunt în sens crescător de la 0 la 7.

Se va explica cine impune acest lucru și cum va arăta schema unui circuit numărător asincron care generează numere binare în sens descrescător, de la 7 la 0 pe un ciclu de funcționare.

În continuare pentru studiul funcționării unui numărător sincron de trei biți se va folosi schema următoare:



Ca și la schema precedentă se va urmări funcționarea circuitului prin fereastra Logic History. Se va explica funcționarea numărătorului și ca temă se propune elaborarea circuitului numărător sincron de 4 biți.

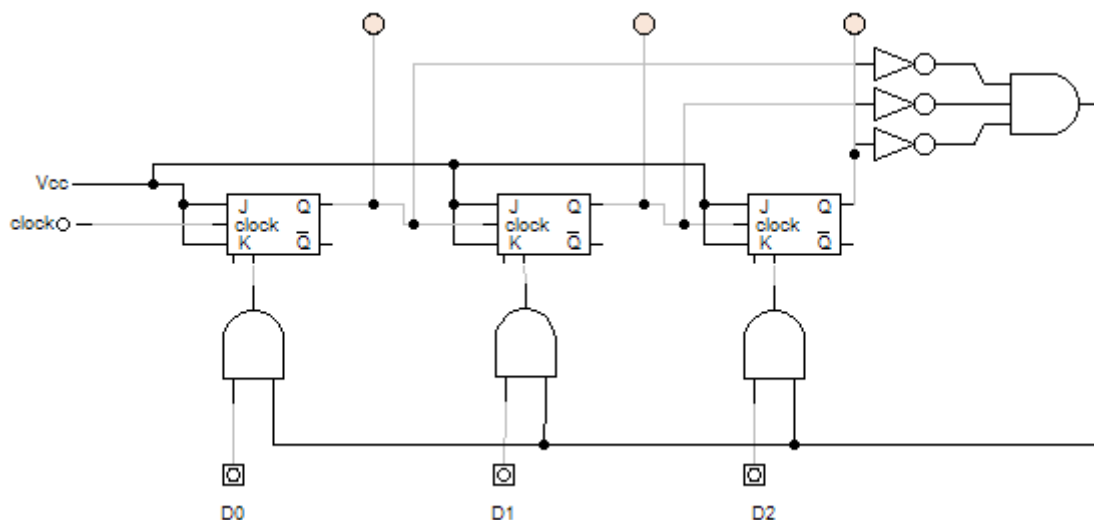
Referatul de laborator trebuie să conțină schemele, observațiile studenților privind funcționarea fiecărui circuit în parte precum și temele propuse la fiecare circuit în parte.

Laboratorul nr. 13

Realizarea unui numărător programabil

În cadrul acestui laborator se va realiza și studia funcționarea unui circuit logic secvențial de tip numărător asincron, pe trei biți, programabil. Programarea numărătorului, implică posibilitatea ca numărătorul să înceapă să numere de la o valoare $0 < n < 7$ aleasă și impusă numărătorului prin pinii de comandă PRESET ai circuitului basculant bistabil de tip JK.

Schema circuitului numărător programabil este prezentată în figura de mai jos:



Circuitul are la bază schema unui numărător asincron studiată la un laborator precedent, în plus există circuitul de selecție pentru cifra 0 realizat dintr-o poartă logică AND cu trei intrări și trei porți inversoare, care validează posibilitatea aplicării numărului programabil la intrările D0 – D2 la intrările de PRESET ale circuitelor basculante bistabile.

Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuite integrate care încorporează bistabile de tip JK, de exemplu CD74HC73 sau SN74LS73 se va realiza circuitul numărător. În plus se vor utiliza circuite integrate care încorporează porți logice AND cu 2 intrări, trei intrări și porți logice inversoare (ex: SN74HC08, SN74HC04). Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

După realizarea circuitului și verificarea lui se va porni pupitrul de experimente urmărind funcționarea lui. Valoare logică dorită să fie programată, va fi impusă cu ajutorul comutatoarelor logice ale pupitrului la intrările D0 – D2.

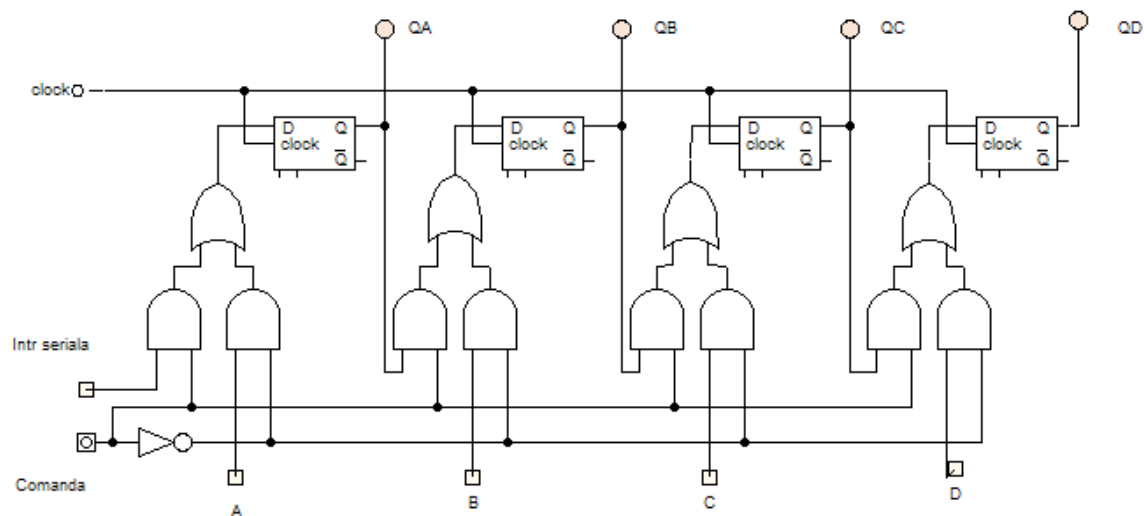
Referatul de laborator trebuie să conțină schema circuitului și observațiile studenților privind funcționarea lui.

Laboratorul nr. 14

Studiul registrului de deplasare

În cadrul acestui laborator se va realiza și studia funcționarea unui circuit logic secvențial de tip registru serial de patru biți cu deplasare la dreapta cu cele două moduri de funcționare, încărcare paralelă a datelor în registru și deplasarea lor la dreapta. Acest circuit logic secvențial fiind studiat la orele de curs.

Pentru realizarea lui se va folosi schema prezentată în figura următoare:



Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuite integrate care încorporează bistabile de tip D, de exemplu SN74LS174 sau SN74LS175 se va realiza circuitul registru. În plus se vor utiliza circuite integrate care încorporează porți logice AND cu 2 intrări, porți logice inversoare și porți logice OR cu 2 intrări (ex: SN74HC08, SN74HC04, SN74HC32). Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

La intrarea serială a circuitului registru se va aplica un semnal logic de la unul din comutatoarele pupitrului sau un semnal dreptunghiular preluat de la blocul generator. Intrarea de comandă permite ca prin aplicarea unui semnal logic 1 să se efectueze deplasarea la dreapta a informației iar la aplicarea unui semnal logic 0 să se poată încărca paralel registru cu semnale logice aplicate la intrările A, B, C și D. QA, QB, QC și QD sunt ieșirile paralele care pot fi vizualizate cu ajutorul unor leduri conectate, iar QD este de asemenea ieșirea serială a circuitului registru.

După realizarea schemei și verificarea ei se va porni pupitrul de experimente, verificându-se funcționarea circuitului registru în ambele moduri de funcționare, în încărcare serială a datelor și deplasarea lor la dreapta precum și posibilitatea încărcării a datelor paralel prin intrările A – D.

Referatul de laborator trebuie să conțină schema circuitului și observațiile studenților privind funcționarea lui.

Laboratorul nr. 15

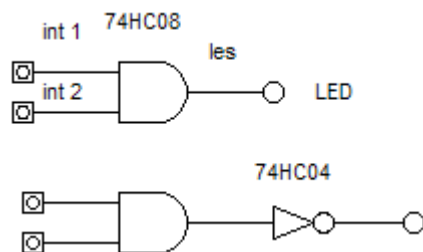
Tabelul de adevăr ale circuitelor logice bipolare AND, NAND, OR, NOR, XOR, XNOR

În cadrul acestei lucrări de laborator se vor realiza circuitele cu ajutorul cărora se vor studia tabelele de adevăr ale circuitelor logice AND, NAND, OR, NOR, XOR, XNOR. Pentru realizare lor se vor utiliza circuitele integrate 74HC08, 74HC00, 74HC32, 74HC02, 74HC04 și 74HC86.

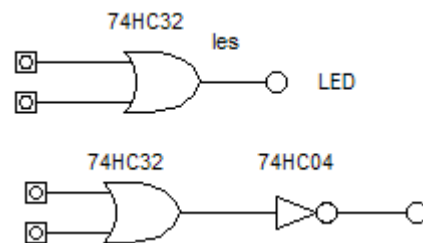
Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

Pentru realizarea montajelor se vor folosi următoarele scheme:

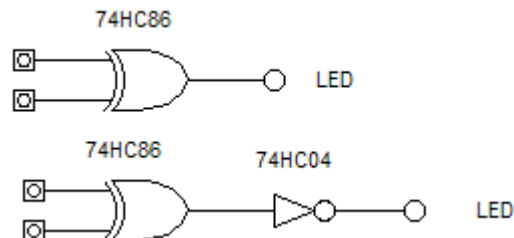
a) circuitul AND, NAND



b) circuitul OR, NOR



c) circuitul XOR, XNOR



Pentru realizarea fiecărui circuit în parte se va folosi pupitrul de experimente NX -4i, circuitele integrate digitale aferente și firele necesare pentru realizarea legăturilor.

Referatul de laborator trebuie să conțină tabelele de adevăr aferente fiecărui circuit.

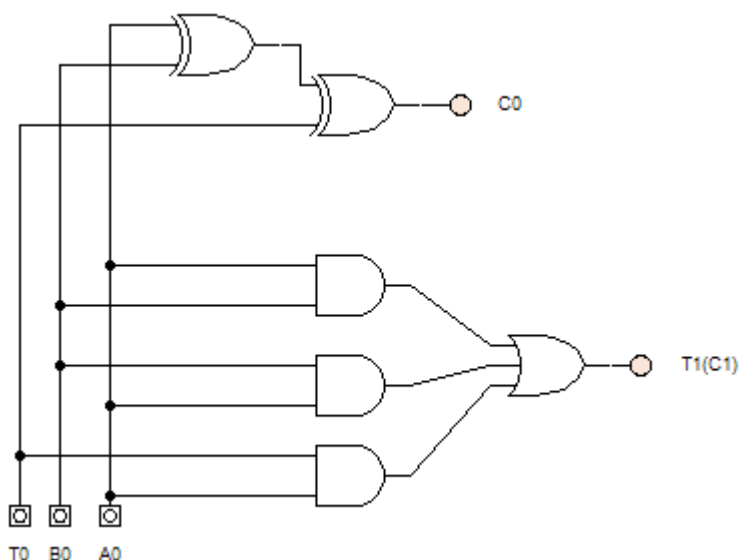
Laboratorul nr. 16

Simularea funcționării circuitelor celule sumator 1 bit cu ajutorul programului Digital Works

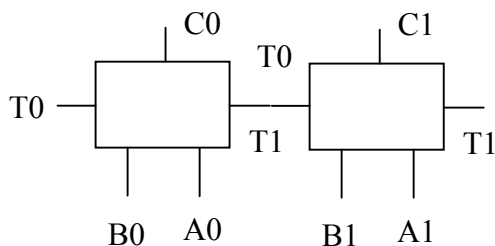
În cadrul acestui laborator se va studia funcționarea circuitului celule sumator ce efectuează operația de adunare dintre doi operanzi pe 1 bit, prezentat în cadrul orelor de curs.

Cu ajutorul programului Digital Works se va desena schema circuit și se va simula funcționarea lui urmând să se întocmească tabela de adevăr.

Celula sumator pe un bit efectuează operația de adunare între doi operanzi pe un bit ($A0 + B0$) acceptând și posibilitatea apariției unui transport de la un calcul precedent ($T0$). Rezultatul adunării va fi afișat la ieșirile $C0$ și $T1(C1)$. Schema circuitului este prezentată mai jos. Se vor aplica semnale logice la cele trei intrări urmărindu-se corectitudinea operației de adunare prin valorile obținute la ieșire.



Utilitatea acestei scheme este dată de posibilitatea efectuării operației de adunare între doi operanzi exprimați pe un număr oarecare de biți utilizând un număr de celule egal cu numărul de biți al operanzilor, conectate între ele prin ieșirea $T1$ a primei celule și intrarea $T0$ a celulei următoare.

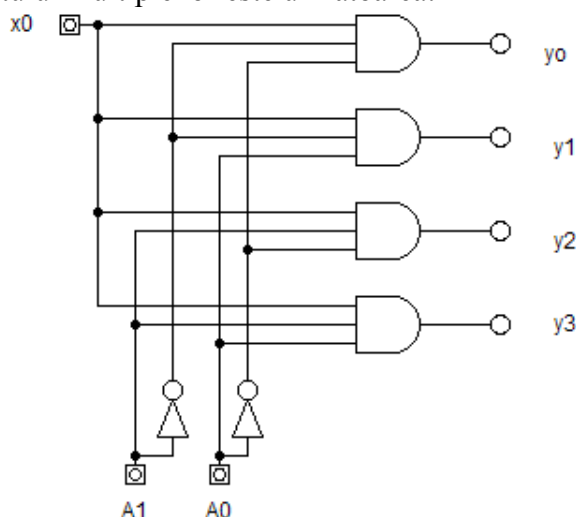


Laboratorul nr. 17

Studiul funcționării circuitului demultiplexor

În cadrul acestei lucrări de laborator se va realiza și se va studia funcționarea circuitului demultiplexor studiat în cadrul laboratorului precedent. În prima parte a laboratorului studenții se va realiza schema circuitului demultiplexor simulat la o oră de laborator precedentă. Cu ajutorul pupitrului de experimente NX – 4i și utilizând circuitele integrate care încorporează porți logice AND, NOT și OR de ex: SN74HC08, SN74HC20, SN74HC32 și SN74HC04 se va realiza schema circuitului. Se va studia anexa îndrumarului de laborator pentru a se identifica caracteristicile tehnice ale circuitelor folosite.

Schema circuitului multiplexor este următoarea:



La intrarea circuitului demultiplexor se va aplica un semnalul dreptunghiular preluat de la generatorul pupitrului 13, cu parametrii stabiliți prin comutatoarele de reglaj a modulului generator.

La intrările de adresă ale circuitului se vor aplica semnale logice de comutatoarele logice ale pupitrului. Pentru vizualizarea semnalului la cele patru ieșiri se vor folosi câte un LED al pupitrului (2) cât și un osciloscop, cu ajutorul căruia se vor măsura parametrii semnalului aplica la intrare.

În continuare se va folosi circuitul integrat SN74HC139 care are în componență două circuite demultiplexoare fiecare cu 4 ieșiri. Pentru aceasta se va studia foaia de catalog a circuitului, din anexa îndrumarului de laborator, pentru identificarea pinilor circuitului multiplexor.

Se va realiza noul circuit și se vor aplica la intrare același semnal ca și la circuitul precedent studiat.

Cu ajutorul osciloscopului se va vizualiza semnalul aplicat pe rând la cele patru intrări cât și la ieșirea circuitului multiplexor.

Referatul de laborator trebuie să conțină schemele și observațiile studenților privind funcționarea fiecărui circuit în parte.

Întrebări propuse studenților în cadrul orelor de laborator

Întrebările sunt împărțite pe seturi corespunzătoare grupurilor de studenți de lucru în cadrul orelor de laborator.

Setul 1

1. Amplitudinea vârf la vârf a unui semnal sinusoidal, măsurată cu osciloscopul indica 5V. Poziția comutatorului de amplitudine indica 2V/div. Câte diviziuni are amplitudinea semnalului?
2. Ieșirea unei porți TTL logice indică sortanța 10. Care e curentul maxim furnizat de poartă?
3. Câte porți MOS se pot conecta la ieșirea unei porți TTL cu sortanță 3?
4. Desenați un circuit de selecție pentru numărul 240_z realizat cu porți ȘI cu 4 intrări și inversoare.
5. Scrieți ecuațiile demultiplexorului cu 4 ieșiri.
6. Care este condiția ca ansamblul multiplexor-demultiplexor să poată fi folosit la transmisia la distanță a semnalelor.

Setul 2

1. Amplitudinea unui semnal sinusoidal, măsurată cu osciloscopul indica 2 diviziuni. Poziția comutatorului de amplitudine indica 2V/div. Care este amplitudinea vârf la vârf a semnalului?
2. Cum se poate conecta o poartă TTL la ieșirea unei porți MOS?
3. Câte porți TTL cu sortanță de intrare 3 se pot conecta la ieșirea unei porți TTL cu sortanță 10?
4. Desenați un circuit de selecție pentru numărul 67_z realizat cu porți ȘI-NU cu 4 intrări și inversoare.
5. Scrieți ecuațiile demultiplexorului cu 2 ieșiri.
6. La o conexiune multiplexor-demultiplexor cum se realizează transmiterea informației: serial sau paralel? Explicați.

Setul 3

1. Perioada măsurată pe ecranul unui osciloscop indică 2,5 diviziuni. Ce frecvență are semnalul dacă poziția comutatorului bazei de timp este pe $2\mu\text{s}/\text{div}$?
2. Cum poate fi conectată ieșirea unei porți MOS alimentată la o tensiune $V_{DD}=10\text{V}$ la o intrare TTL?
3. Cum este definită sortanța în cazul circuitelor logice MOS?
4. Desenați un circuit de selecție pentru numărul 165_z realizat cu porți ȘI-NU cu 3 intrări și inversoare.
5. Care este frecvența minimă a semnalului de comandă a unui demultiplexor căruia i se aplică la intrare un semnal multiplexat cu frecvența maximă de 1kHz?

6. Care sunt principalele aplicații ale ansamblului multiplexor-demultiplexor?

Setul 4

1. Câte diviziuni va avea pe ecranul osciloscopului un semnal de 1kHz, dacă poziția comutatorului bazei de timp se află pe poziția 0,5 ms/div?
2. Desenați schema de comandă a unei porți MOS alimentată la o tensiune $V_{DD}=10V$ cu ajutorul unei porți TTL cu colectorul în gol (open collector).
3. Dacă la ieșirea unei porți logice cu sortanță 10 se conectează 5 intrări cu sortanță 3, ce se va întâmpla cu nivelele logice ale ieșirii?
4. Desenați un circuit de selecție pentru numărul 204_2 realizat cu porți ȘI-NU cu 4 intrări.
5. Dacă frecvența semnalului de comandă a unui demultiplexor este de 1kHz, care este frecvența maximă a semnalului multiplexat care se poate aplica la intrarea acestuia?
6. Pentru un ansamblu multiplexor-demultiplexor cu 3 intrări de comandă, care este numărul maxim de semnale distincte ce pot fi trimise la distanță?

Întrebări suplimentare:

- Care este sortanța de ieșire a unui circuit logic cu colectorul în gol (open collector)?
- Dacă se dă frecvența de comandă f_c a unui ansamblu multiplexor-demultiplexor cu 3 intrări de comandă. Care este durata de transmitere a unui semnal cu 8 biți prezentat la intrarea multiplexorului?

**SN5408, SN54LS08, SN54S08
SN7408, SN74LS08, SN74S08**
QUADRUPLE 2-INPUT POSITIVE-AND GATES
SDLS033 – DECEMBER 1983 – REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

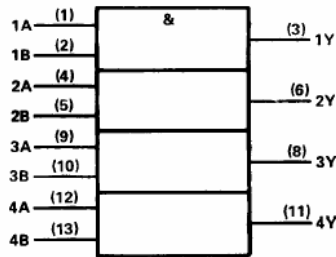
These devices contain four independent 2-input AND gates.

The SN5408, SN54LS08, and SN54S08 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7408, SN74LS08 and SN74S08 are characterized for operation from 0° to 70°C.

FUNCTION TABLE (each gate)

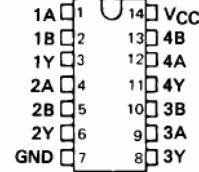
| INPUTS | | OUTPUT |
|--------|---|--------|
| A | B | Y |
| H | H | H |
| L | X | L |
| X | L | L |

logic symbol†

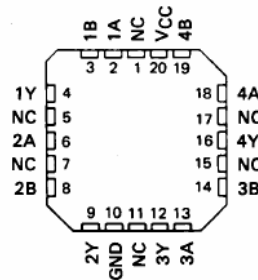


† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.

SN5408, SN54LS08, SN54S08 . . . J OR W PACKAGE
SN7408 . . . J OR N PACKAGE
SN74LS08, SN74S08 . . . D, J OR N PACKAGE
(TOP VIEW)

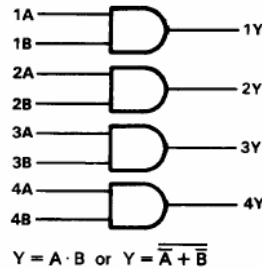


SN54LS08, SN54S08 . . . FK PACKAGE
(TOP VIEW)



NC—No internal connection

logic diagram (positive logic)



PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

SN5442A, SN54LS42, SN7442A, SN74LS42
4-LINE BCD TO 10-LINE DECIMAL DECODERS

SDLS109 – MARCH 1974 – REVISED MARCH 1988

- All Outputs Are High for Invalid Input Conditions
- Also for Application as
 4-Line-to-16-Line Decoders
 3-Line-to-8-Line Decoders
- Diode-Clamped Inputs

| TYPES | TYPICAL POWER DISSIPATION | TYPICAL PROPAGATION DELAYS |
|-------|---------------------------|----------------------------|
| '42A | 140 mW | 17 ns |
| 'LS42 | 35 mW | 17 ns |

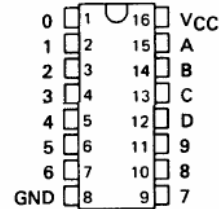
description

These monolithic BCD-to-decimal decoders consist of eight inverters and ten four-input NAND gates. The inverters are connected in pairs to make BCD input data available for decoding by the NAND gates. Full decoding of valid input logic ensures that all outputs remain off for all invalid input conditions.

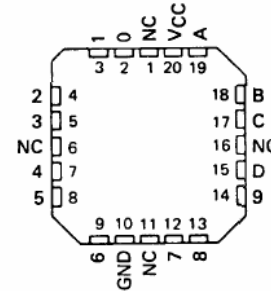
The '42A and 'LS42 feature inputs and outputs that are compatible for use with most TTL and other saturated low-level logic circuits. DC noise margins are typically one volt.

The SN5442A and SN54LS42 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7442A and SN74LS42 are characterized for operation from 0°C to 70°C.

SN5442A, SN54LS42 . . . J OR W PACKAGE
SN7442A . . . N PACKAGE
SN74LS42 . . . D OR N PACKAGE
(TOP VIEW)



SN54LS42 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

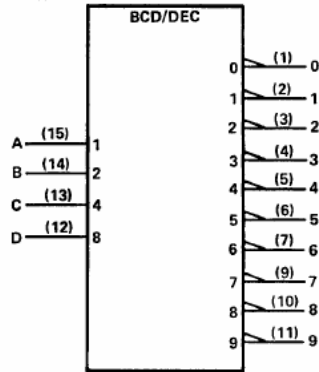
PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



SN5442A, SN54LS42, SN7442A, SN74LS42 4-LINE BCD TO 10-LINE DECIMAL DECODERS

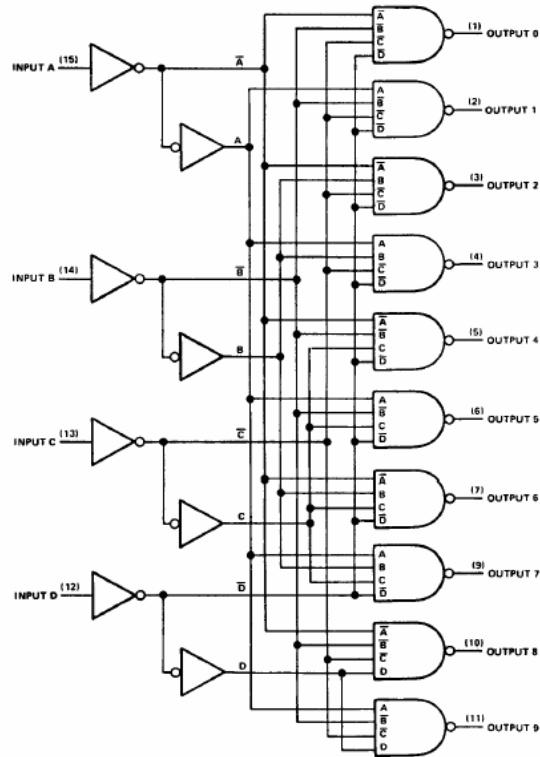
SDLS109 – MARCH 1974 – REVISED MARCH 1988

logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

logic diagram (positive logic)



Pin numbers shown are for D, J, N, and W packages.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

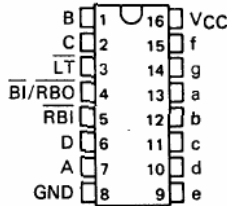
SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
 SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

SDLS111 - MARCH 1974 - REVISED MARCH 1988

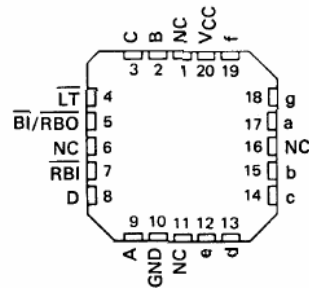
| '46A, '47A, 'LS47 feature | '48, 'LS48 feature | 'LS49 feature |
|---|---|--|
| <ul style="list-style-type: none"> • Open-Collector Outputs Drive Indicators <i>Directly</i> • Lamp-Test Provision • Leading/Trailing Zero Suppression | <ul style="list-style-type: none"> • Internal Pull-Ups Eliminate Need for External Resistors • Lamp-Test Provision • Leading/Trailing Zero Suppression | <ul style="list-style-type: none"> • Open-Collector Outputs • Blanking Input |

SN5446A, SN5447A, SN54LS47, SN5448,
 SN54LS48 . . . J PACKAGE
 SN7446A, SN7447A,
 SN7448 . . . N PACKAGE
 SN74LS47, SN74LS48 . . . D OR N PACKAGE

(TOP VIEW)

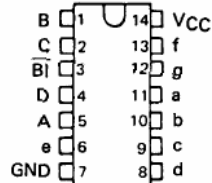


SN54LS47, SN54LS48 . . . FK PACKAGE
 (TOP VIEW)

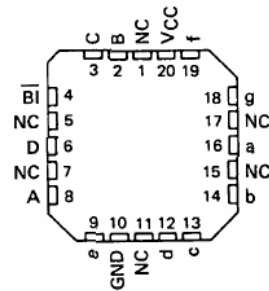


SN54LS49 . . . J OR W PACKAGE
 SN74LS49 . . . D OR N PACKAGE

(TOP VIEW)



SN54LS49 . . . FK PACKAGE
 (TOP VIEW)



NC - No internal connection

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



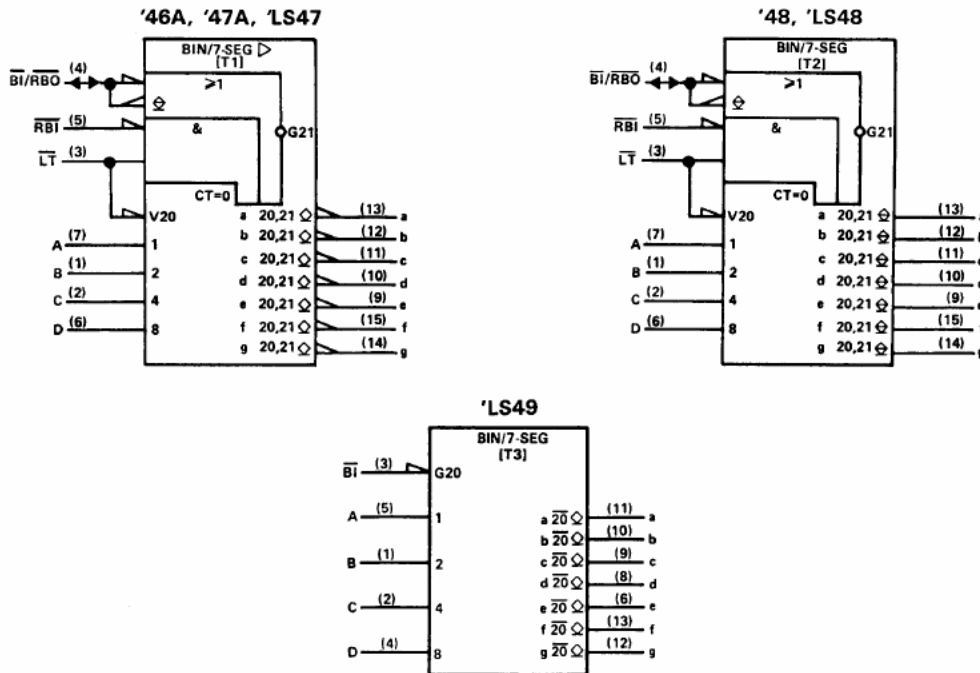
**SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS**

SDLS111 – MARCH 1974 – REVISED MARCH 1988

- All Circuit Types Feature Lamp Intensity Modulation Capability

| TYPE | DRIVER OUTPUTS | | | | TYPICAL POWER DISSIPATION | PACKAGES |
|----------|----------------|----------------------|--------------|-------------|---------------------------|----------|
| | ACTIVE LEVEL | OUTPUT CONFIGURATION | SINK CURRENT | MAX VOLTAGE | | |
| SN5446A | low | open-collector | 40 mA | 30 V | 320 mW | J, W |
| SN5447A | low | open-collector | 40 mA | 15 V | 320 mW | J, W |
| SN5448 | high | 2-k Ω pull-up | 6.4 mA | 5.5 V | 265 mW | J,W |
| SN54LS47 | low | open-collector | 12 mA | 15 V | 35 mW | J, W |
| SN54LS48 | high | 2-k Ω pull-up | 2 mA | 5.5 V | 125 mW | J, W |
| SN54LS49 | high | open-collector | 4 mA | 5.5 V | 40 mW | J, W |
| SN7446A | low | open-collector | 40 mA | 30 V | 320 mW | J, N |
| SN7447A | low | open-collector | 40 mA | 15 V | 320 mW | J, N |
| SN7448 | high | 2-k Ω pull-up | 6.4 mA | 5.5 V | 265 mW | J, N |
| SN74LS47 | low | open-collector | 24 mA | 15 V | 35 mW | J, N |
| SN74LS48 | high | 2-k Ω pull-up | 6 mA | 5.5 V | 125 mW | J, N |
| SN74LS49 | high | open-collector | 8 mA | 5.5 V | 40 mW | J, N |

logic symbols†



†These symbols are in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49 SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

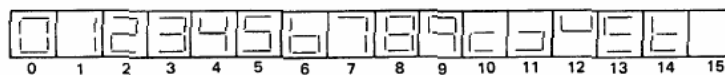
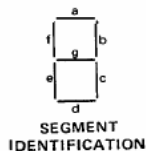
SDLS111 – MARCH 1974 – REVISED MARCH 1988

description

The '46A, '47A, and 'LS47 feature active-low outputs designed for driving common-anode LEDs or incandescent indicators directly. The '48, 'LS48, and 'LS49 feature active-high outputs for driving lamp buffers or common-cathode LEDs. All of the circuits except 'LS49 have full ripple-blanking input/output controls and a lamp test input. The 'LS49 circuit incorporates a direct blanking input. Segment identification and resultant displays are shown below. Display patterns for BCD input counts above 9 are unique symbols to authenticate input conditions.

The '46A, '47A, '48, 'LS47, and 'LS48 circuits incorporate automatic leading and/or trailing-edge zero-blanking control (\overline{RBI} and \overline{RBO}). Lamp test (\overline{LT}) of these types may be performed at any time when the $\overline{BI}/\overline{RBO}$ node is at a high level. All types (including the '49 and 'LS49) contain an overriding blanking input (\overline{BI}), which can be used to control the lamp intensity by pulsing or to inhibit the outputs. Inputs and outputs are entirely compatible for use with TTL logic outputs.

The SN54246/SN74246 and '247 and the SN54LS247/SN74LS247 and 'LS248 compose the $\overline{5}$ and the $\overline{9}$ with tails and were designed to offer the designer a choice between two indicator fonts.



NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

'46A, '47A, 'LS47 FUNCTION TABLE (T1)

| DECIMAL OR FUNCTION | INPUTS | | | | | | $\overline{BI}/\overline{RBO}^\dagger$ | OUTPUTS | | | | | | | NOTE |
|---------------------|-----------------|------------------|---|---|---|---|--|---------|-----|-----|-----|-----|-----|-----|------|
| | \overline{LT} | \overline{RBI} | D | C | B | A | | a | b | c | d | e | f | g | |
| 0 | H | H | L | L | L | L | H | ON | ON | ON | ON | ON | ON | OFF | |
| 1 | H | X | L | L | L | H | H | OFF | ON | ON | OFF | OFF | OFF | OFF | |
| 2 | H | X | L | L | H | L | H | ON | ON | OFF | ON | ON | OFF | ON | |
| 3 | H | X | L | L | H | H | H | ON | ON | ON | ON | OFF | OFF | ON | |
| 4 | H | X | L | H | L | L | H | OFF | ON | ON | OFF | OFF | ON | ON | |
| 5 | H | X | L | H | L | H | H | ON | OFF | ON | ON | OFF | ON | ON | |
| 6 | H | X | L | H | H | L | H | OFF | OFF | ON | ON | ON | ON | ON | |
| 7 | H | X | L | H | H | H | H | ON | ON | ON | OFF | OFF | OFF | OFF | |
| 8 | H | X | H | L | L | L | H | ON | ON | ON | ON | ON | ON | ON | |
| 9 | H | X | H | L | L | H | H | ON | ON | ON | OFF | OFF | ON | ON | |
| 10 | H | X | H | L | H | L | H | OFF | OFF | OFF | ON | ON | OFF | ON | |
| 11 | H | X | H | L | H | H | H | OFF | OFF | ON | ON | OFF | OFF | ON | |
| 12 | H | X | H | H | L | L | H | OFF | ON | OFF | OFF | OFF | ON | ON | |
| 13 | H | X | H | H | L | H | H | ON | OFF | OFF | ON | OFF | ON | ON | |
| 14 | H | X | H | H | H | L | H | OFF | OFF | OFF | ON | ON | ON | ON | |
| 15 | H | X | H | H | H | H | H | OFF | OFF | OFF | OFF | OFF | OFF | OFF | |
| \overline{BI} | X | X | X | X | X | X | L | OFF | OFF | OFF | OFF | OFF | OFF | OFF | |
| \overline{RBI} | H | L | L | L | L | L | L | OFF | OFF | OFF | OFF | OFF | OFF | OFF | |
| \overline{LT} | L | X | X | X | X | X | H | ON | ON | ON | ON | ON | ON | ON | |

H = high level, L = low level, X = irrelevant

- NOTES:
- The blanking input (\overline{BI}) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (\overline{RBI}) must be open or high if blanking of a decimal zero is not desired.
 - When a low logic level is applied directly to the blanking input (\overline{BI}), all segment outputs are off regardless of the level of any other input.
 - When ripple-blanking input (\overline{RBI}) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output (\overline{RBO}) goes to a low level (response condition).
 - When the blanking input/ripple blanking output ($\overline{BI}/\overline{RBO}$) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

$^\dagger \overline{BI}/\overline{RBO}$ is wire AND logic serving as blanking input (\overline{BI}) and/or ripple-blanking output (\overline{RBO}).



POST OFFICE BOX 655305 • DALLAS, TEXAS 75265

3

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
 SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

SDLS111 - MARCH 1974 - REVISED MARCH 1988

'48, 'LS48
 FUNCTION TABLE (T2)

| DECIMAL OR FUNCTION | INPUTS | | | | | $\overline{\text{BI}}/\overline{\text{RBO}}^\dagger$ | OUTPUTS | | | | | | | NOTE |
|---------------------------|--------|-----|---|---|---|--|---------|---|---|---|---|---|---|------|
| | LT | RBI | D | C | B | | A | a | b | c | d | e | f | |
| 0 | H | H | L | L | L | L | H | H | H | H | H | H | L | |
| 1 | H | X | L | L | L | H | H | L | H | H | L | L | L | |
| 2 | H | X | L | L | H | L | H | H | H | L | H | H | L | |
| 3 | H | X | L | L | H | H | H | H | H | H | L | L | H | |
| 4 | H | X | L | H | L | L | H | L | H | H | L | L | H | |
| 5 | H | X | L | H | L | H | H | H | L | H | H | L | H | |
| 6 | H | X | L | H | H | L | H | L | L | H | H | H | H | |
| 7 | H | X | L | H | H | H | H | H | H | H | L | L | L | |
| 8 | H | X | H | L | L | L | H | H | H | H | H | H | H | |
| 9 | H | X | H | L | L | H | H | H | H | H | L | L | H | |
| 10 | H | X | H | L | H | L | H | L | L | L | H | H | L | |
| 11 | H | X | H | L | H | H | H | L | L | H | H | L | L | |
| 12 | H | X | H | H | L | L | H | L | H | L | L | L | H | |
| 13 | H | X | H | H | L | H | H | H | L | L | L | H | H | |
| 14 | H | X | H | H | H | L | H | L | L | L | H | H | H | |
| 15 | H | X | H | H | H | H | H | L | L | L | L | L | L | |
| BI | X | X | X | X | X | X | L | L | L | L | L | L | L | |
| RBI | H | L | L | L | L | L | L | L | L | L | L | L | L | |
| LT | L | X | X | X | X | X | H | H | H | H | H | H | H | |

H = high level, L = low level, X = irrelevant

- NOTES: 1. The blanking input ($\overline{\text{BI}}$) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input ($\overline{\text{RBI}}$) must be open or high, if blanking of a decimal zero is not desired.
 2. When a low logic level is applied directly to the blanking input ($\overline{\text{BI}}$), all segment outputs are low regardless of the level of any other input.
 3. When ripple-blanking input ($\overline{\text{RBI}}$) and inputs A, B, C, and D are at a low level with the lamp-test input high, all segment outputs go low and the ripple-blanking output ($\overline{\text{RBO}}$) goes to a low level (response condition).
 4. When the blanking input/ripple-blanking output ($\overline{\text{BI}}/\overline{\text{RBO}}$) is open or held high and a low is applied to the lamp-test input, all segment outputs are high.

$^\dagger \overline{\text{BI}}/\overline{\text{RBO}}$ is wire-AND logic serving as blanking input ($\overline{\text{BI}}$) and/or ripple-blanking output ($\overline{\text{RBO}}$).

'LS49
 FUNCTION TABLE (T3)

| DECIMAL OR FUNCTION | INPUTS | | | | | $\overline{\text{BI}}$ | OUTPUTS | | | | | | | NOTE |
|---------------------------|--------|---|---|---|---|------------------------|---------|---|---|---|---|---|--|------|
| | D | C | B | A | a | | b | c | d | e | f | g | | |
| 0 | L | L | L | L | H | H | H | H | H | H | H | L | | |
| 1 | L | L | L | H | H | L | H | H | L | L | L | L | | |
| 2 | L | L | H | L | H | H | H | L | H | H | L | H | | |
| 3 | L | L | H | H | H | H | H | H | H | L | L | H | | |
| 4 | L | H | L | L | H | L | H | H | L | L | H | H | | |
| 5 | L | H | L | H | H | H | L | H | H | L | H | H | | |
| 6 | L | H | H | L | H | L | L | H | H | H | H | H | | |
| 7 | L | H | H | H | H | H | H | H | L | L | L | L | | |
| 8 | H | L | L | L | H | H | H | H | H | H | H | H | | |
| 9 | H | L | L | H | H | H | H | H | L | L | H | H | | |
| 10 | H | L | H | L | H | L | L | L | H | H | L | H | | |
| 11 | H | L | H | H | H | L | L | H | H | L | L | H | | |
| 12 | H | H | L | L | H | L | H | L | L | L | H | H | | |
| 13 | H | H | L | H | H | H | L | L | L | H | L | H | | |
| 14 | H | H | H | L | H | L | L | L | H | H | H | H | | |
| 15 | H | H | H | H | H | L | L | L | L | L | L | L | | |
| BI | X | X | X | X | L | L | L | L | L | L | L | L | | |

H = high level, L = low level, X = irrelevant

- NOTES: 1. The blanking input ($\overline{\text{BI}}$) must be open or held at a high logic level when output functions 0 through 15 are desired.
 2. When a low logic level is applied directly to the blanking input ($\overline{\text{BI}}$), all segment outputs are low regardless of the level of any other input.

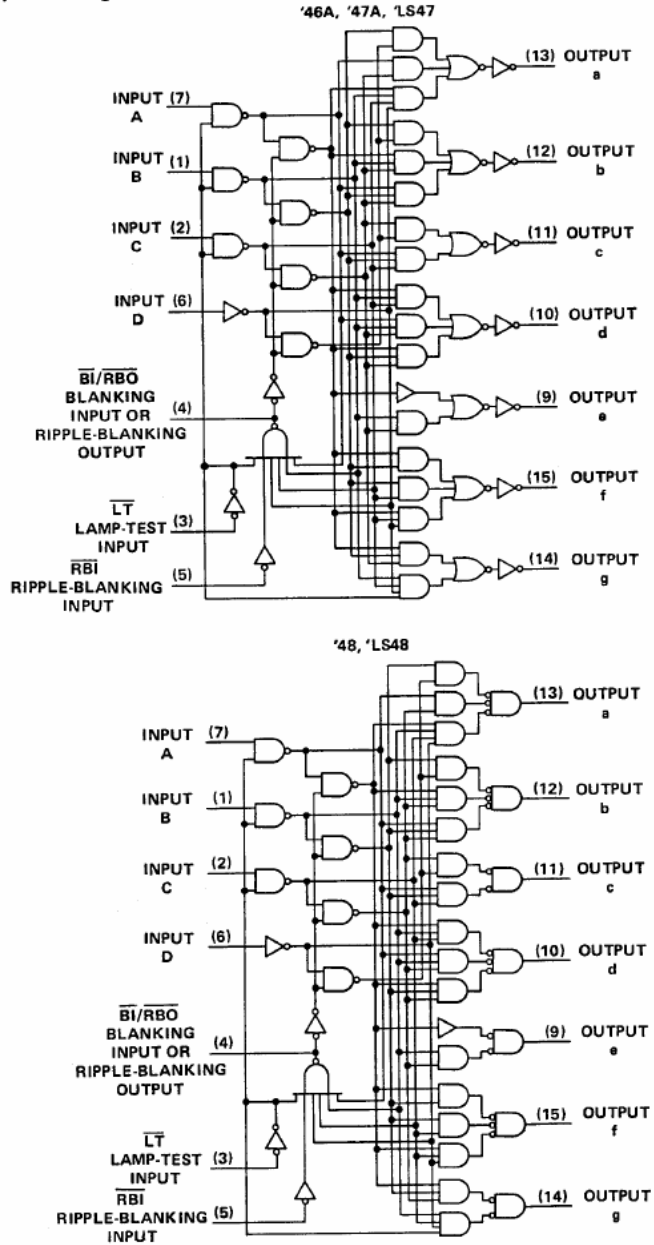


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
 SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

SDLS111 - MARCH 1974 - REVISED MARCH 1988

logic diagrams (positive logic)



Pin numbers shown are for D, J, N, and W packages.

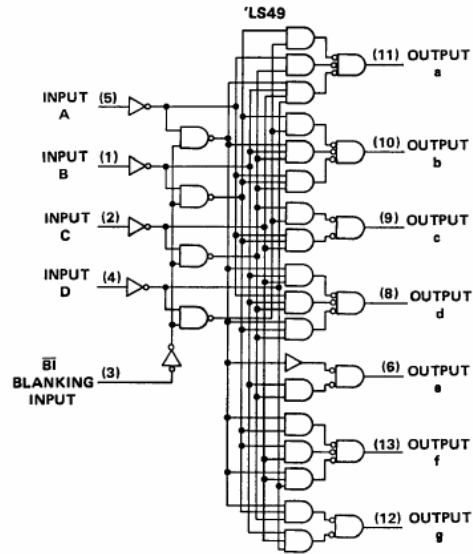


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
 SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

SDLS111 – MARCH 1974 – REVISED MARCH 1988

logic diagrams (continued)



Pin numbers shown are for D, J, N, and W packages.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265



MOTOROLA

ANEXA 4

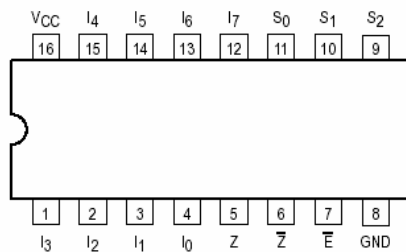
8-INPUT MULTIPLEXER

The MC54/74F151 is a high-speed 8-input digital multiplexer. It provides in one package, the ability to select one line of data from up to eight sources. The F151 can be used as a universal function generator to generate any logic function of four variables. Both asserted and negated outputs are provided.

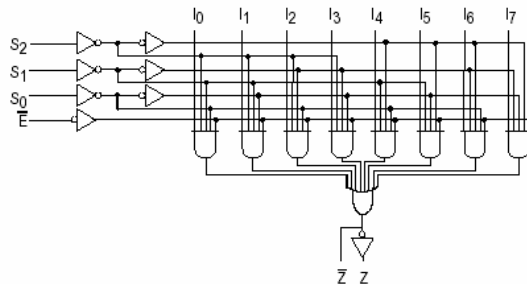
The F151 is a logic implementation of a single pole, 8-position switch with the switch position controlled by the state of three Select inputs, S_0 , S_1 , S_2 . The Enable input (\bar{E}) is active LOW. The logic function provided at the output is:

$$Z = \bar{E} \cdot (I_0 \cdot \bar{S}_0 \cdot \bar{S}_1 \cdot \bar{S}_2 + I_1 \cdot S_0 \cdot \bar{S}_1 \cdot \bar{S}_2 + I_2 \cdot \bar{S}_0 \cdot S_1 \cdot \bar{S}_2 + I_3 \cdot S_0 \cdot S_1 \cdot \bar{S}_2 + I_4 \cdot \bar{S}_0 \cdot \bar{S}_1 \cdot S_2 + I_5 \cdot S_0 \cdot \bar{S}_1 \cdot S_2 + I_6 \cdot \bar{S}_0 \cdot S_1 \cdot S_2 + I_7 \cdot S_0 \cdot S_1 \cdot S_2)$$

CONNECTION DIAGRAM DIP (TOP VIEW)



LOGIC DIAGRAM



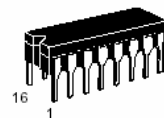
FUNCTION TABLE

| \bar{E} | Inputs | | | Outputs | |
|-----------|--------|-------|-------|-------------|-------|
| | S_2 | S_1 | S_0 | \bar{Z} | Z |
| H | X | X | X | H | L |
| L | L | L | L | \bar{I}_0 | I_0 |
| L | L | L | H | \bar{I}_1 | I_1 |
| L | L | H | L | \bar{I}_2 | I_2 |
| L | L | H | H | \bar{I}_3 | I_3 |
| L | H | L | L | \bar{I}_4 | I_4 |
| L | H | L | H | \bar{I}_5 | I_5 |
| L | H | H | L | \bar{I}_6 | I_6 |
| L | H | H | H | \bar{I}_7 | I_7 |

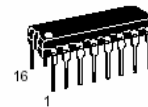
H = HIGH Voltage Level; L = LOW Voltage Level; X = Don't Care

MC54/74F151

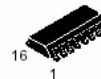
8-INPUT
MULTIPLEXER
FAST™ SHOTTKY TTL



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

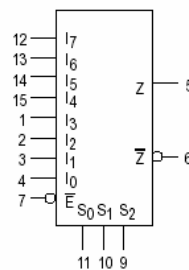


D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

| | |
|-----------|---------|
| MC54FXXXJ | Ceramic |
| MC74FXXXN | Plastic |
| MC74FXXXD | SOIC |

LOGIC SYMBOL



V_{CC} = PIN 16
 GND = PIN 8

DM54LS154/DM74LS154 4-Line to 16-Line Decoders/Demultiplexers

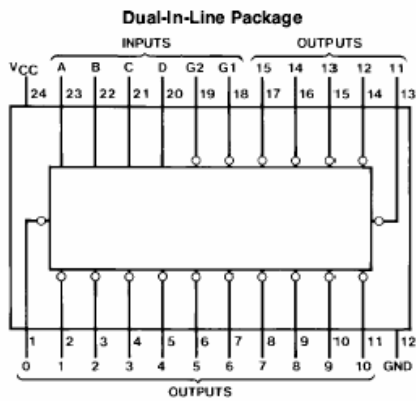
General Description

Each of these 4-line-to-16-line decoders utilizes TTL circuitry to decode four binary-coded inputs into one of sixteen mutually exclusive outputs when both the strobe inputs, G1 and G2, are low. The demultiplexing function is performed by using the 4 input lines to address the output line, passing data from one of the strobe inputs with the other strobe input low. When either strobe input is high, all outputs are high. These demultiplexers are ideally suited for implementing high-performance memory decoders. All inputs are buffered and input clamping diodes are provided to minimize transmission-line effects and thereby simplify system design.

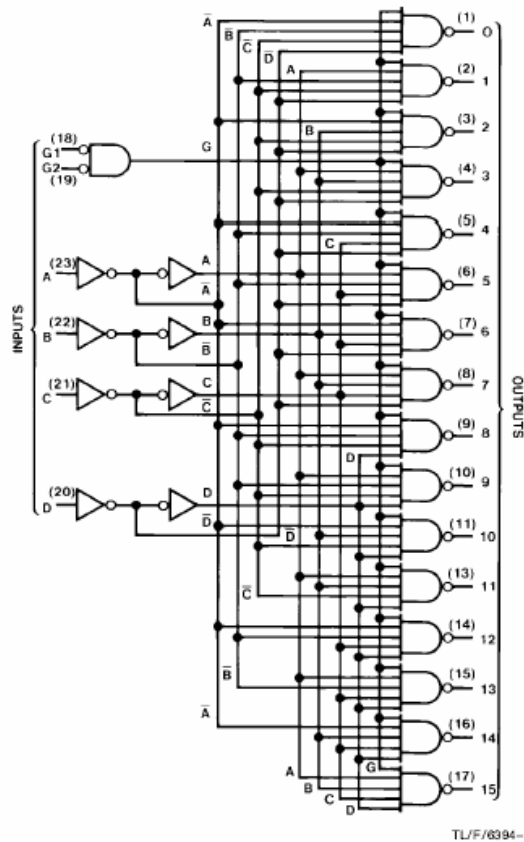
Features

- Decodes 4 binary-coded inputs into one of 16 mutually exclusive outputs
- Performs the demultiplexing function by distributing data from one input line to any one of 16 outputs
- Input clamping diodes simplify system design
- High fan-out, low-impedance, totem-pole outputs
- Typical propagation delay
3 levels of logic 23 ns
Strobe 19 ns
- Typical power dissipation 45 mW

Connection and Logic Diagrams



Order Number DM54LS154J,
DM74LS154WM or DM74LS154N
See NS Package Number J24A, M24B or N24A



DM54LS154/DM74LS154 4-Line to 16-Line Decoders/Demultiplexers

SN54147, SN54148, SN54LS147, SN54LS148
 SN74147, SN74148 (TIM9907), SN74LS147, SN74LS148
 10-LINE TO 4-LINE AND 8-LINE TO 3-LINE PRIORITY ENCODERS
 SDLS053A - OCTOBER 1976 - REVISED FEBRUARY 2001

'147, 'LS147

- Encodes 10-Line Decimal to 4-Line BCD
- Applications Include:
 - Keyboard Encoding
 - Range Selection

'148, 'LS148

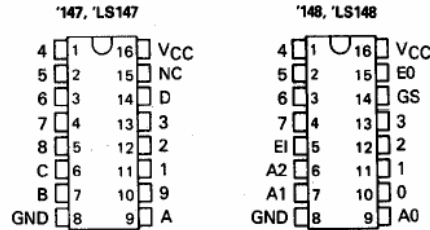
- Encodes 8 Data Lines to 3-Line Binary (Octal)
- Applications Include:
 - N-Bit Encoding
 - Code Converters and Generators

| TYPE | TYPICAL DATA DELAY | TYPICAL POWER DISSIPATION |
|--------|--------------------|---------------------------|
| '147 | 10 ns | 225 mW |
| '148 | 10 ns | 190 mW |
| 'LS147 | 15 ns | 60 mW |
| 'LS148 | 15 ns | 60 mW |

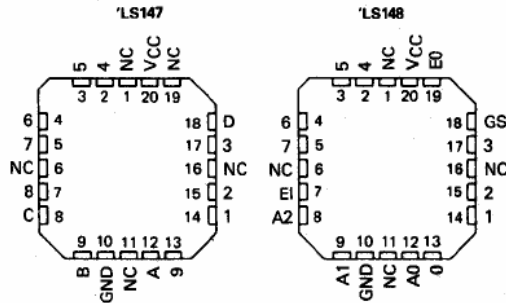
description

These TTL encoders feature priority decoding of the inputs to ensure that only the highest-order data line is encoded. The '147 and 'LS147 encode nine data lines to four-line (8-4-2-1) BCD. The implied decimal zero condition requires no input condition as zero is encoded when all nine data lines are at a high logic level. The '148 and 'LS148 encode eight data lines to three-line (4-2-1) binary (octal). Cascading circuitry (enable input EI and enable output EO) has been provided to allow octal expansion without the need for external circuitry. For all types, data inputs and outputs are active at the low logic level. All inputs are buffered to represent one normalized Series 54/74 or 54LS/74LS load, respectively.

SN54147, SN54LS147,
 SN54148, SN54LS148 . . . J OR W PACKAGE
 SN74147, SN74148 . . . N PACKAGE
 SN74LS147, SN74LS148 . . . D OR N PACKAGE
 (TOP VIEW)



SN54LS147, SN54LS148 . . . FK PACKAGE
 (TOP VIEW)



NC - No internal connection

'147, 'LS147
 FUNCTION TABLE

| INPUTS | | | | | | | | | OUTPUTS | | | |
|--------|---|---|---|---|---|---|---|---|---------|---|---|---|
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | D | C | B | A |
| H | H | H | H | H | H | H | H | H | H | H | H | H |
| X | X | X | X | X | X | X | X | L | L | H | H | L |
| X | X | X | X | X | X | X | L | H | L | H | H | H |
| X | X | X | X | X | L | H | H | H | H | L | L | L |
| X | X | X | X | L | H | H | H | H | H | L | L | H |
| X | X | X | L | H | H | H | H | H | H | L | H | H |
| X | X | L | H | H | H | H | H | H | H | H | L | L |
| X | L | H | H | H | H | H | H | H | H | H | L | H |
| L | H | H | H | H | H | H | H | H | H | H | H | L |

H = high logic level, L = low logic level, X = irrelevant

'148, 'LS148
 FUNCTION TABLE

| INPUTS | | | | | | | | OUTPUTS | | | | | |
|--------|---|---|---|---|---|---|---|---------|----|----|----|----|----|
| EI | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | A2 | A1 | A0 | GS | EO |
| H | X | X | X | X | X | X | X | X | H | H | H | H | H |
| L | H | H | H | H | H | H | H | H | H | H | H | H | L |
| L | X | X | X | X | X | X | L | H | L | L | L | L | H |
| L | X | X | X | X | X | L | H | H | L | L | H | L | H |
| L | X | X | X | X | L | H | H | H | L | H | L | L | H |
| L | X | X | X | L | H | H | H | H | L | H | L | L | H |
| L | X | X | L | H | H | H | H | H | H | L | L | L | H |
| L | X | L | H | H | H | H | H | H | H | H | L | L | H |
| L | L | H | H | H | H | H | H | H | H | H | H | L | H |

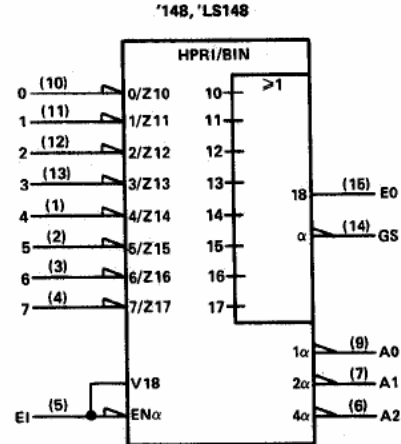
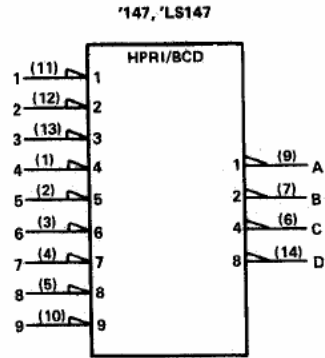
PRODUCTION DATA Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



SN54147, SN54148, SN54LS147, SN54LS148
 SN74147, SN74148 (TIM9907), SN74LS147, SN74LS148
 10-LINE TO 4-LINE AND 8-LINE TO 3-LINE PRIORITY ENCODERS

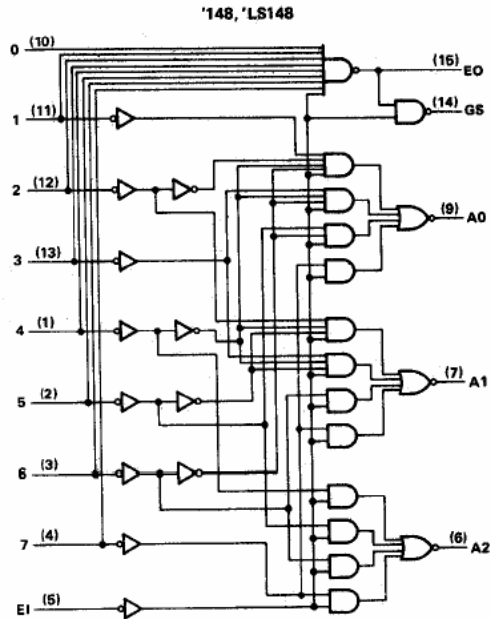
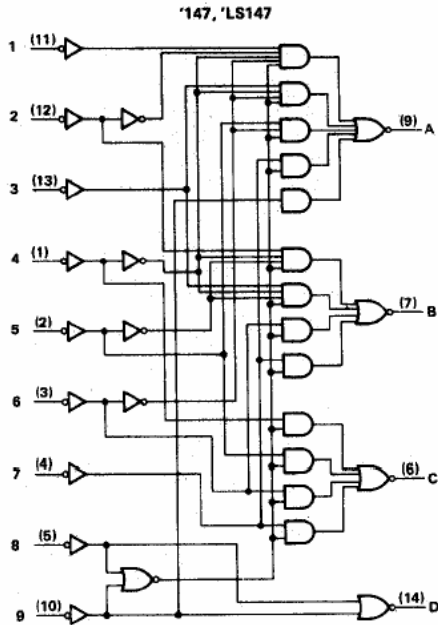
SDLS053A - OCTOBER 1976 - REVISED FEBRUARY 2001

logic symbols†



†These symbols are in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12.
 Pin numbers shown are for D, J, N, and W packages.

logic diagrams



Pin numbers shown are for D, J, N, and W packages.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

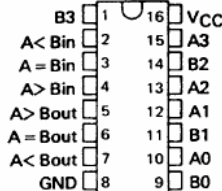
ANEXA 7

SN5485, SN54LS85, SN54S85
SN7485, SN74LS85, SN74S85
4-BIT MAGNITUDE COMPARATORS

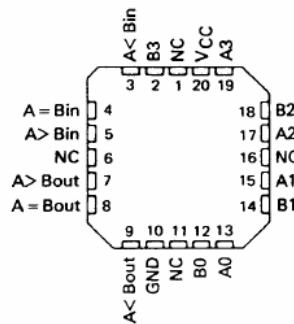
SDLS123 - MARCH 1974 - REVISED MARCH 1988

| TYPE | TYPICAL POWER DISSIPATION | TYPICAL DELAY (4-BIT WORDS) |
|-------|---------------------------|-----------------------------|
| '85 | 275 mW | 23 ns |
| 'LS85 | 52 mW | 24 ns |
| 'S85 | 365 mW | 11 ns |

SN5485, SN54LS85, SN54S85 . . . J OR W PACKAGE
SN7485 . . . N PACKAGE
SN74LS85, SN74S85 . . . D OR N PACKAGE
(TOP VIEW)



SN54LS85, SN54S85 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

description

These four-bit magnitude comparators perform comparison of straight binary and straight BCD (8-4-2-1) codes. Three fully decoded decisions about two 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The A > B, A < B, and A = B outputs of a stage handling less-significant bits are connected to the corresponding A > B, A < B, and A = B inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must have a high-level voltage applied to the A = B input. The cascading paths of the '85, 'LS85, and 'S85 are implemented with only a two-gate-level delay to reduce overall comparison times for long words. An alternate method of cascading which further reduces the comparison time is shown in the typical application data.

FUNCTION TABLE

| COMPARING INPUTS | | | | CASCADING INPUTS | | | OUTPUTS | | |
|------------------|---------|---------|---------|------------------|-------|-------|---------|-------|-------|
| A3, B3 | A2, B2 | A1, B1 | A0, B0 | A > B | A < B | A = B | A > B | A < B | A = B |
| A3 > B3 | X | X | X | X | X | X | H | L | L |
| A3 < B3 | X | X | X | X | X | X | L | H | L |
| A3 = B3 | A2 > B2 | X | X | X | X | X | H | L | L |
| A3 = B3 | A2 < B2 | X | X | X | X | X | L | H | L |
| A3 = B3 | A2 = B2 | A1 > B1 | X | X | X | X | H | L | L |
| A3 = B3 | A2 = B2 | A1 < B1 | X | X | X | X | L | H | L |
| A2 = B3 | A2 = B2 | A1 = B1 | A0 > B0 | X | X | X | H | L | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 < B0 | X | X | X | L | H | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | H | L | L | H | L | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | L | H | L | L | H | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | X | X | H | L | L | H |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | H | H | L | L | L | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | L | L | L | H | H | L |

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



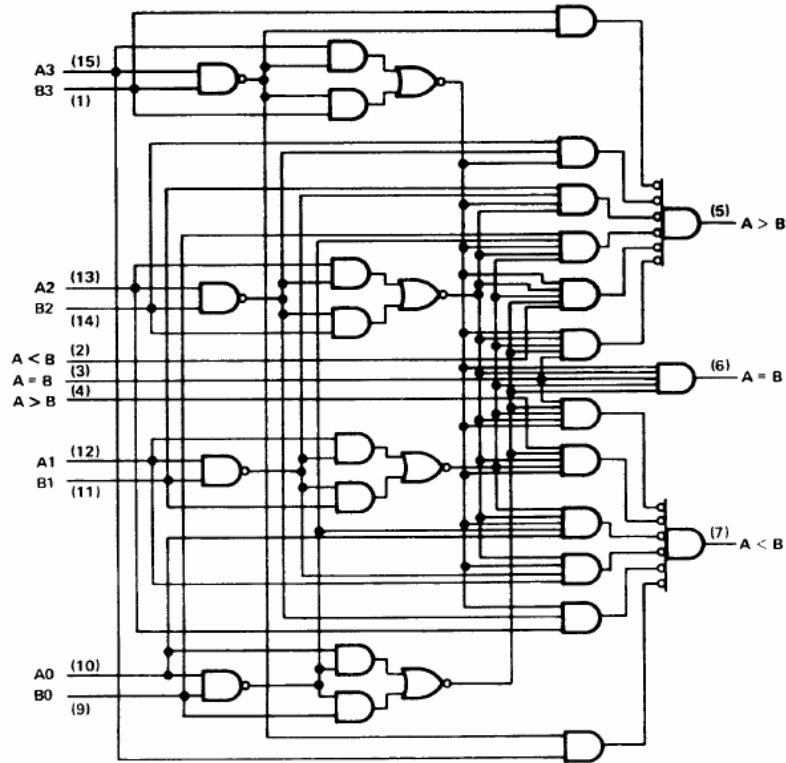
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

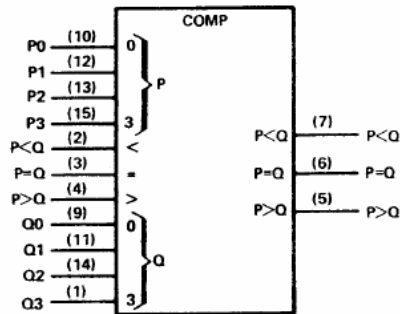
SN5485, SN54LS85, SN54S85
 SN7485, SN74LS85, SN74S85
 4-BIT MAGNITUDE COMPARATORS

SDLS123 - MARCH 1974 - REVISED MARCH 1988

logic diagrams (positive logic)



logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.



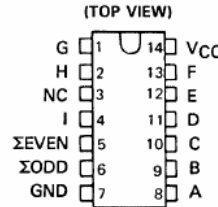
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

**SN54LS280, SN54S280, SN74LS280, SN74S280
9-BIT ODD/EVEN PARITY GENERATORS/CHECKERS**

SDLS152 – DECEMBER 1972 – REVISED MARCH 1988

- Generates Either Odd or Even Parity for Nine Data Lines
- Cascadable for n-Bits
- Can Be Used to Upgrade Existing Systems using MSI Parity Circuits
- Typical Data-to-Output Delay of Only 14 ns for 'S280 and 33 ns for 'LS280
- Typical Power Dissipation:
'LS280 . . . 80 mW
'S280 . . . 335 mW

SN54LS280, SN54S280 . . . J OR W PACKAGE
SN74LS280, SN74S280 . . . D OR N PACKAGE

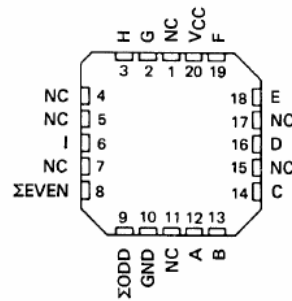


FUNCTION TABLE

| NUMBER OF INPUTS A THRU I THAT ARE HIGH | OUTPUTS | |
|--|---------|-------|
| | Σ EVEN | Σ ODD |
| 0, 2, 4, 6, 8 | H | L |
| 1, 3, 5, 7, 9 | L | H |

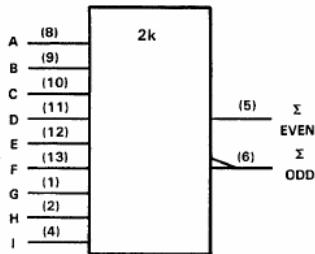
H = high level, L = low level

SN54LS280, SN54S280 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

logic symbol†



†This symbol is in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12.

Pin numbers shown are for D, J, N, and W packages.

description

These universal, monolithic, nine-bit parity generators/checkers utilize Schottky-clamped TTL high-performance circuitry and feature odd/even outputs to facilitate operation of either odd or even parity application. The word-length capability is easily expanded by cascading as shown under typical application data.

Series 54LS/74LS and Series 54S/74S parity generators/checkers offer the designer a trade-off between reduced power consumption and high performance. These devices can be used to upgrade the performance of most systems utilizing the '180 parity generator/checker. Although the 'LS280 and 'S280 are implemented without expander inputs, the corresponding function is provided by the availability of an input at pin 4 and the absence of any internal connection at pin 3. This permits the 'LS280 and 'S280 to be substituted for the '180 in existing designs to produce an identical function even if 'LS280's and 'S280's are mixed with existing '180's.

These devices are fully compatible with most other TTL circuits. All 'LS280 and 'S280 inputs are buffered to lower the drive requirements to one Series 54LS/74LS or Series 54S/74S standard load, respectively.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



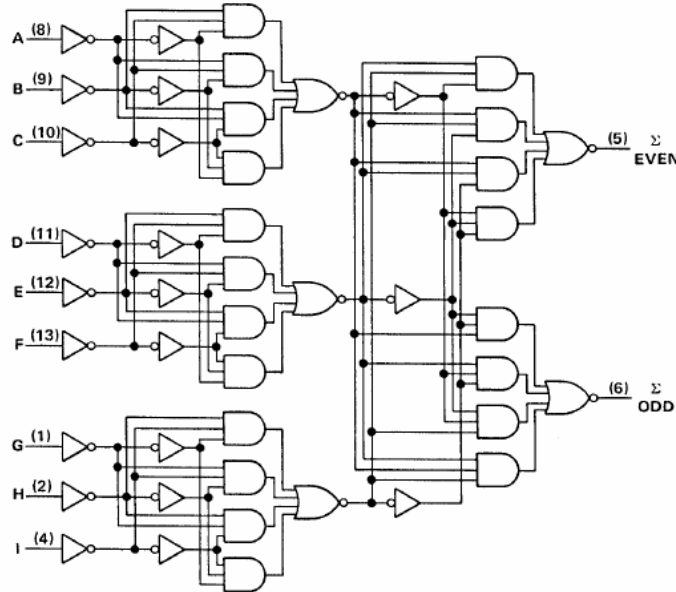
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

SN54LS280, SN54S280, SN74LS280, SN74S280 9-BIT ODD/EVEN PARITY GENERATORS/CHECKERS

SDLS152 - DECEMBER 1972 - REVISED MARCH 1988

logic diagram (positive logic)

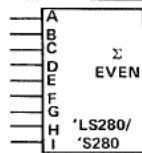
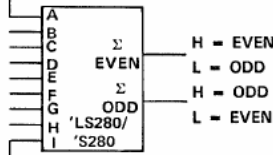
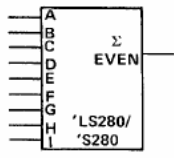


Pin numbers shown are for D, J, N, and W packages.

TYPICAL APPLICATION DATA

25-LINE PARITY/GENERATOR CHECKER

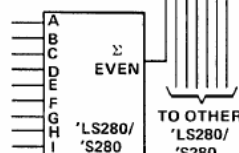
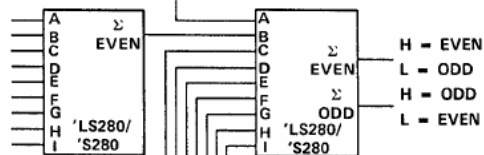
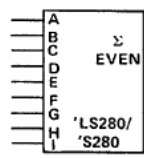
Three 'LS280's or 'S280's can be used to implement a 25-line parity generator/checker. This arrangement will provide parity in typically 75 or 25 nanoseconds respectively.



As an alternative, the outputs of two or three parity generators/checkers can be decoded with a 2-input ('S86 or 'LS86) or 3-input ('S135) exclusive-OR gate for 18- or 27-line parity applications.

81-LINE PARITY/GENERATOR CHECKER

Longer word lengths can be implemented by cascading 'LS280's or 'S280's. As shown here, parity can be generated for word lengths up to 81 bits in typically 75 or 25 nanoseconds respectively.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

5

DM74LS83A 4-Bit Binary Adder with Fast Carry

General Description

These full adders perform the addition of two 4-bit binary numbers. The sum (Σ) outputs are provided for each bit and the resultant carry (C4) is obtained from the fourth bit. These adders feature full internal look ahead across all four bits. This provides the system designer with partial look-ahead performance at the economy and reduced package count of a ripple-carry implementation.

The adder logic, including the carry, is implemented in its true form meaning that the end-around carry can be accomplished without the need for logic or level inversion.

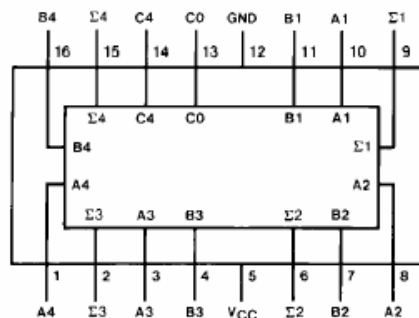
Features

- Full-carry look-ahead across the four bits
- Systems achieve partial look-ahead performance with the economy of ripple carry
- Typical add times
 - Two 8-bit words 25 ns
 - Two 16-bit words 45 ns
- Typical power dissipation per 4-bit adder 95 mW

Ordering Code:

| Order Number | Package Number | Package Description |
|--------------|----------------|---|
| DM74LS83AN | N16E | 16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide |

Connection Diagram



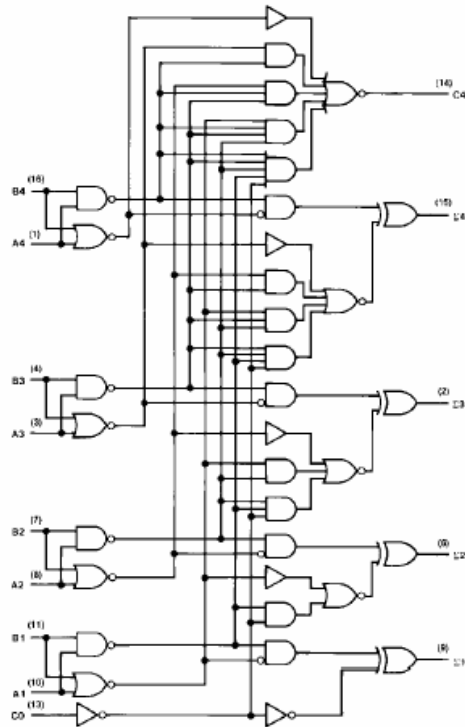
Truth Table

| Inputs | | | | Outputs | | | | | | | |
|--------|----|----|----|-------------|------------|-------------|----|-------------|------------|-------------|----|
| | | | | When C0 = L | | | | When C0 = H | | | |
| A1 | B1 | A2 | B2 | $\Sigma 1$ | $\Sigma 2$ | When C2 = L | | $\Sigma 1$ | $\Sigma 2$ | When C2 = H | |
| A3 | B3 | A4 | B4 | $\Sigma 3$ | $\Sigma 4$ | C2 | C4 | $\Sigma 3$ | $\Sigma 4$ | C2 | C4 |
| L | L | L | L | L | L | L | L | H | L | L | L |
| H | L | L | L | H | L | L | L | L | H | L | L |
| L | H | L | L | L | H | L | L | L | H | L | L |
| H | H | L | L | L | H | L | L | L | H | L | L |
| L | L | H | L | L | H | H | L | L | L | L | H |
| H | L | H | L | L | H | H | L | L | L | L | H |
| L | H | H | L | L | L | L | H | L | L | L | H |
| H | H | H | L | L | L | L | H | L | L | L | H |
| L | L | L | H | L | H | H | L | H | H | L | L |
| H | L | L | H | L | H | H | L | L | L | L | H |
| L | H | L | H | L | L | L | H | H | L | L | H |
| H | H | L | H | L | L | L | H | H | L | L | H |
| L | L | H | H | L | H | L | H | L | H | L | H |
| H | L | H | H | L | L | L | H | L | H | L | H |
| L | H | H | H | L | L | L | H | L | H | L | H |
| H | H | H | H | L | L | L | H | L | H | L | H |

H = HIGH Level, L = LOW Level

Input conditions at A1, B1, A2, B2, and C0 are used to determine outputs $\Sigma 1$ and $\Sigma 2$ and the value of the internal carry C2. The values at C2, A3, B3, A4, and B4 are then used to determine outputs $\Sigma 3$, $\Sigma 4$, and C4.

Logic Diagram



SN5473, SN54LS73A, SN7473, SN74LS73A
DUAL J-K FLIP-FLOPS WITH CLEAR

SDLS118 – DECEMBER 1983 – REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

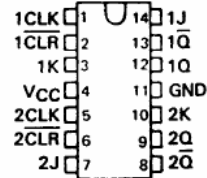
description

The '73, and 'H73, contain two independent J-K flip-flops with individual J-K, clock, and direct clear inputs. The '73, and 'H73, are positive pulse-triggered flip-flops. J-K input is loaded into the master while the clock is high and transferred to the slave on the high-to-low transition. For these devices the J and K inputs must be stable while the clock is high.

The 'LS73A contains two independent negative-edge-triggered flip-flops. The J and K inputs must be stable one setup time prior to the high-to-low clock transition for predictable operation. When the clear is low, it overrides the clock and data inputs forcing the Q output low and the \bar{Q} output high.

The SN5473, SN54H73, and the SN54LS73A are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7473, and the SN74LS73A are characterized for operation from 0°C to 70°C.

SN5473, SN54LS73A . . . J OR W PACKAGE
SN7473 . . . N PACKAGE
SN74LS73A . . . D OR N PACKAGE
(TOP VIEW)



73
FUNCTION TABLE

| INPUTS | | | | OUTPUTS | |
|--------|--------------|---|---|---------|-------------|
| CLR | CLK | J | K | Q | \bar{Q} |
| L | X | X | X | L | H |
| H | \downarrow | L | L | Q_0 | \bar{Q}_0 |
| H | \downarrow | H | L | H | L |
| H | \downarrow | L | H | L | H |
| H | \downarrow | H | H | TOGGLE | |

'LS73A
FUNCTION TABLE

| INPUTS | | | | OUTPUTS | |
|--------|--------------|---|---|---------|-------------|
| CLR | CLK | J | K | Q | \bar{Q} |
| L | X | X | X | L | H |
| H | \downarrow | L | L | Q_0 | \bar{Q}_0 |
| H | \downarrow | H | L | H | L |
| H | \downarrow | L | H | L | H |
| H | \downarrow | H | H | TOGGLE | |
| H | H | X | X | Q_0 | \bar{Q}_0 |

FOR CHIP CARRIER INFORMATION,
CONTACT THE FACTORY

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



SN5473, SN54LS73A, SN7473, SN74LS73A DUAL J-K FLIP-FLOPS WITH CLEAR

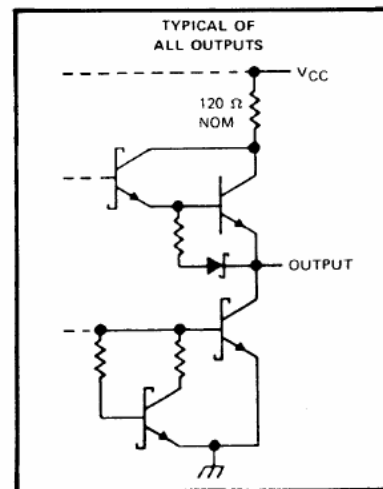
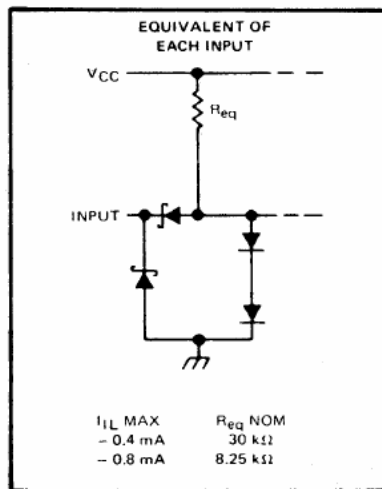
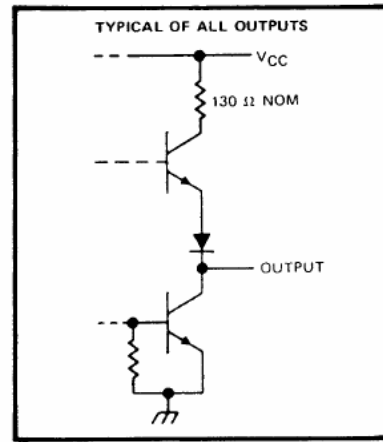
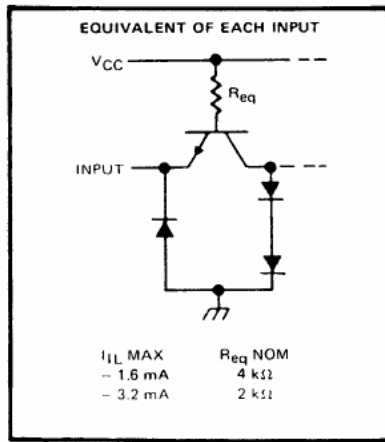
SDLS118 – DECEMBER 1983 – REVISED MARCH 1988

logic symbols†



†These symbols are in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12.

schematics of inputs and outputs

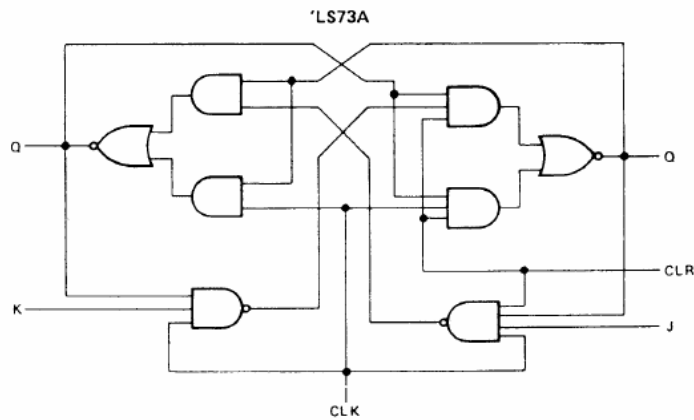
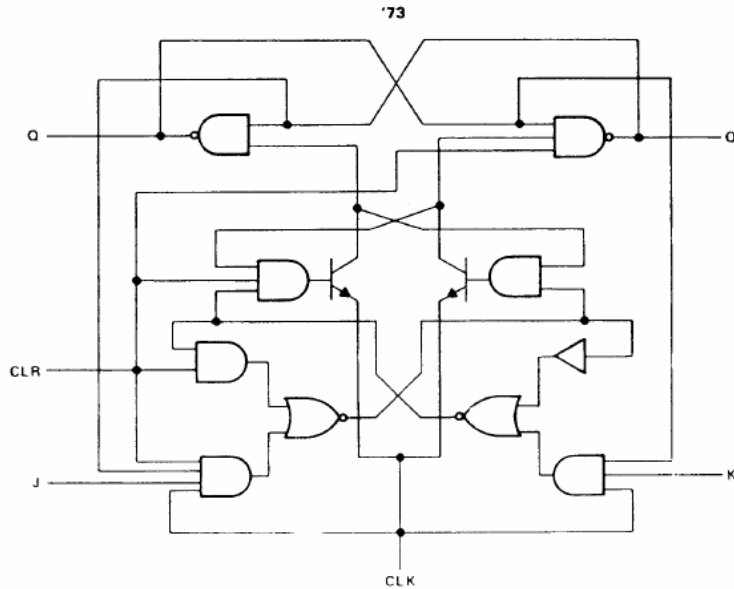


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN5473, SN54LS73A, SN7473, SN74LS73A
DUAL J-K FLIP-FLOPS WITH CLEAR

SDLS118 – DECEMBER 1983 – REVISED MARCH 1988

logic diagrams (positive logic)



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

| | |
|---|----------------|
| Supply voltage, V_{CC} (See Note 1) | 7 V |
| Input voltage: '73 | 5.5 V |
| 'LS73A | 7 V |
| Operating free-air temperature range: SN54' | -55°C to 125°C |
| SN74' | 0°C to 70°C |
| Storage temperature range | -65°C to 150°C |

NOTE 1: Voltage values are with respect to network ground terminal.



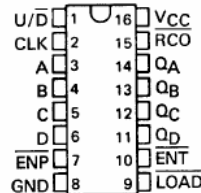
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

3

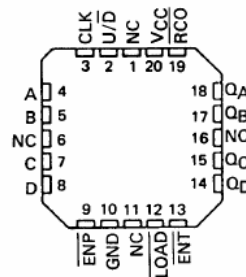
SN54LS169B, SN54S169
SN74LS169B, SN74S169
SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS
SDLS134 – OCTOBER 1976 – REVISED MARCH 1988

- Programmable Look-Ahead Up/Down Binary Counters
- Fully Synchronous Operation for Counting and Programming
- Internal Look-Ahead for Fast Counting
- Carry Output for n-Bit Cascading
- Fully Independent Clock Circuit

SN54LS169B, SN54S169 . . . J OR W PACKAGE
 SN74LS169B, SN74S169 . . . D OR N PACKAGE
 (TOP VIEW)



SN54LS169B, SN54S169 . . . FK PACKAGE
 (TOP VIEW)



NC-No internal connection

description

These synchronous presettable counters feature an internal carry look-ahead for cascading in high speed counting applications. The 'LS169B and 'S169 are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the count-enable inputs and internal gating. This mode of operation helps eliminate the output counting spikes that are normally associated with asynchronous (ripple-clock) counters. A buffered clock input triggers the four master-slave flip-flops on the rising (positive-going) edge of the clock waveform.

These counters are fully programmable; that is the outputs may each be preset to either level. The load input circuitry allows loading with the carry-enable output of cascaded counters. As loading is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the data inputs after the next clock pulse.

The carry look-ahead circuitry provides for cascading counters for n-bit synchronous applications without additional gating. Instrumental in accomplishing this function are two count-enable inputs and a carry output. Both count enable inputs (ENP, ENT) must be low to count. The direction of the count is determined by the level of the up/down input. When the input is high, the counter counts up; when low, it counts down. Input ENT is fed forward to enable the carry output. The carry output thus enabled will produce a low-level output pulse with a duration approximately equal to the high portion of the QA output when counting up and approximately equal to the low portion of the QA output when counting down. This low-level overflow carry pulse can be used to enable successive cascaded stages. Transitions at the ENP or ENT inputs are allowed regardless of the level of the clock input. All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design.

These counters feature a fully independent clock circuit. Changes at control inputs (ENP, ENT, LOAD, U/D) that will modify the operating mode have no effect until clocking occurs. The function of the counter (whether enabled, disabled, loading, or counting) will be dictated solely by the conditions meeting the stable setup and hold times.

| TYPE | TYPICAL MAXIMUM CLOCK FREQUENCY | | TYPICAL POWER DISSIPATION |
|---------|---------------------------------|---------------|---------------------------|
| | COUNTING UP | COUNTING DOWN | |
| 'LS169B | 35MHz | 35MHz | 100mW |
| 'S169 | 70MHz | 55MHz | 500mW |

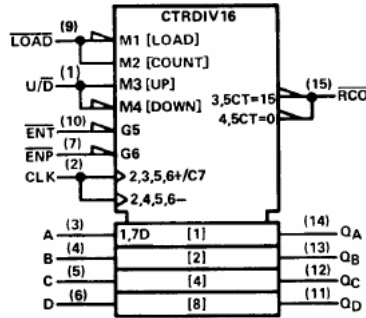
PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



**SN54LS169B, SN54S169
 SN74LS169B, SN74S169
 SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS**

SDLS134 – OCTOBER 1976 – REVISED MARCH 1988

logic symbol†

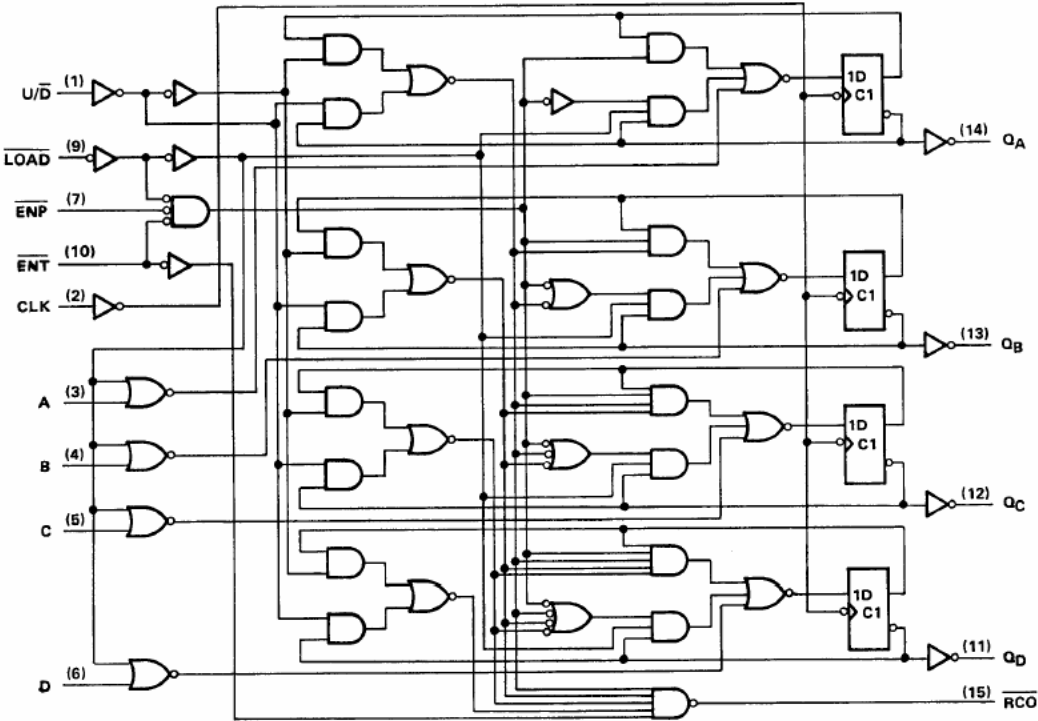


†This symbol is in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12.
 Pin numbers shown are for D, J, N, and W packages.

SN54LS169B, SN54S169
SN74LS169B, SN74S169
SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS

SDLS134 - OCTOBER 1976 - REVISED MARCH 1988

logic diagram (positive logic)



Pin numbers shown are for D, J, N, and W packages.

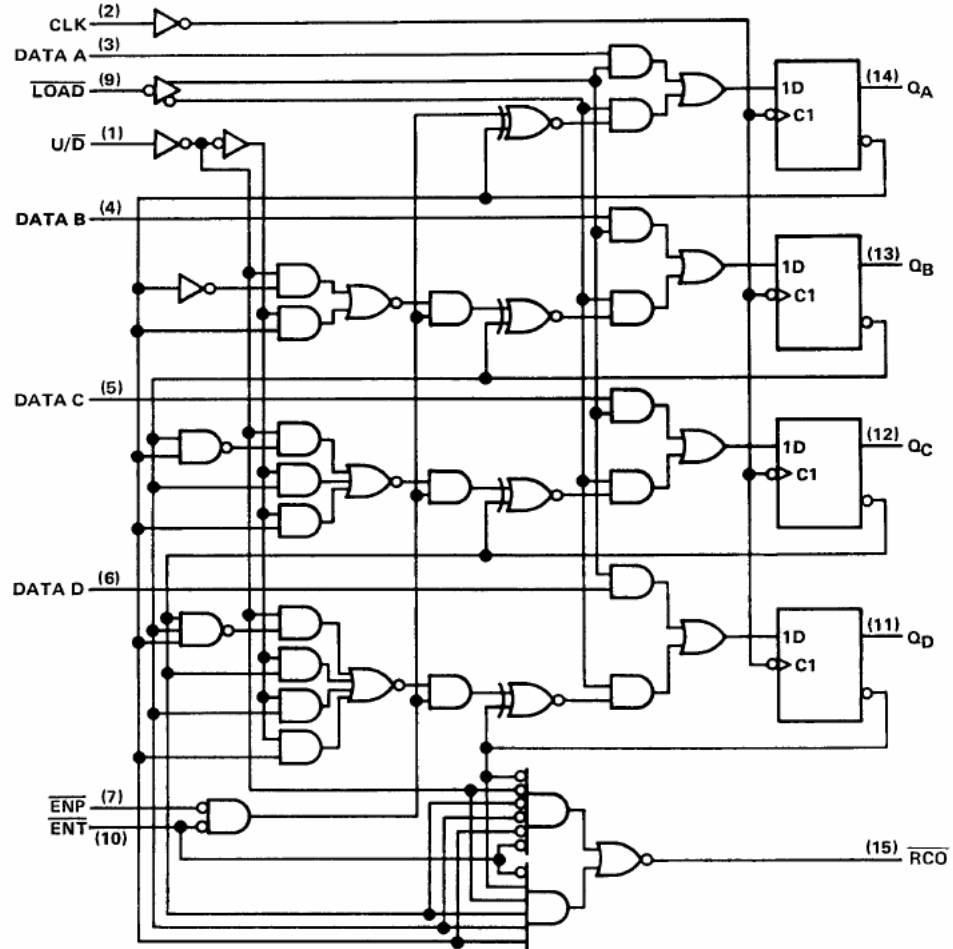


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54LS169B, SN54S169
 SN74LS169B, SN74S169
 SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS

SDLS134 – OCTOBER 1976 – REVISED MARCH 1988

logic diagram (positive logic)



Pin numbers shown are for D, J, N, and W packages.



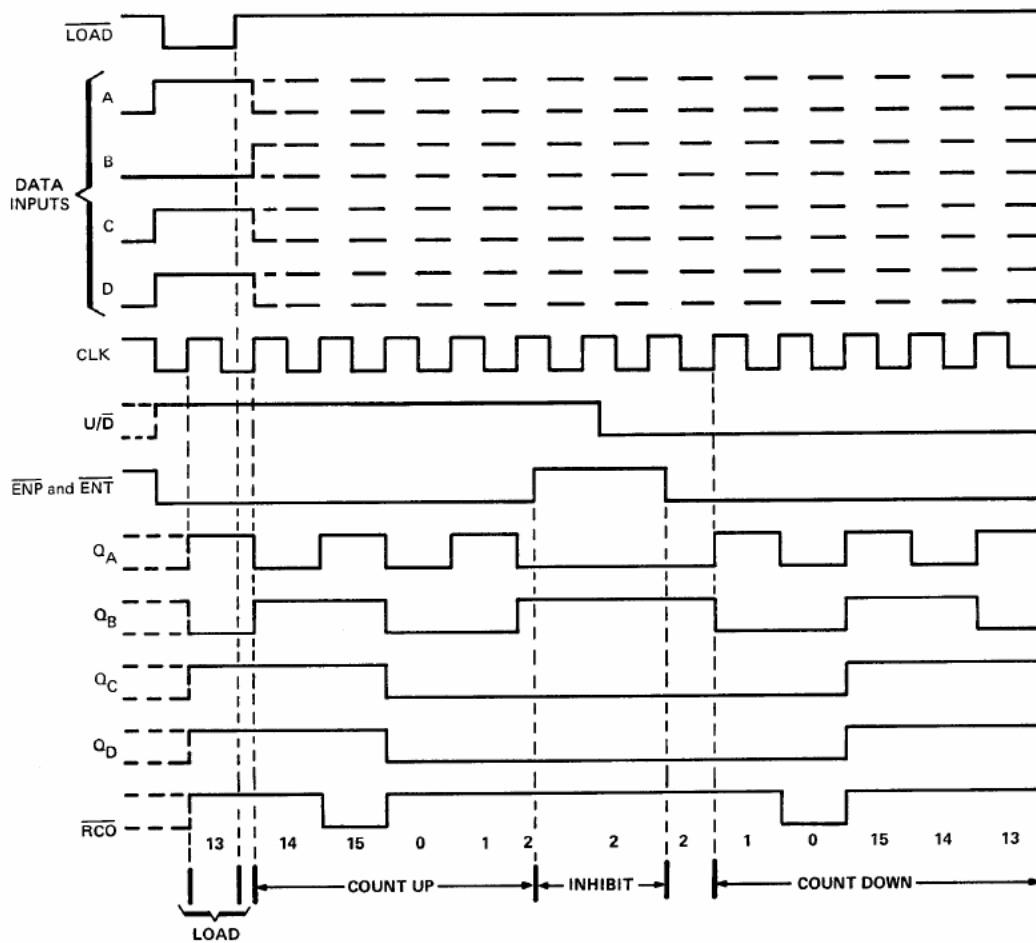
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54LS169B, SN54S169
SN74LS169B, SN74S169
SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS
SDLS134 – OCTOBER 1976 – REVISED MARCH 1988

typical load, count, and inhibit sequences

Illustrated below is the following sequence:

1. Load (preset) to binary thirteen.
2. Count up to fourteen, fifteen (maximum), zero, one, and two.
3. Inhibit
4. Count down to one, zero (minimum), fifteen, fourteen, and thirteen



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

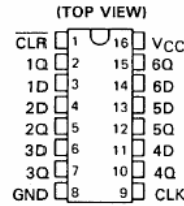
SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175,
SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

SDLS068A – DECEMBER 1972 – REVISED OCTOBER 2001

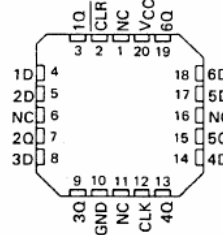
'174, 'LS174, 'S174 ... HEX D-TYPE FLIP-FLOPS
'175, 'LS175, 'S175 ... QUADRUPLE D-TYPE FLIP-FLOPS

- '174, 'LS174, 'S174 Contain Six Flip-Flops with Single-Rail Outputs
- '175, 'LS175, 'S175 Contain Four Flip-Flops with Double-Rail Outputs
- Three Performance Ranges Offered: See Table Lower Right
- Buffered Clock and Direct Clear Inputs
- Individual Data Input to Each Flip-Flop
- Applications include:
Buffer/Storage Registers
Shift Registers
Pattern Generators

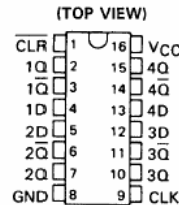
SN54174, SN54LS174, SN54S174 ... J OR W PACKAGE
SN74174 ... N PACKAGE
SN74LS174, SN74S174 ... D OR N PACKAGE



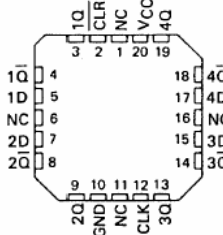
SN54LS174, SN54S174 ... FK PACKAGE
(TOP VIEW)



SN54175, SN54LS175, SN54S175 ... J OR W PACKAGE
SN74175 ... N PACKAGE
SN74LS175, SN74S175 ... D OR N PACKAGE



SN54LS175, SN54S175 ... FK PACKAGE
(TOP VIEW)



NC – No internal connection

description

These monolithic, positive-edge-triggered flip-flops utilize TTL circuitry to implement D-type flip-flop logic. All have a direct clear input, and the '175, 'LS175, and 'S175 feature complementary outputs from each flip-flop.

Information at the D inputs meeting the setup time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a particular voltage level and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the high or low level, the D input signal has no effect at the output.

These circuits are fully compatible for use with most TTL circuits.

FUNCTION TABLE
(EACH FLIP-FLOP)

| INPUTS | | | OUTPUTS | |
|--------|-------|---|---------|-------------|
| CLEAR | CLOCK | D | Q | \bar{Q} |
| L | X | X | L | H |
| H | ↑ | H | H | L |
| H | ↑ | L | L | H |
| H | L | X | Q_0 | \bar{Q}_0 |

- H = high level (steady state)
- L = low level (steady state)
- X = irrelevant
- ↑ = transition from low to high level
- Q_0 = the level of Q before the indicated steady-state input conditions were established.
- ↑ = '175, 'LS175, and 'S175 only

| TYPES | TYPICAL | TYPICAL |
|----------------|-------------------------|-------------|
| | MAXIMUM | POWER |
| | CLOCK | DISSIPATION |
| | FREQUENCY PER FLIP-FLOP | |
| '174, '175 | 35 MHz | 38 mW |
| 'LS174, 'LS175 | 40 MHz | 14 mW |
| 'S174, 'S175 | 110 MHz | 75 mW |

PRODUCTION DATA Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



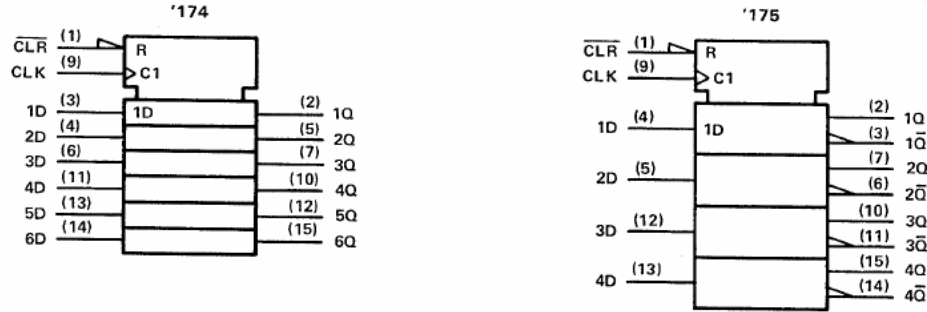
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2001, Texas Instruments Incorporated

SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175,
 SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
 HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

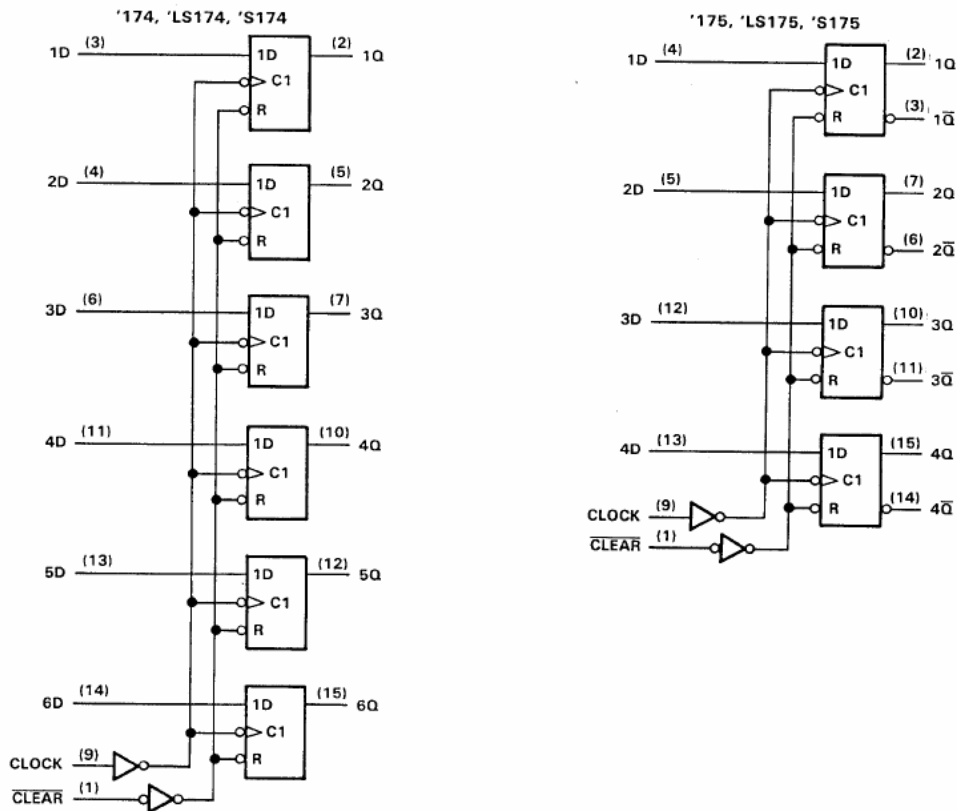
SDLS068A - DECEMBER 1972 - REVISED OCTOBER 2001

logic symbols†



†These symbols are in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.

logic diagrams (positive logic)



Pin numbers shown are for D, J, N, and W packages.



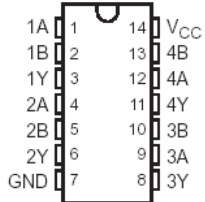
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54HC00, SN74HC00
QUADRUPLE 2-INPUT POSITIVE-NAND GATES

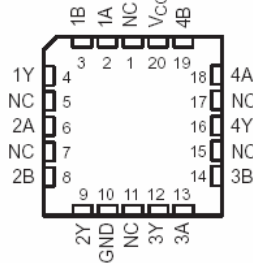
SCLS181E – DECEMBER 1982 – REVISED AUGUST 2003

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive Up To 10 LSTTL Loads
- Low Power Consumption, 20- μ A Max I_{CC}
- Typical $t_{pd} = 8$ ns
- ± 4 -mA Output Drive at 5 V
- Low Input Current of 1 μ A Max

SN54HC00 . . . J OR W PACKAGE
SN74HC00 . . . D, DB, N, NS, OR PW PACKAGE
(TOP VIEW)



SN54HC00 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description/ordering information

The 'HC00 devices contain four independent 2-input NAND gates. They perform the Boolean function $Y = \bar{A} \cdot \bar{B}$ or $Y = \bar{A} + \bar{B}$ in positive logic.

ORDERING INFORMATION

| T_A | PACKAGE† | | ORDERABLE PART NUMBER | TOP-SIDE MARKING | |
|----------------|----------------|--------------|-----------------------|------------------|------|
| -40°C to 85°C | PDIP – N | Tube of 25 | SN74HC00N | SN74HC00N | |
| | SOIC – D | Tube of 50 | SN74HC00D | HC00 | |
| | | Reel of 2500 | SN74HC00DR | | |
| | SOP – NS | Reel of 250 | SN74HC00DT | HC00 | |
| | | Reel of 2000 | SN74HC00NSR | | |
| | -55°C to 125°C | SSOP – DB | Reel of 2000 | SN74HC00DBR | HC00 |
| | | TSSOP – PW | Tube of 90 | SN74HC00PW | HC00 |
| Reel of 2000 | | | SN74HC00PWR | | |
| Reel of 250 | SN74HC00PWT | | | | |
| -55°C to 125°C | CDIP – J | Tube of 25 | SNJ54HC00J | SNJ54HC00J | |
| | CFP – W | Tube of 150 | SNJ54HC00W | SNJ54HC00W | |
| | LCCC – FK | Tube of 55 | SNJ54HC00FK | SNJ54HC00FK | |

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

SN54HC00, SN74HC00 QUADRUPLE 2-INPUT POSITIVE-NAND GATES

SCLS181E – DECEMBER 1982 – REVISED AUGUST 2003

FUNCTION TABLE
(each gate)

| INPUTS | | OUTPUT |
|--------|---|--------|
| A | B | Y |
| H | H | L |
| L | X | H |
| X | L | H |

logic diagram (positive logic)



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)[†]

| | |
|---|----------------|
| Supply voltage range, V_{CC} | -0.5 V to 7 V |
| Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1) | ± 20 mA |
| Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1) | ± 20 mA |
| Continuous output current, I_O ($V_O = 0$ to V_{CC}) | ± 25 mA |
| Continuous current through V_{CC} or GND | ± 50 mA |
| Package thermal impedance, θ_{JA} (see Note 2): | |
| D package | 86°C/W |
| DB package | 96°C/W |
| N package | 80°C/W |
| NS package | 76°C/W |
| PW package | 113°C/W |
| Storage temperature range, T_{stg} | -65°C to 150°C |

[†] Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. The package thermal impedance is calculated in accordance with JESD 51-7.

recommended operating conditions (see Note 3)

| | | SN54HC00 | | | SN74HC00 | | | UNIT |
|---------------------|---------------------------------|------------------|-----|----------|----------|----------|-----|------|
| | | MIN | NOM | MAX | MIN | NOM | MAX | |
| V_{CC} | Supply voltage | 2 | 5 | 6 | 2 | 5 | 6 | V |
| V_{IH} | High-level input voltage | $V_{CC} = 2$ V | | 1.5 | 1.5 | | V | |
| | | $V_{CC} = 4.5$ V | | 3.15 | 3.15 | | | |
| | | $V_{CC} = 6$ V | | 4.2 | 4.2 | | | |
| V_{IL} | Low-level input voltage | $V_{CC} = 2$ V | | | 0.5 | 0.5 | V | |
| | | $V_{CC} = 4.5$ V | | | 1.35 | 1.35 | | |
| | | $V_{CC} = 6$ V | | | 1.8 | 1.8 | | |
| V_I | Input voltage | 0 | | V_{CC} | 0 | V_{CC} | V | |
| V_O | Output voltage | 0 | | V_{CC} | 0 | V_{CC} | V | |
| $\Delta t/\Delta v$ | Input transition rise/fall time | $V_{CC} = 2$ V | | | 1000 | 1000 | ns | |
| | | $V_{CC} = 4.5$ V | | | 500 | 500 | | |
| | | $V_{CC} = 6$ V | | | 400 | 400 | | |
| T_A | Operating free-air temperature | -55 | | 125 | -40 | 85 | °C | |

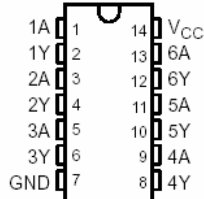
NOTE 3: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.



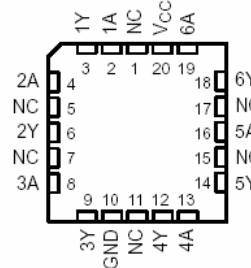
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive Up To 10 LSTTL Loads
- Low Power Consumption, 20- μ A Max I_{CC}
- Typical $t_{pd} = 8$ ns
- ± 4 -mA Output Drive at 5 V
- Low Input Current of 1 μ A Max

SN54HC04 . . . J OR W PACKAGE
SN74HC04 . . . D, N, NS, OR PW PACKAGE
(TOP VIEW)



SN54HC04 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description/ordering information

The 'HC04 devices contain six independent inverters. They perform the Boolean function $Y = \bar{A}$ in positive logic.

ORDERING INFORMATION

| T_A | PACKAGE† | | ORDERABLE PART NUMBER | TOP-SIDE MARKING |
|---------------|----------------|--------------|-----------------------|------------------|
| -40°C to 85°C | PDIP – N | Tube of 25 | SN74HC04N | SN74HC04N |
| | | Tube of 50 | SN74HC04D | HC04 |
| | SOIC – D | Reel of 2500 | SN74HC04DR | |
| | | Reel of 250 | SN74HC04DT | |
| | SOP – NS | Reel of 2000 | SN74HC04NSR | HC04 |
| | -55°C to 125°C | TSSOP – PW | Tube of 90 | SN74HC04PW |
| Reel of 2000 | | | SN74HC04PWR | |
| Reel of 250 | | | SN74HC04PWT | |
| CDIP – J | | Tube of 25 | SNJ54HC04J | SNJ54HC04J |
| CFP – W | Tube of 150 | SNJ54HC04W | SNJ54HC04W | |
| LCCC – FK | Tube of 55 | SNJ54HC04FK | SNJ54HC04FK | |

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.

FUNCTION TABLE
(each inverter)

| INPUT A | OUTPUT Y |
|------------|-------------|
| H | L |
| L | H |



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

SN54HC04, SN74HC04 HEX INVERTERS

SCLS078D – DECEMBER 1982 – REVISED JULY 2003

logic diagram (positive logic)



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

| | |
|---|----------------|
| Supply voltage range, V_{CC} | –0.5 V to 7 V |
| Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1) | ±20 mA |
| Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1) | ±20 mA |
| Continuous output current, I_O ($V_O = 0$ to V_{CC}) | ±25 mA |
| Continuous current through V_{CC} or GND | ±50 mA |
| Package thermal impedance, θ_{JA} (see Note 2): D package | 86°C/W |
| N package | 80°C/W |
| NS package | 76°C/W |
| PW package | 113°C/W |
| Storage temperature range, T_{stg} | –65°C to 150°C |

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. The package thermal impedance is calculated in accordance with JESD 51-7.

recommended operating conditions (see Note 3)

| | | SN54HC04 | | | SN74HC04 | | | UNIT |
|---------------------|---------------------------------|-------------------------|-----|----------|----------|-----|----------|------|
| | | MIN | NOM | MAX | MIN | NOM | MAX | |
| V_{CC} | Supply voltage | 2 | 5 | 6 | 2 | 5 | 6 | V |
| V_{IH} | High-level input voltage | $V_{CC} = 2\text{ V}$ | | 1.5 | 1.5 | | V | |
| | | $V_{CC} = 4.5\text{ V}$ | | 3.15 | 3.15 | | | |
| | | $V_{CC} = 6\text{ V}$ | | 4.2 | 4.2 | | | |
| V_{IL} | Low-level input voltage | $V_{CC} = 2\text{ V}$ | | | 0.5 | | V | |
| | | $V_{CC} = 4.5\text{ V}$ | | | 1.35 | | | |
| | | $V_{CC} = 6\text{ V}$ | | | 1.8 | | | |
| V_I | Input voltage | 0 | | V_{CC} | 0 | | V_{CC} | V |
| V_O | Output voltage | 0 | | V_{CC} | 0 | | V_{CC} | V |
| $\Delta t/\Delta v$ | Input transition rise/fall time | $V_{CC} = 2\text{ V}$ | | | 1000 | | ns | |
| | | $V_{CC} = 4.5\text{ V}$ | | | 500 | | | |
| | | $V_{CC} = 6\text{ V}$ | | | 400 | | | |
| T_A | Operating free-air temperature | –55 | | 125 | –40 | | 85 | °C |

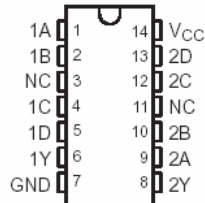
NOTE 3: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.



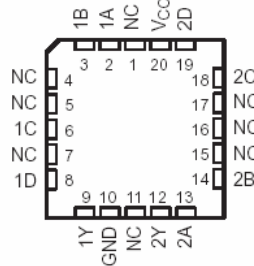
POST OFFICE BOX 855303 • DALLAS, TEXAS 75285

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive Up To 10 LSTTL Loads
- Low Power Consumption, 20- μ A Max I_{CC}
- Typical $t_{pd} = 11$ ns
- ± 4 -mA Output Drive at 5 V
- Low Input Current of 1 μ A Max

SN54HC20 . . . J OR W PACKAGE
SN74HC20 . . . D, DB, N, NS, OR PW PACKAGE
(TOP VIEW)



SN54HC20 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description/ordering information

The 'HC20 devices contain two independent 4-input NAND gates. They perform the Boolean function $Y = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D}$ or $Y = \bar{A} + \bar{B} + \bar{C} + \bar{D}$ in positive logic.

ORDERING INFORMATION

| T _A | PACKAGE† | | ORDERABLE PART NUMBER | TOP-SIDE MARKING |
|----------------|------------|--------------|-----------------------|------------------|
| -40°C to 85°C | PDIP – N | Tube of 25 | SN74HC20N | SN74HC20N |
| | | Tube of 50 | SN74HC20D | HC20 |
| | SOIC – D | Reel of 2500 | SN74HC20DR | |
| | | Reel of 250 | SN74HC20DT | |
| | | SOP – NS | Reel of 2000 | |
| | SSOP – DB | Reel of 2000 | SN74HC20DBR | |
| | TSSOP – PW | Tube of 90 | SN74HC20PW | HC20 |
| Reel of 2000 | | SN74HC20PWR | | |
| Reel of 250 | | SN74HC20PWT | | |
| -55°C to 125°C | CDIP – J | Tube of 25 | SNJ54HC20J | SNJ54HC20J |
| | CFP – W | Tube of 150 | SNJ54HC20W | SNJ54HC20W |
| | LCCC – FK | Tube of 55 | SNJ54HC20FK | SNJ54HC20FK |

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

SN54HC20, SN74HC20
DUAL 4-INPUT POSITIVE-NAND GATES

SCLS086F – DECEMBER 1982 – REVISED AUGUST 2003

FUNCTION TABLE
 (each gate)

| INPUTS | | | | OUTPUT |
|--------|---|---|---|--------|
| A | B | C | D | Y |
| H | H | H | H | L |
| L | X | X | X | H |
| X | L | X | X | H |
| X | X | L | X | H |
| X | X | X | L | H |

logic diagram (positive logic)



Pin numbers shown are for the D, DB, J, N, NS, PW, and W packages.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

| | |
|---|----------------|
| Supply voltage range, V_{CC} | -0.5 V to 7 V |
| Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1) | ± 20 mA |
| Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1) | ± 20 mA |
| Continuous output current, I_O ($V_O = 0$ to V_{CC}) | ± 25 mA |
| Continuous current through V_{CC} or GND | ± 50 mA |
| Package thermal impedance, θ_{JA} (see Note 2): | |
| D package | 86°C/W |
| DB package | 96°C/W |
| N package | 80°C/W |
| NS package | 76°C/W |
| PW package | 113°C/W |
| Storage temperature range, T_{stg} | -65°C to 150°C |

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
 2. The package thermal impedance is calculated in accordance with JESD 51-7.



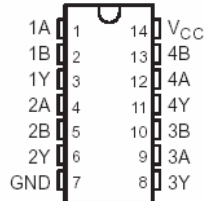
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54HC32, SN74HC32 QUADRUPLE 2-INPUT POSITIVE-OR GATES

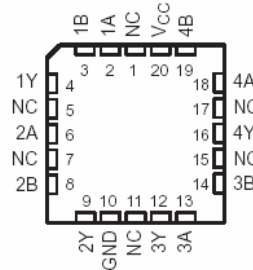
SCLS200D – DECEMBER 1982 – REVISED AUGUST 2003

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive Up To 10 LSTTL Loads
- Low Power Consumption, 20- μ A Max I_{CC}
- Typical $t_{pd} = 8$ ns
- ± 4 -mA Output Drive at 5 V
- Low Input Current of 1 μ A Max

SN54HC32 . . . J OR W PACKAGE
SN74HC32 . . . D, DB, N, NS, OR PW PACKAGE
(TOP VIEW)



SN54HC32 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description/ordering information

The 'HC32 devices contain four independent 2-input OR gates. They perform the Boolean function $Y = \overline{A} \cdot \overline{B}$ or $Y = A + B$ in positive logic.

ORDERING INFORMATION

| TA | PACKAGE† | | ORDERABLE PART NUMBER | TOP-SIDE MARKING |
|----------------|------------|--------------|-----------------------|------------------|
| -40°C to 85°C | PDIP – N | Tube of 25 | SN74HC32N | SN74HC32N |
| | SOIC – D | Tube of 50 | SN74HC32D | HC32 |
| | | Reel of 2500 | SN74HC32DR | |
| | | Reel of 250 | SN74HC32DT | |
| | SOP – NS | Reel of 2000 | SN74HC32NSR | HC32 |
| | SSOP – DB | Reel of 2000 | SN74HC32DBR | HC32 |
| -55°C to 125°C | TSSOP – PW | Tube of 90 | SN74HC32PW | HC32 |
| | | Reel of 2000 | SN74HC32PWR | |
| | | Reel of 250 | SN74HC32PWT | |
| -55°C to 125°C | CDIP – J | Tube of 25 | SNJ54HC32J | SNJ54HC32J |
| | CFP – W | Tube of 150 | SNJ54HC32W | SNJ54HC32W |
| | LCCC – FK | Tube of 55 | SNJ54HC32FK | SNJ54HC32FK |

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

SN54HC32, SN74HC32 QUADRUPLE 2-INPUT POSITIVE-OR GATES

SCLS200D – DECEMBER 1982 – REVISED AUGUST 2003

FUNCTION TABLE
(each gate)

| INPUTS | | OUTPUT |
|--------|---|--------|
| A | B | Y |
| H | X | H |
| X | H | H |
| L | L | L |

logic diagram (positive logic)



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

| | |
|---|----------------|
| Supply voltage range, V_{CC} | –0.5 V to 7 V |
| Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1) | ±20 mA |
| Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1) | ±20 mA |
| Continuous output current, I_O ($V_O = 0$ to V_{CC}) | ±25 mA |
| Continuous current through V_{CC} or GND | ±50 mA |
| Package thermal impedance, θ_{JA} (see Note 2): | |
| D package | 86°C/W |
| DB package | 96°C/W |
| N package | 80°C/W |
| NS package | 76°C/W |
| PW package | 113°C/W |
| Storage temperature range, T_{stg} | –65°C to 150°C |

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. The package thermal impedance is calculated in accordance with JESD 51-7.

recommended operating conditions (see Note 3)

| | | SN54HC32 | | | SN74HC32 | | | UNIT |
|---------------------|---------------------------------|-----------------|-----|----------|----------|-----|----------|------|
| | | MIN | NOM | MAX | MIN | NOM | MAX | |
| V_{CC} | Supply voltage | 2 | 5 | 6 | 2 | 5 | 6 | V |
| V_{IH} | High-level input voltage | $V_{CC} = 2V$ | | 1.5 | 1.5 | | | V |
| | | $V_{CC} = 4.5V$ | | 3.15 | 3.15 | | | |
| | | $V_{CC} = 6V$ | | 4.2 | 4.2 | | | |
| V_{IL} | Low-level input voltage | $V_{CC} = 2V$ | | | 0.5 | | 0.5 | V |
| | | $V_{CC} = 4.5V$ | | | 1.35 | | 1.35 | |
| | | $V_{CC} = 6V$ | | | 1.8 | | 1.8 | |
| V_I | Input voltage | 0 | | V_{CC} | 0 | | V_{CC} | V |
| V_O | Output voltage | 0 | | V_{CC} | 0 | | V_{CC} | V |
| $\Delta t/\Delta v$ | Input transition rise/fall time | $V_{CC} = 2V$ | | | 1000 | | 1000 | ns |
| | | $V_{CC} = 4.5V$ | | | 500 | | 500 | |
| | | $V_{CC} = 6V$ | | | 400 | | 400 | |
| T_A | Operating free-air temperature | –55 | | 125 | –40 | | 85 | °C |

NOTE 3: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54HC32, SN74HC32 QUADRUPLE 2-INPUT POSITIVE-OR GATES

SCLS200D – DECEMBER 1982 – REVISED AUGUST 2003

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | TEST CONDITIONS | V _{CC} | T _A = 25°C | | | SN54HC32 | | SN74HC32 | | UNIT |
|-----------------|---|--------------------------|-----------------------|------|-------|----------|-------|----------|-----|------|
| | | | MIN | TYP | MAX | MIN | MAX | MIN | MAX | |
| V _{OH} | V _I = V _{IH} or V _{IL} | I _{OH} = -20 μA | 2 V | 1.9 | 1.998 | | 1.9 | 1.9 | V | |
| | | | 4.5 V | 4.4 | 4.499 | 4.4 | 4.4 | | | |
| | | | 6 V | 5.9 | 5.999 | 5.9 | 5.9 | | | |
| | | I _{OH} = -4 mA | 4.5 V | 3.98 | 4.3 | 3.7 | 3.84 | | | |
| | | | 6 V | 5.48 | 5.8 | 5.2 | 5.34 | | | |
| V _{OL} | V _I = V _{IH} or V _{IL} | I _{OL} = 20 μA | 2 V | | 0.002 | 0.1 | | 0.1 | V | |
| | | | 4.5 V | | 0.001 | 0.1 | | 0.1 | | |
| | | | 6 V | | 0.001 | 0.1 | | 0.1 | | |
| | | I _{OL} = 4 mA | 4.5 V | | 0.17 | 0.26 | | 0.4 | | 0.33 |
| | | | 6 V | | 0.15 | 0.26 | | 0.4 | | 0.33 |
| I _I | V _I = V _{CC} or 0 | 6 V | | ±0.1 | ±100 | | ±1000 | ±1000 | nA | |
| I _{CC} | V _I = V _{CC} or 0, I _O = 0 | 6 V | | | 2 | | 40 | 20 | μA | |
| C _i | | 2 V to 6 V | | 3 | 10 | | 10 | 10 | pF | |

switching characteristics over recommended operating free-air temperature range, C_L = 50 pF (unless otherwise noted) (see Figure 1)

| PARAMETER | FROM (INPUT) | TO (OUTPUT) | V _{CC} | T _A = 25°C | | | SN54HC32 | | SN74HC32 | | UNIT |
|-----------------|--------------|-------------|-----------------|-----------------------|-----|-----|----------|-----|----------|-----|------|
| | | | | MIN | TYP | MAX | MIN | MAX | MIN | MAX | |
| t _{pd} | A or B | Y | 2 V | | 50 | 100 | | 150 | | 125 | ns |
| | | | 4.5 V | | 10 | 20 | | 30 | | 25 | |
| | | | 6 V | | 8 | 17 | | 25 | | 21 | |
| t _t | | Y | 2 V | | 38 | 75 | | 110 | | 95 | ns |
| | | | 4.5 V | | 8 | 15 | | 22 | | 19 | |
| | | | 6 V | | 6 | 13 | | 19 | | 16 | |

operating characteristics, T_A = 25°C

| PARAMETER | TEST CONDITIONS | TYP | UNIT |
|--|-----------------|-----|------|
| C _{pd} Power dissipation capacitance per gate | No load | 20 | pF |



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

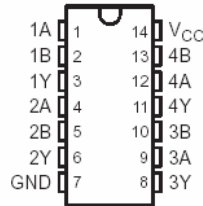
3

SN54HC86, SN74HC86 QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES

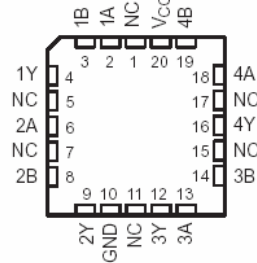
SCLS100E – DECEMBER 1982 – REVISED AUGUST 2003

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive Up To 10 LSTTL Loads
- Low Power Consumption, 20- μ A Max I_{CC}
- Typical $t_{pd} = 10$ ns
- ± 4 -mA Output Drive at 5 V
- Low Input Current of 1 μ A Max
- True Logic

SN54HC86 . . . J OR W PACKAGE
SN74HC86 . . . D, N, NS, OR PW PACKAGE
(TOP VIEW)



SN54HC86 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description/ordering information

These devices contain four independent 2-input exclusive-OR gates. They perform the Boolean function $Y = A \oplus B$ or $Y = \bar{A}B + A\bar{B}$ in positive logic.

A common application is as a true/complement element. If one of the inputs is low, the other input is reproduced in true form at the output. If one of the inputs is high, the signal on the other input is reproduced inverted at the output.

ORDERING INFORMATION

| T_A | PACKAGE† | | ORDERABLE PART NUMBER | TOP-SIDE MARKING |
|----------------|------------|--------------|-----------------------|------------------|
| -40°C to 85°C | PDIP – N | Tube of 25 | SN74HC86N | SN74HC86N |
| | SOIC – D | Tube of 50 | SN74HC86D | HC86 |
| | | Reel of 2500 | SN74HC86DR | |
| | | Reel of 250 | SN74HC86DT | |
| | SOP – NS | Reel of 2000 | SN74HC86NSR | HC86 |
| | TSSOP – PW | Tube of 90 | SN74HC86PW | HC86 |
| Reel of 2000 | | SN74HC86PWR | | |
| Reel of 250 | | SN74HC86PWT | | |
| -55°C to 125°C | CDIP – J | Tube of 25 | SNJ54HC86J | SNJ54HC86J |
| | CFP – W | Tube of 150 | SNJ54HC86W | SNJ54HC86W |
| | LCCC – FK | Tube of 55 | SNJ54HC86FK | SNJ54HC86FK |

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

SN54HC86, SN74HC86 QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES

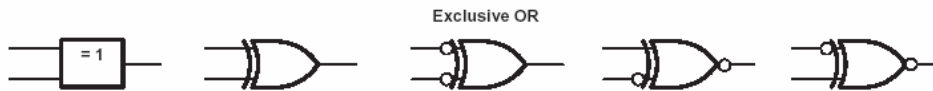
SCLS100E – DECEMBER 1982 – REVISED AUGUST 2003

FUNCTION TABLE
(each gate)

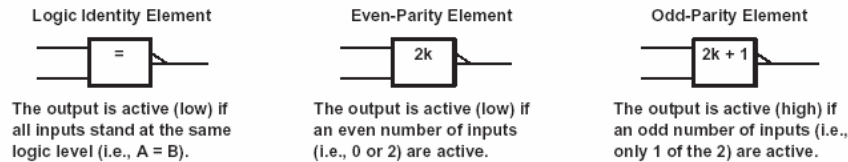
| INPUTS | | OUTPUT |
|--------|---|--------|
| A | B | Y |
| L | L | L |
| L | H | H |
| H | L | H |
| H | H | L |

exclusive-OR logic

An exclusive-OR gate has many applications, some of which can be represented better by alternative logic symbols.



These are five equivalent exclusive-OR symbols valid for an 'HC86 gate in positive logic; negation may be shown at any two ports.



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

| | |
|---|----------------|
| Supply voltage range, V_{CC} | –0.5 V to 7 V |
| Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1) | ±20 mA |
| Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1) | ±20 mA |
| Continuous output current, I_O ($V_O = 0$ to V_{CC}) | ±25 mA |
| Continuous current through V_{CC} or GND | ±50 mA |
| Package thermal impedance, θ_{JA} (see Note 2): | |
| D package | 86°C/W |
| N package | 80°C/W |
| NS package | 76°C/W |
| PW package | 113°C/W |
| Storage temperature range, T_{stg} | –65°C to 150°C |

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. The package thermal impedance is calculated in accordance with JESD 51-7.

BIBLIOGRAFIE

1. Sztojanov, I., s.a., "De la poarta TTL la microprocesor", Seria "Electronica aplicata", Ed. Tehnica, Buc., 1987;
2. Maican, S., "Sisteme numerice cu circuite integrate - culegere de probleme, Ed. Tehnica, Buc., 1980;
3. Stefan, Gh., "Circuite integrate digitale", Editura DENIX, Bucuresti, 1993;
4. Toașe Gh.: "Introducere în microprocesoare", Ed. Științifică și Enciclopedică, Buc., 1986;
5. Toașe Gh., Nicula D.: Electronică Digitală, Editura Teora, 2005;
6. S. D. Anghel, „Bazele electronicii”, Universitatea „Babeș-Bolyai”, Cluj-Napoca 2005;
7. T. J. Floyd, „Dispozitive electronice”, Ed. Teora, București 2003;
8. K. F. Ibrahim, „Introducere în electronică”, Ed. Teora, București 2001;
9. B. Wilkinson, „Electronică digitală”, Ed. Teora, București 2002;
10. D. Dascălu, L. Turic și I. Hoffman, „Circuite electronice”, Ed. Didactică și Pedagogică, București 1981;
11. J. F. Wakerly, „Circuite digitale”, Ed. Teora, București 2002;
12. S. D. Anghel, „Instrumentație cu circuite digitale”, Universitatea „Babeș-Bolyai”, Cluj-Napoca 2001;